SUP'AERO

ÉCOLE NATIONALE SUPÉRIEURE DE L'AÉRONAUTIQUE ET DE L'ESPACE

R. DELSOL

CIRCUITS INTEGRES et TECHNIQUES NUMERIQUES

DEUXIÈME ÉDITION

CEPADUES EDITIONS

CIRCUITS INTÉGRÉS
ET
TECHNIQUES NUMÉRIQUES

CEPADUES EDITIONS
111, rue Nicolas-Vauquelin - 31300 TOULOUSE

ECOLE NATIONALE SUPERIEURE DE L'AERONAUTIQUE ET DE L'ESPACE
SUP'AERO

CIRCUITS INTÉGRÉS ET TECHNIQUES NUMÉRIQUES

par

R. DELSOL
Docteur-Ingénieur

DEUXIÈME ÉDITION

CEPADUES EDITIONS

AVANT-PROPOS

Cet ouvrage ne fait pas appel à des théories mathématiques ou physiques complexes excepté à de rares moments - non pas qu'elles soient négligées - mais cet ouvrage voudrait plutôt être une ouverture sur le monde concret des réalisations électroniques d'aujourd'hui. C'est donc un ouvrage spécialisé, centré sur un domaine de l'électronique en rapide évolution.

A son origine, cet ouvrage fut un document destiné aux jeunes ingénieurs diplômés, désireux de compléter leur formation universitaire, en choisissant une année de spécialité à l'Ecole Nationale Supérieure de l'Aéronautique. Aussi, nous tenons à remercier tout spécialement Monsieur CHINAL, Directeur des Etudes à l'ENSAE, qui a bien voulu nous honorer de sa confiance et nous guider sur la matière de cet enseignement.

L'auteur a pu écrire ce livre technique, parce qu'il a eu la chance d'être intégré au sein de L.M.T., dans l'équipe qui se formait il y a 10 ans autour de Monsieur PAGEL, pour appliquer les techniques digitales à la simulation de vol principalement. Que Monsieur PAGEL, Directeur de la division Simulateurs et Systèmes électroniques à L.M.T., trouve ici l'expression de notre profonde reconnaissance pour la confiance et les encouragements qu'il nous a toujours témoignés.

Enfin, l'auteur n'oublie pas les Ingénieurs et Techniciens de cette division avec lesquels il a forgé son expérience et, au-delà, tous ceux qui cherchent dans de nombreuses firmes de composants électroniques et dont les réalisations seront souvent citées en exemple.

Janvier 1974.

PREFACE

Lorsque Monsieur DELSOL m'a présenté les principaux éléments de son ouvrage "Circuits Intégrés et Techniques Numériques", j'ai retrouvé chez lui le même intérêt passionné que je lui connais depuis bientôt 10 ans, lorsque nous avons l'occasion d'évoquer des problèmes techniques. Notre collaboration remonte effectivement au mois d'Avril 1964, lorsque Mr. DELSOL, jeune docteur-ingénieur de l'E.N.S.E.E.I.H. de Toulouse, est entré dans mon service pour prendre en charge des études électroniques pour l'introduction des techniques digitales dans la simulation des avions.

Les différents chapitres de l'ouvrage qui nous intéressent aujourd'hui, qu'il s'agisse des circuits logiques ou des dispositifs de multiplexage, de conversion, etc..., sont autant de sujets auxquels Mr. DELSOL et l'équipe qu'il a créée ont consacré des années d'efforts pour adapter les matériels à l'évolution des besoins et des techniques.

De nombreuses monographies préparées par Mr. DELSOL illustrent les travaux entrepris et constituent des synthèses remarquables à l'usage de nos ingénieurs et techniciens. Le livre d'aujourd'hui reflète le même souci de clarté.

Il existe une infinité d'applications qui font appel aux éléments de base traités dans l'ouvrage. L'utilisation optimum de ces derniers met en cause des considérations purement techniques en regard de données économiques souvent très difficiles à saisir pour une application particulière.

Il faudrait, en premier lieu, citer les calculateurs numériques universels dont le succès dépend énormément de la structure logique choisie. En fait, dans ce cas particulier, les études peuvent s'amortir sur un nombre suffisant d'unités. Il n'en est pas de même dans le cas des systèmes en général quand le calculateur, si nécessaire, représente le seul élément standard.

Ainsi, des domaines aussi variés que la simulation en général, la commutation électronique, l'acquisition de données... nécessitent de penser en terme de circuits, d'"interface" ou de système sous la forme la plus complexe.

Tous ces aspects ne peuvent évidemment pas être traités complètement dans un seul ouvrage. C'est pourquoi Mr. DELSOL a recherché une approche pragmatique susceptible de répondre aux besoins de base de l'électronicien ou du logicien et, pourquoi pas, de l'informaticien penché sur un problème de relations environnement-calculateur.

La première partie, après quelques rappels essentiels sur les différentes familles de circuits intégrés actuellement développés, est consacrée aux circuits logiques qui sont à la base de tout système numérique.

Leur parfaite connaissance permet à l'ingénieur et au technicien d'aborder rapidement les problèmes complexes que posent de nombreuses applications: transmission de données, périphériques de dialogue, couplage avec un ordinateur, traitement numérique, automatismes...

Dans chaque chapitre, consacré à une fonction logique (compteurs, registres, etc...), on étudie la fonction, le module circuit intégré associé (ce que l'on appelle maintenant : circuit MSI = medium scale integrated circuit), et les applications typiques de ce module. Par exemple, pour les registres à décalage : transmission de données - mémoires séquentielles.

Quant au chapitre spécialement consacré à la visualisation alphanumérique, il regroupe les différentes techniques utilisées de nos jours, compte tenu des récents développements des "displays".

La deuxième partie est orientée vers les systèmes d'acquisition de données. Problème devenu important et auquel sont confrontés ingénieurs et techniciens, parfois peu habitués à ces nouvelles techniques.

Ici également, les fonctions sont présentées (conversion N/A, A/N, multiplexage...) et les techniques principales sont étudiées (conversion à double rampe, par approximations successives, parallèle, etc...).

L'utilisation de ces modules fonctionnels est ensuite analysée. Dans un système d'acquisition plusieurs méthodes concurrentes peuvent être envisagées. La connaissance de leurs caractéristiques est importante pour optimiser le système.

Cette deuxième partie s'achève sur des réalisations modernes illustrant la place prise par les systèmes numériques.

R. PAGEL

Direction de la Division Simulateurs
et Systèmes Electroniques à la Société
L.M.T.

1ère PARTIE

LES CIRCUITS INTEGRES LOGIQUES

ET LEURS APPLICATIONS

I - GENERALITES SUR LES CIRCUITS DIGITAUX

L'électronique est à l'image de ces électrons qui gravitent autour du noyau atomique. Elle est tout le temps en mouvement. Les familles de circuits intégrés ne se comptent plus et chaque jour accueille une nouvelle réalisation. Il est donc capital, devant une telle invasion de produits sans cesse plus performants, de pouvoir choisir ceux qui présentent un bilan optimum pour l'utilisation envisagée.

Après le transistor germanium, il y eut le transistor silicium. Parallèlement les techniques de diffusion et les procédés de fabrication se perfectionnèrent et permirent la diffusion de plusieurs composants électroniques dans un même substrat semi-conducteur (intégration monolithique).

Ce progrès conduisit aux familles RTL (résistance transistor logic) et DTL (diode transistor logic). Puis la famille TTL (transistor transistor logic) apporta un supplément de performances mais surtout une possibilité de plus grande intégration ; et, enfin, la grande famille MOS (métal oxide semi-conducteur) avec ses nombreuses variantes.

Le choix d'une famille technologique de circuits intégrés digitaux se fait en fonction de plusieurs critères et les principales caractéristiques qui influenceront ce choix sont :

- l'importance de la gamme des circuits : portes, flip-flop...
- la vitesse de fonctionnement
- la puissance consommée
- l'immunité aux bruits
- l'entrance (fan-in) et la sortance (fan-out)

Du point de vue économique, outre le prix par élément de base et le contrôle de qualité exercé par le constructeur, il importe qu'une famille soit fabriquée par plusieurs firmes.

Enfin, on remarquera qu'il est rarement nécessaire pour un projet déterminé de s'imposer les meilleures performances sur tous les points. D'ailleurs certaines sont franchement incompatibles et un mieux simultanément exigé sur l'ensemble ne pourra généralement s'obtenir qu'en changeant de technologie ou en procédant à une sélection en sortie de fabrication. Ainsi, il est difficile d'obtenir à la fois une vitesse de fonctionnement élevée et une faible consommation.

Nous nous limiterons à évoquer, tout d'abord, les principales familles en faisant apparaître leurs qualités propres puis à rappeler rapidement

les circuits intégrés digitaux réalisant les fonctions logiques élémentaires en donnant chaque fois le schéma de la famille TTL lancée par Texas. Ceci fait, nous étudierons les circuits logiques plus complexes, qui peuvent se concevoir de nos jours en technique MSI et LSI (medium scale integration et Large Scale intégration).

Si on classe les différentes familles suivant le critère de la rapidité, on trouve au sommet les technologies bipolaires : ECL, TTL et DTL.

La technologie ECL (Emitter Coupled Logic), où les étages de commutation fonctionnent en non saturés, procure des temps de réponse de 1 à 5 ns suivant les circuits. Destinée principalement aux unités de calcul de très grande rapidité, elle permet un fonctionnement à 100 MHz. La puissance consommée peut être de 40 à 60 mW par porte. Les circuits MSI de cette famille sont en plein développement.

La technologie TTL (Transistor-Transistor Logic), logique où les circuits de commutation fonctionnent à la saturation, se présentent comme un très bon compromis ; universellement fabriquée, elle procure une large gamme d'éléments, des vitesses assez élevées (temps de réponse de 10 à 30 ns) et une consommation raisonnable (10 à 20 mW par porte). Un fonctionnement à 20 MHz est possible. Mais cette famille est de plus la seule actuellement en technologie bipolaire à offrir une très large gamme de circuits MSI. Elle laisse à la technologie MOS les domaines de très grande intégration et à consommation presque négligeable mais à vitesse nettement plus faible.

En outre, la technologie TTL a donné naissance à d'intéressantes variantes :

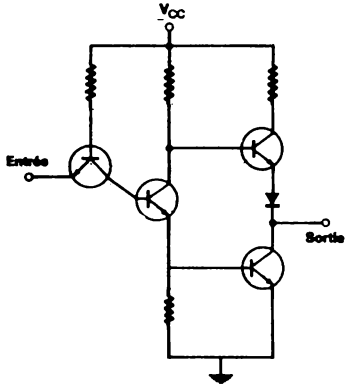
Une série très rapide (50MHz) obtenue essentiellement en abaissant les valeurs de chaque résistance (série 54/74 H ou similaire); mais celle-ci est maintenant pratiquement remplacée par la série dite Schottky.

Cette dernière série, plus récente, a pu résoudre le problème de la vitesse, non pas en abaissant les valeurs de résistance, procédé un peu barbare qui se fait au détriment de la consommation, mais en utilisant des transistors Schottky pour les étages de commutation. La consommation n'est guère plus élevée que celle de la TTL normale et avec la variante TTL low-power Schottky on dispose inversement d'une logique de même rapidité que la TTL normale mais consommant 5 à 10 fois moins et qui détrone donc la série TTL version low-power pour laquelle, à l'inverse de la série très rapide, les résistances avaient été augmentées de façon à diviser par 10 environ la consommation.

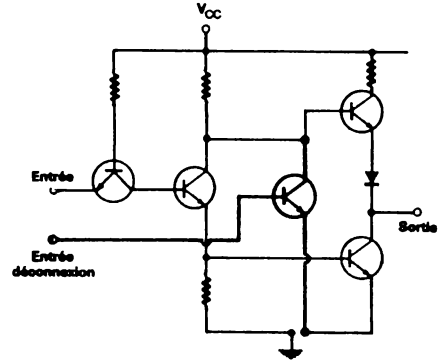
De plus, cette famille TTL possède un étage de sortie, appelé totem-pole, qui lui confère la possibilité de fournir les signaux sous basse impédance aux deux niveaux logiques, ce qui entraîne une atténuation des ten-

sions de bruit alternatives développées dans les lignes d'entrée et de sortie et donc une meilleure immunité aux bruits HF.

Enfin, une mention spéciale doit être faite pour la logique TTL dite à 3 états (three state logic) dont la sortie peut occuper effectivement 3 états mais dont deux seulement sont porteurs d'information : un état bas (0 Logique), un état haut (1 Logique) et un état bloqué (OFF) dans lequel la sortie se présente comme un générateur de courant très faible, ce qui permet de mettre directement plusieurs sorties sur une même ligne omnibus, tout en fournissant les signaux utiles (1 et 0 Logiques) sous basse impédance. La figure I-1 illustre la différence entre la série TTL normale et cette série 3 états qui se résume en un transistor supplémentaire capable de mettre à l'état bloqué les 2 transistors de l'étage totem-pole.



Configuration électrique de l'élément de base TTL en logique classique.



Configuration électrique de l'élément de base TTL à logique, 3 états (principe).

FIGURE I-1.

La technologie DTL (Diode Transistor Logic), plus ancienne que la TTL, est légèrement moins rapide (8 MHz) et sa consommation est un peu plus faible (5 à 15 mW par porte). Elle n'a pas les autres qualités de la TTL à savoir : grande intégration possible et étage de sortie basse impédance aux deux niveaux.

Toutes ces logiques fonctionnent avec une alimentation de 5 volts et ont une immunité aux bruits statiques de 800 mV (ECL : 200 mV).

La technologie DTL a tout de même donné lieu à une variante dite logique DTL à haute immunité ou à haut niveau (HLDTL ou HNIL), obtenue grâce à l'utilisation d'éléments Zener procurant un recul de tension pour les tensions d'entrée. Les temps de réponse sont de l'ordre de 100 à 200 ns et un

fonctionnement à 2 MHz est possible. Alimentée sous des tensions de 12 et même 15 Volts, cette famille possède une immunité aux bruits en régime statique de 3 à 4 Volts. Ces circuits sont pour cela très appréciés dans le domaine industriel où les parasites peuvent être forts.

Remarquons à ce propos qu'il peut être regrettable d'utiliser une logique dont la rapidité est très nettement supérieure à ce qui est réellement nécessaire. On n'aurait en effet pour simple résultat qu'une plus grande sensibilité aux bruits HF.

La technologie MOS (Metal Oxide Semi-conductor) trouve son application dans l'intégration à haute densité (MSI et surtout LSI) pour deux raisons fondamentales : la constitution simple d'un transistor MOS et le faible volume qu'il occupe mais également la faible puissance dissipée qui autorise une plus grande densité d'éléments par unité de surface (du chip monolithique). On notera toutefois que cette puissance consommée augmente assez rapidement lorsque l'on s'approche des fréquences limites de fonctionnement (la puissance dissipée dans les capacités parasites du circuit augmente avec ω et devient importante si $\omega > \omega_c$). Ceci est également vrai pour les autres technologies et cette puissance consommée doit être spécifiée soit en statique (ou B.F.) soit pour un fonctionnement voisin de la fréquence maximum de façon que les alimentations soient bien calculées. Mais la possibilité d'une très grande intégration, caractéristique de la technologie MOS, n'a pas empêché pour autant un constructeur, RCA, de s'intéresser également aux circuits logiques de base. Cette firme choisit en l'occurence la technique MOS complémentaire (C MOS) utilisant conjointement des transistors MOS, canal N et canal P, et proposait dès 1970 ses premiers circuits. Depuis, la gamme s'est enrichie et d'autres constructeurs se sont lancés dans cette direction. Deux familles C MOS sont actuellement proposées. La première a pour référence la série lancée par RCA et la deuxième se veut interchangeable pin à pin avec la série TTL low-power (vitesse du même ordre mais consommation bien inférieure). Cette technique C MOS à laquelle sont consacrés de puissants moyens de recherche et de fabrication s'est, en effet, parée des meilleurs atouts : alimentation possible de 3 à 15 Volts (!) au gré de l'utilisateur, très faible consommation pour ne pas dire négligeable à fréquences moyennes (ordre µW) et vitesse maximum déjà raisonnable (ordre 5 MHz) laquelle s'améliorera naturellement dans les années à venir.

Le tableau de la figure I-2 rassemble les caractéristiques de vitesse et consommation de ces différentes familles de circuits intégrés ; les figures I-3 et I-4 illustrent quelques techniques de diffusion parmi les plus courantes et les plus récentes et la figure I-5 rassemble quelques boîtiers standards pour circuits intégrés.

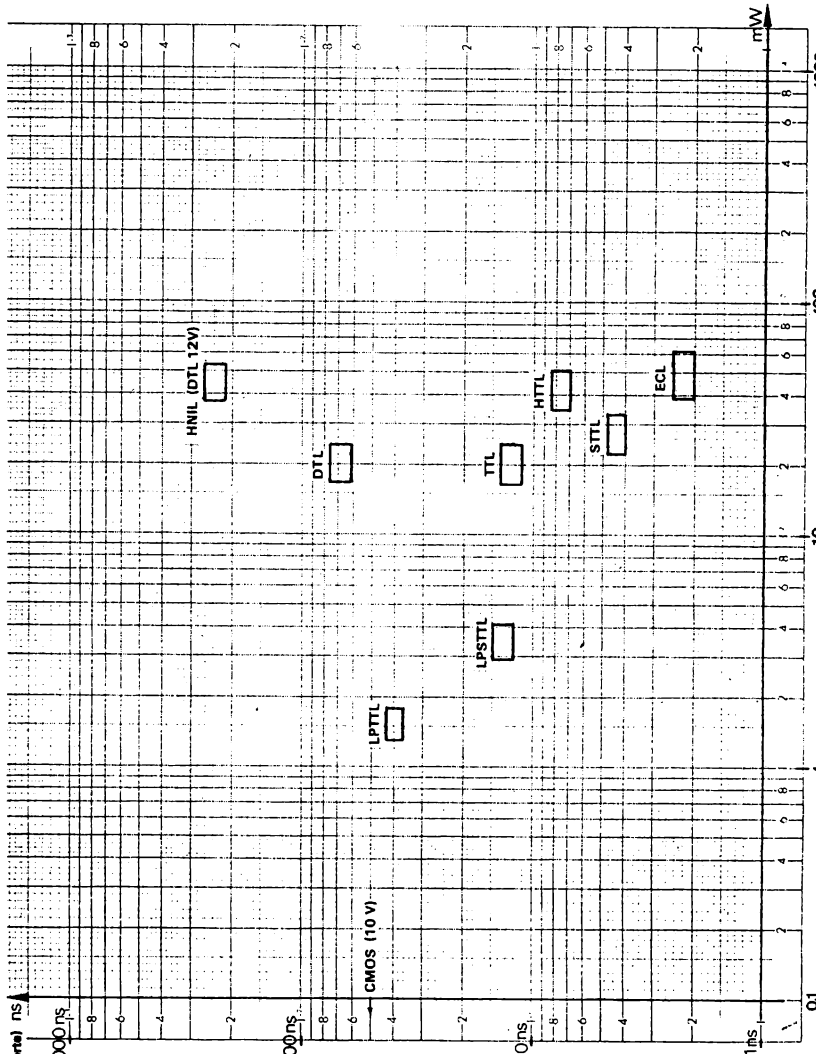
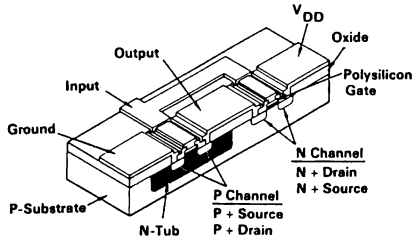
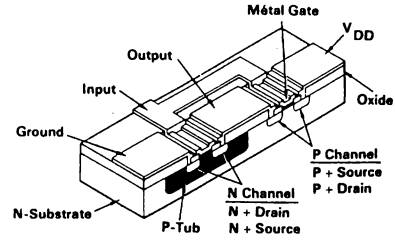


FIGURE I-2. — *Consommation et vitesse des principales familles de circuits intégrés.*

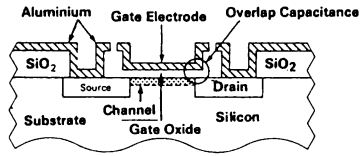


The silicon gate process differs considerably from the metal gate process above. First, an N type pot, or tub, is used in a P-type substrate. This is exactly opposite to the metal gate arrangement. Secondly, a layer of polysilicon gate oxide replaces metal as the gate electrode. The polysilicon gate layer not only provides for the self-alignment of source and drain during production, but, also lowers the switching threshold of the MOS transistors themselves.

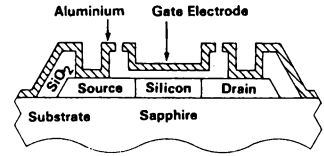


The aluminum metal gate process begins with a P-tub diffusion in an N type substrate. In this tub N^+ sources and drains are deposited to form the N-channel device of a complementary pair. P^+ sources and drains are located directly in the substrate to form the P-channel device.

FIGURE I-3.—*Principes de diffusion de la famille CMOS.*



MOS TRANSISTOR



SILICON ON SAPHIRE TRANSISTOR

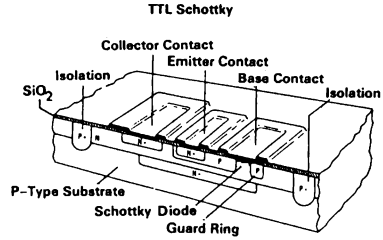
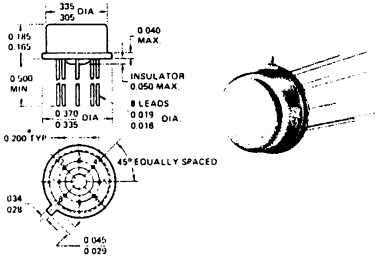
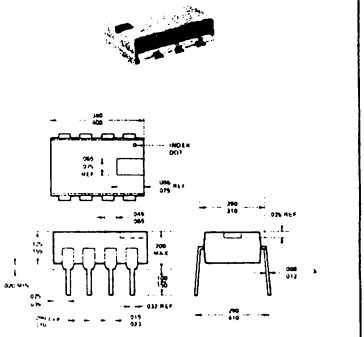


FIGURE I-4.—*Principes de diffusion MOS et TTL Schottky.*

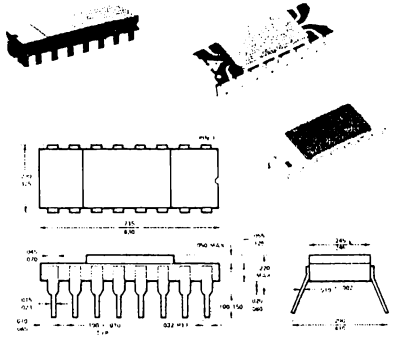
8-LEAD METAL CAN PACKAGE OUTLINE



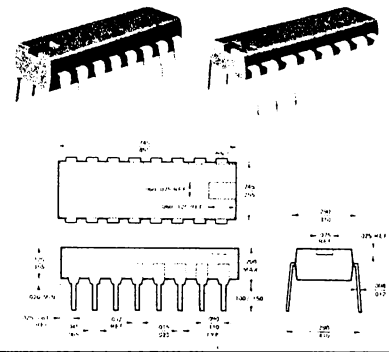
8-LEAD PLASTIC DUAL IN-LINE PACKAGE OUTLINE



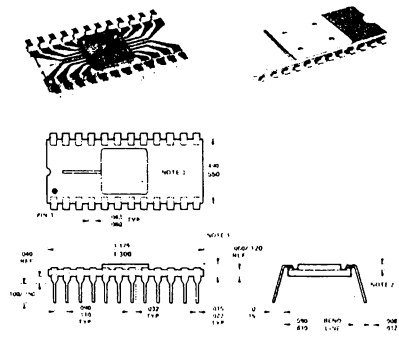
16-LEAD CERAMIC DUAL IN-LINE PACKAGE OUTLINE



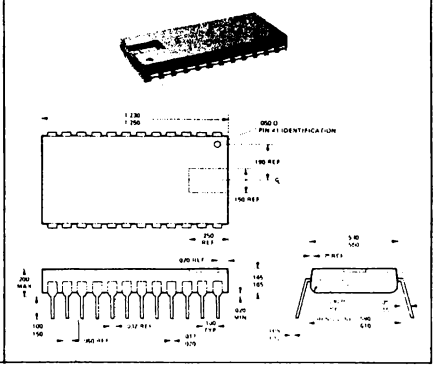
16-LEAD PLASTIC DUAL IN-LINE PACKAGE OUTLINE



24-LEAD CERAMIC DUAL IN-LINE PACKAGE OUTLINE



24-LEAD PLASTIC DUAL IN-LINE PACKAGE OUTLINE



dimensions en inches (0,1 inch = 2,54mm)

FIGURE I-5.— *Exemples de boîtiers pour circuits intégrés*

II - CIRCUITS DIGITAUX ELEMENTAIRES FONCTIONS LOGIQUES SIMPLES

II-1- INTRODUCTION

Aux deux classes de fonctions logiques, les fonctions logiques combinatoires et les fonctions logiques séquentielles, correspondent essentiellement deux types de circuits logiques : les portes et les bascules. Chaque circuit élémentaire, on peut en trouver plusieurs dans un module circuit intégré, assure une fonction logique. Il lui est associé une équation logique et une table de vérité ainsi qu'une représentation symbolique. On a rassemblé dans ce chapitre les principales portes et bascules, éléments de base de tout système logique, en donnant chaque fois le schéma du circuit en technologie TTL. Naturellement les schémas de la série CMOS pourraient tout aussi bien illustrer chacune de ces équations.

REMARQUES IMPORTANTES

Dans toute la suite de cet ouvrage il est entendu que seule la logique positive est utilisée. Ceci signifie qu'à un potentiel très voisin de 0 volt on fait correspondre l'écriture 0 ou 0 Logique (bit = 0). Pratiquement on écrira 0 Log pour tout potentiel compris entre 0 volt et une limite $V_{L\,max}$ bien définie pour chaque famille de circuits logiques. Par exemple $V_{L\,max}$ = 0,4 volt pour la série TTL 5 volt.

Inversement à un potentiel d'un niveau haut on fait correspondre l'écriture 1 ou 1 Logique (bit = 1). Pratiquement on écrira 1 Log pour tout potentiel compris entre $V_{H\,min}$ et V_{cc} (alimentation). Par exemple pour la série TTL 5 volt on écrit bit = 1 pour un potentiel compris entre 2,4 volt et 5 volt.

En logique négative la convention est inverse. D'où l'écriture suivante :

En logique positive	V volt ⟶ 1	0 volt ⟶ 0
En logique négative	V volt ⟶ 0	0 volt ⟶ 1

On ne confondra pas cette alternative avec le fait qu'un circuit pourrait être alimenté en positif ou négatif par rapport au potentiel de référence, ce qui se rencontre avec certains circuits MOS.

Autrement dit V est une valeur algébrique pouvant être positive ou négative et seule sa valeur absolue est en cause.

Soit donc un circuit à 2 entrées A et B dont la sortie X fonction de

l'état appliqué en A et B, occupe physiquement, c'est-à-dire de par sa conception, le potentiel O ou V conformément au tableau (a).

(a)

A	B	X
0	0	0
0	V	0
V	0	0
V	V	V

potentiels (volt) occupés par le circuit.

(b)

A	B	X
0	0	0
0	1	0
1	0	0
1	1	1

Table de vérité en logique positive.

(c)

A	B	X
1	1	1
1	0	1
0	1	1
0	0	0

Table de vérité en logique négative.

La table de vérité, qui sera couramment utilisée pour chaque circuit, ne fait pas ressortir les potentiels mais au contraire les états logiques. Aux deux logiques, positive ou négative, correspondent donc 2 tables de vérité différentes (b) et (c).

Or, par définition les tables (b) et (c) représentent respectivement le produit booleen (ET) et l'addition booléenne (OU).

En conséquence le circuit pris pour exemple réalise la fonction ET en logique positive et OU en logique négative. On démontre de même que la fonction OU en logique positive devient la fonction ET en logique négative.

Une autre remarque s'impose pour rappeler ce que l'on entend par immunité aux bruits (statiques).

Si une famille de circuits délivre une sortie 0 Logique toujours inférieure à V_{Lmax} (0,4 volt pour la TTL 5 volt) et s'il en est de même pour tous les niveaux 0 du système, l'immunité aux bruits au 0 Logique est la distance qui sépare cette valeur limite de celle ($V_{in\ max}$) à partir de laquelle un circuit de cette famille risque de ne plus comprendre 0 Logique. Dans la série TTL cette valeur $V_{in\ max}$ est *en moyenne*, donc sans garantie, de 1,4 volt. Dans ces conditions pour cette famille TTL l'immunité aux bruits est de 1 volt (au 0 Logique).

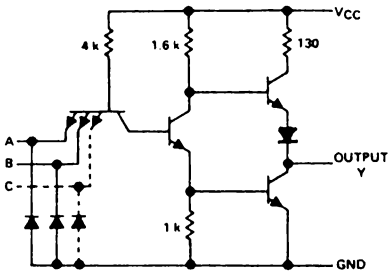
De même si tous les niveaux 1 Logique du système, les sorties de circuits en particulier, ne sont jamais inférieurs à 2,4 volt ($V_{oH\ min}$) l'immunité aux bruits au 1 Logique est de 1 volt puisqu'à 1,4 volt en moyenne le circuit risque de ne plus comprendre 1 mais 0.

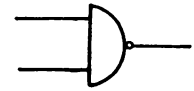
Pratiquement, pour la série TTL, l'immunité *garantie* est de 0,4 volt (frontières 0 Log = 0,8 volt et 1 Log = 2 volt) c'est-à-dire que pour une production donnée la valeur de l'immunité est comprise entre 0,4 et 1 volt. L'utilisateur sait que si un parasite quelconque vient ajouter un potentiel aux niveaux logiques du système (induction, ddp. dans les liaisons etc ...) il n'est protégé sûrement que contre une amplitude de 0,4 volt. Ce qui est

faible et explique les efforts qui sont faits pour travailler en basse impédance (la sortie totem-pôle de la TTL répond à ce souci).

II-2- LES PORTES, FONCTIONS LOGIQUES COMBINATOIRES SIMPLES

II-2-1) LA PORTE ET-NON (NAND) à plusieurs entrées (Fig. II-1)





Logique positive $X = \overline{A.B}$

A	B	$\overline{X}$	X	Remarques
0	0	0	1	X = 1
0	1	0	1	
1	0	0	1	X = $\overline{B}$
1	1	1	0	

FIGURE II-1. — *Porte ET-NON à plusieurs entrées.*

A deux entrées, réalise la fonction logique :

$$X = \overline{A.B} = \overline{A} + \overline{B}$$

A trois entrées, réalise la fonction logique :

$$X = \overline{A.B.C} = \overline{A} + \overline{B} + \overline{C}$$

A quatre entrées, réalise la fonction logique :

$$X = \overline{ABCD} = \overline{A} + \overline{B} + \overline{C} + \overline{D}$$

A huit entrées, réalise la fonction logique :

$$X = \overline{ABCDEFGH} = \overline{A} + \overline{B} + \overline{C} + \overline{D} + \overline{E} + \overline{F} + \overline{G} + \overline{H}$$

Applications typiques d'une porte ET-NON :

- décodage de 1 parmi 2^X

  ex : pour une porte ET-NON à 4 entrées, décodage de 1 parmi 16.

  En effet, X = 0 seulement si A = B = C = D = 1.

  Pour décoder le nombre binaire 0000 la porte ET-NON recevra les signaux $\overline{A}$ $\overline{B}$ $\overline{C}$ $\overline{D}$, pour décoder le chiffre 0001 la porte recevra les signaux $\overline{A}$ $\overline{B}$ $\overline{C}$ D etc ...

- transmission sous condition d'un signal logique avec inversion.

  Pour une porte ET-NON à 2 entrées A et B la sortie $S = \overline{A.B}$ donc $S = \overline{A}$ si B = 1 et S = 1 quelque soit A si B = 0.

1ère variante : porte ET-NON à collecteur ouvert. (figure II-2).

L'étage de sortie d'un circuit à collecteur ouvert est constitué uniquement d'un transistor dont le collecteur (sortie) est à relier au + V_{cc} (alimentation) par l'intermédiaire d'une résistance extérieure. Mais celle-

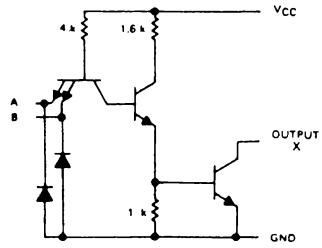


FIGURE II-2.
Porte ET-NON à 2 entrées et collecteur ouvert.

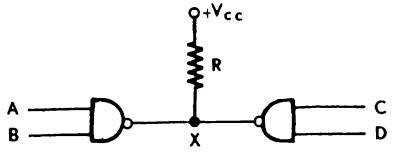


FIGURE II-3.

ci peut être commune à plusieurs circuits ce qui permet de réaliser le circuit de la figure 2-3. Si une des sortie mises en parallèle est à ZERO, elle impose un 0 sur toute la ligne quelque soit l'état des autres sorties. On réalise ainsi un produit ET entre les sorties d'où l'équation :

$$X = \overline{A.B} \cdot \overline{D.E} = \overline{A.B + D.E}$$

et plus généralement :

$$X = \overline{A_1B_1} \cdot \overline{A_2B_2} \cdot \overline{A_3B_3} \ldots .$$

soit :

$$X = \overline{A_1B_1 + A_2B_2 + A_3B_3} + \ldots$$

Cette fonction logique est également assurée par les portes ET-OU inverse (AND-OR invert gate figure II-5).

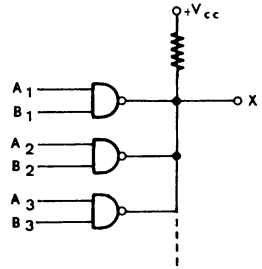


FIGURE II-4.

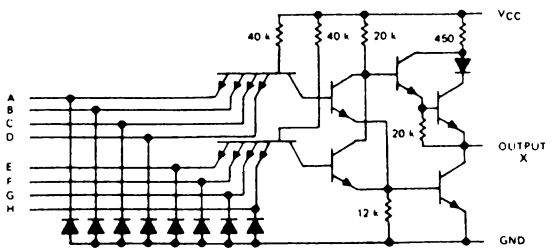
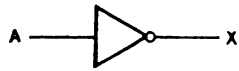


FIGURE II-5.—*Porte ET-OU inverse à 2 fois 4 entrées.*

2ème variante : l'inverseur

C'est une porte à une seule entrée à collecteur de sortie ouvert ou non. Il réalise la fonction logique $X = \overline{A}$.

Il existe également l'étage séparateur, non inverseur réalisant la fonction X = A.



$X = \overline{A}$

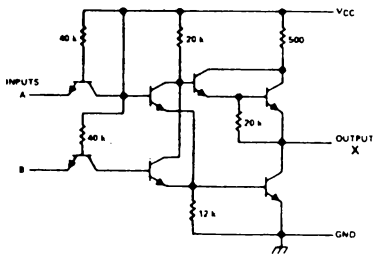
X = A

Un inverseur de puissance, ou un étage séparateur non inverseur, pourra commander plusieurs dizaines de mA sous une tension de 5 Volts (en logique 5V) ou des tensions plus élevées.

II-2-2) LA PORTE OU-NON (NOR)

La porte NOR à deux entrées réalise la fonction :

$$X = \overline{A + B} = \overline{A}.\overline{B}$$ (figure II-6)



A	B	$\overline{X}_{\overline{A+B}}$	$X_{\overline{A+B}}$
0	0	0	1
0	1	1	0
1	0	1	0
1	1	1	0

FIGURE II-6. — *Porte OU-NON à 2 entrées.*

II-2-3) LA PORTE ET (AND)

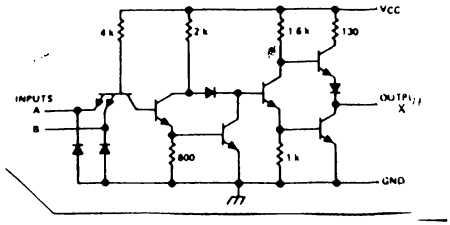
La porte ET à 2 entrées réalise la fonction :

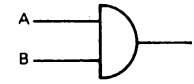
$$X = A.B.$$ (figure II-7)

En utilisant la variante porte ET à collecteur ouvert on peut réaliser la fonction :

$$X = A.B.C.D.E.F.....$$

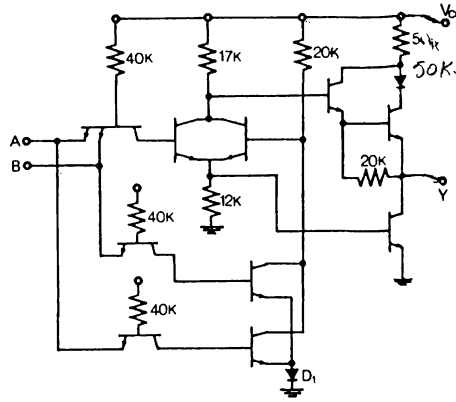
en reliant les sorties de toutes les portes ET.

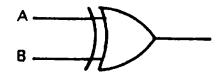




A	B	X = A.B
0	0	0
0	1	0
1	0	0
1	1	1

FIGURE II-7.—*Porte ET à 2 entrées.*





A	B	X = A ⊕ B	Remarques
0	0	0	X = B
0	1	1	
1	0	1	X = $\overline{B}$
1	1	0	

FIGURE II-8.—*Porte OU exclusif à 2 entrées.*

II-2-4) LA PORTE OU EXCLUSIF (FIG. II-9)

Comme le précise la table de vérité de la figure II-8 la porte OU exclusif est telle que :

X = 1 si A = 0 B = 1 ou si A = 1 B = 0

donc $X = \overline{A}.B + A\overline{B}$

Mais on peut également écrire que :

X = 0 si A = B = 0 ou si A = B = 1

donc $X = (A+B)(\overline{A.B})$

En définitive : $A \oplus B = \overline{A}.B + A.\overline{B} = (A+B)(\overline{A.B})$

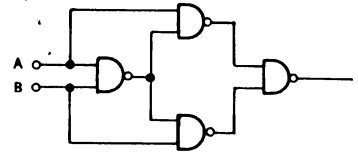


FIGURE II-9.—*Fonction OU exclusif.*

Quant à la fonction complémentée $\overline{X}$, elle peut s'écrire :

$$\overline{X} = \overline{A \oplus B} = AB + \overline{A}\overline{B}$$

Notons que l'on peut réaliser cette fonction avec 4 portes NAND à 2 entrées comme l'indique la figure II-9.

- On notera enfin sur la table de vérité que suivant la valeur de A, la fonction X prend la valeur B (si A=0) ou la valeur complémentée $\overline{B}$ (si A=1). Cette propriété rend cette porte très utile pour les circuits de complémentation sous condition.

Enfin, dans le cas où il y a plusieurs variables ABC... on déduit de l'examen de la table de vérité que la fonction X vaut 1 si le nombre de variables qui sont à 1 est impair et 0 si ce nombre est pair. Application : génération ou contrôle de parité.

Applications du circuit OU exclusif :
- addition binaire
- comparaison de deux nombres binaires
- générateur de parité
- calcul de complément restreint d'un nombre.

A	B	C	A ⊕ B ⊕ C
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

FIGURE II-10.
Table de vérité pour 3 variables ABC.

II-2-5) CAS D'UNE FONCTION D'UN GRAND NOMBRE DE VARIABLES

Etant donné que le nombre de pins (accès) d'un boitier de circuit intégré est limité à 14 ou 16 pour des fonctions simples, si une fonction OU et ET doit être réalisée entre un grand nombre de variables, plusieurs portes sont utilisées et le théorème de Morgan est alors fort utile :

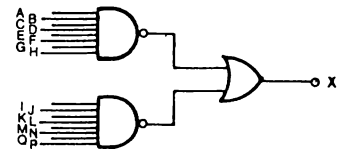


FIGURE II-11.

$$\overline{A.B.C.D. \ldots} = \overline{A} + \overline{B} + \overline{C} + \overline{D} + \ldots.$$

ou $$\overline{A + B + C + D + \ldots} = \overline{A}.\overline{B}.\overline{C}.\overline{D}. \ldots\ldots\ldots$$

Ainsi le circuit de la figure II-11 réalise la fonction :

$$X = \overline{A.B.C.D.E.F.G.H.} + \overline{I.J.K.L.M.N.P.Q.}$$

soit :

$$X = \overline{A} + \overline{B} + \overline{C} + \overline{D} + \overline{E} + \overline{F} + \overline{G} + \overline{H} + \overline{I} + \overline{J} + \overline{K} + \overline{L} + \overline{M} + \overline{N} + \overline{P} + \overline{Q}$$

qui est la condition OU de 16 variables complémentées.

II-3- LES BASCULES, FONCTIONS LOGIQUES SEQUENTIELLES SIMPLES

Une bascule, ou flip flop, possède une sortie Q et une sortie complémentée $\overline{Q}$ également accessible dans certains circuits. Selon que cette sortie Q occupe le niveau haut ou le niveau bas de tension, respectivement représenté

par 1 et 0 en logique positive, on dit que la bascule est dans l'état 1 ou 0 (on stocke l'information 1 ou 0). Pour introduire cette information binaire dans la bascule on doit au préalable appliquer des états logiques bien définis à diverses entrées et observer des diagrammes de temps précis. Exemple : pour mettre à ZERO une bascule on pourra appliquer une impulsion sur l'entrée CLEAR (ou Remise à zéro : RAZ) et pour la mettre à UN une impulsion sur l'entrée PRESET (ou Remise à UN : RAU). L'information reste alors dans la bascule tant que l'alimentation n'est pas coupée et moyennant un certain nombre de conditions.

On distingue principalement 5 types de bascules.

II-3-1) BASCULE R-S.

La bascule R.S. élémentaire peut être réalisée avec deux portes NAND connectées comme l'indique la figure II-12 (a) ou avec deux portes NOR (figure II-12 (b).

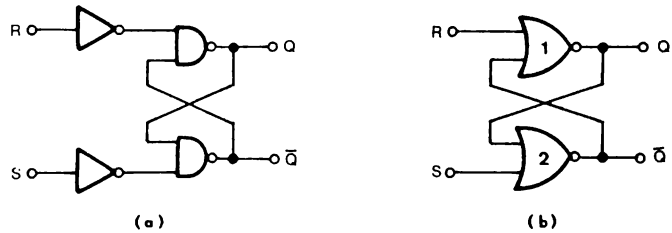


FIGURE II-12.—*Bascules R-S (R=S=1 état indéterminé. Retour à R=S=0).*

Fonctionnement : (figure II-12-b)

Supposons que l'on applique R = 1, S = 0. Puisque R = 1, Q = 0 et comme S = 0 avec Q = 0 la porte n°2 délivre $\overline{Q}$ = 1. Si R revient à ZERO, comme $\overline{Q}$ = 1 la sortie de la porte n°1 reste à ZERO. On verrait de même que si on applique S = 1, R = 0 on obtient Q = 1, état qui se maintient lorsque l'on retourne à R = S = 0.

Enfin, si on fait R = S = 1 on impose aux deux sorties l'état 0. Quand R et S reviennent à 0, l'une des 2 portes (la plus rapide) revient à 1, l'autre restant à ZERO. Ce cas est donc inutilisable. On dit que R = S = 1 conduit à un état indéterminé.

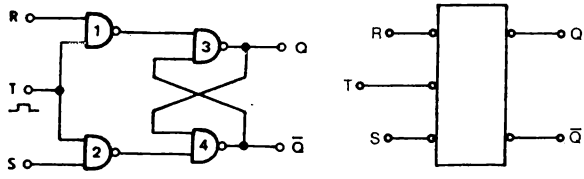
II-3-2) BASCULE R-S-T.

Les conditions d'entrée sont toujours appliquées à deux entrées R et S mais elles ne sont prises en compte par la bascule qu'au moment du

passage de 0 à 1 (ou 1 à 0 suivant les circuits) du signal d'horloge T. Dans le cas de la figure II-13 si l'entrée T est au ZERO la bascule R.S. constituée par les portes 3 et 4 reçoit UN aux deux entrées et ce quelque soient les états des entrées R et S (lesquelles sont bloquées par les portes 1 et 2). Par contre dès que T = 1 l'information appliquée aux entrées R et S est introduite dans la bascule par l'intermédiaire des portes 1 et 2.

Dans cet exemple, si R = S = 1 et si T = 1, Q et $\overline{Q}$ sont forcées à UN.

Dès que T revient à ZERO la bascule occupe un état indéterminé (Q ou $\overline{Q}$ est à UN). La table de vérité de cette bascule et sa représentation symbolique sont représentées à la figure II-13.



t_n		t_{n+1}
R	S	Q
0	0	Q_n
0	1	0
1	0	1
1	1	indéterminé

FIGURE II-13.—*Bascule R-S-T Schéma et table de vérité.*

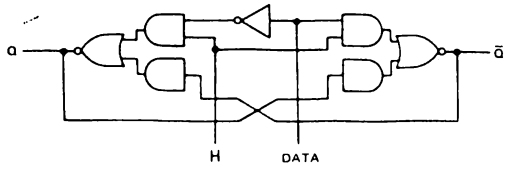
Dans cette table la colonne t_{n+1} précise l'état logique de Q juste après le front de commande (passage de T de UN à ZERO) en fonction des états occupés par R et S avant l'apparition de ce front (colonnes t_n) et qui doivent être maintenus pendant la transition.

II-3-3) BASCULE TYPE D.

La bascule type D est une bascule à une seule entrée, l'entrée Donnée D (DATA), organisée de telle façon que les deux états possibles sont parfaitement déterminés par l'état logique de cette entrée D. Naturellement il y a une nécessité d'utiliser un signal d'horloge pour synchroniser la mise en mémoire de la valeur D et d'autre part isoler la bascule vis-à-vis de l'extérieur le reste du temps. La table de vérité est donc très simple :

t_n	t_{n+1}
D	Q
1	1
0	0

A partir de cette définition on trouve deux types de bascules type D correspondant à deux fonctionnements légèrement différents.



t_n	t_{n+1}
D	Q
0	0
1	1

FIGURE II-14.—*Bascules LATCH.*

- Bascules latch (type D-latch)

Son circuit est celui de la figure II-14 où il apparaît que grâce à un inverseur la donnée D est appliquée aux entrées R et S d'une bascule type RST avec D = R et $\bar{D}$ = S. Dans ces conditions l'état R = S = 1 qui donnait lieu à un fonctionnement indéterminé ne peut plus exister d'où la simplification de la table de vérité. Si H = 1 la cellule de base est mise en relation avec l'entrée D par l'intermédiaire de portes d'entrée et l'état de la bascule est celui de D, ceci tant que H = 1. Lorsque H repasse à ZERO la cellule de base se trouve isolée de l'entrée D et, recevant 1 sur ses deux entrées RS, celle-ci conserve l'état qu'elle avait juste avant le passage de H de 1 à 0. On peut donc considérer que cette bascule est synchronisée sur le front positif de H (ou montant) mais il ne faut pas oublier que tant que H = 1 il y a Q = D et qu'il n'y aura véritablement mise en mémoire que lorsque le signal H sera repassé à ZERO. La figure 2-15 met en évidence les différents décalages de temps présentés par les signaux entr'eux. Les uns obligatoires pour assurer un fonctionnement sûr : $t_{set\ up}$ temps d'établissement de D par rapport au front descendant de H, t_{hold} temps de maintien de D et ceux dont il faut tenir compte pour l'utisation : t_{pd_1}(D-Q), temps que met la sortie Q pour passer à 1 une fois que l'entrée D y est passée et à condition naturellement que H soit à 1 (depuis le temps t_{pd_1}(H-Q) au moins.

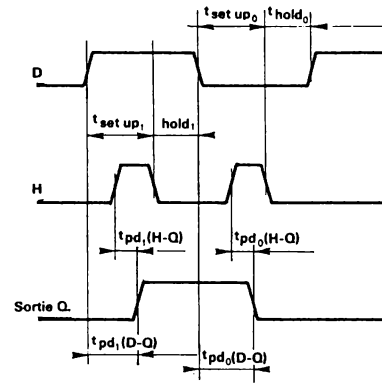
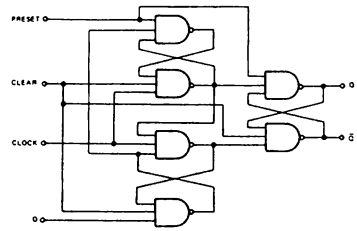


FIGURE II-15.

- Bascule D à commande sur front (D-type edge triggered flip flop)

Dans ce deuxième type de bascule D la synchronisation a également lieu sur un front, positif par exemple comme dans le cas de la bascule TTL 5474 (figure II-16) et c'est la valeur de D présente au moment de la transition de H qui est introduite dans la bascule. Mais maintenant, que H soit à 1 ou à 0, la bascule se trouve isolée de l'extérieur une fois le front appliqué. On remarquera toutefois que pour un fonctionnement correct il y a lieu de faire en sorte que la donnée D soit stabilisée à sa juste valeur immédiatement avant la transition de H($t_{set\ up}$: 15 ns en moyenne) et devra conserver cette valeur un certain temps après (t_{hold} : 5 ns en moyenne). Le diagramme des temps est indiqué par la figure II-17.



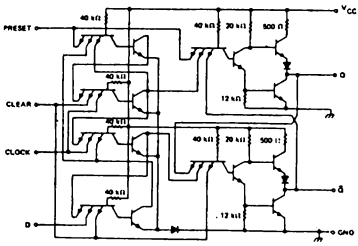


FIGURE II-16.
Bascule D à commande sur front (type SN 54/74L74).

Deux entrées supplémentaires permettent :

- de mettre la bascule à l'état UN en appliquant ZERO sur l'entrée Preset (ou RAU)
- de mettre la bascule à l'état ZERO en appliquant ZERO sur l'entrée Clear (ou RAZ).

En fonctionnement normal Clear = Preset = 1 et ces signaux sont indépendants de H.

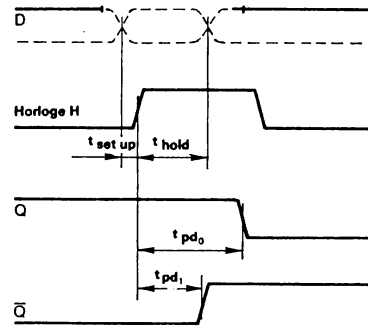


FIGURE II-17 — *Bascule D à commande sur front.*

II-3-4) BASCULE MAITRE-ESCLAVE (master-slave flip-flop).

Ce type de bascule est en fait composé de deux étages flip flop : un étage maître recevant une information sur 2 entrées (R et S ou J et K) et un étage esclave, commandé à partir de l'étage maître, qui délivre l'information de sortie (état de la bascule).

La mise en mémoire de l'information (DATA) se fait en deux étapes au moment de l'application du signal d'horloge (H ou CP) :

1/ Le signal d'horloge est au 0 logique et passe à 1. L'étage maître se trouve alors isolé de l'étage esclave et prend l'état logique conforme à l'état des signaux d'entrée (R et S ou J et K) qui sont appliqués à cet instant.

2/ Le signal d'horloge repasse de 1 à 0. L'étage maître cesse d'être en relation avec les entrées puis les deux étages maître et esclave sont reliées. L'état du maître est alors transmis à l'esclave.

Les niveaux 1, 2, 3, 4 (figure II-18) sont des seuils que le signal H doit franchir mais la vitesse $(\frac{dV}{dt})$ avec laquelle cette évolution est réalisée n'a aucun rôle. Il faut simplement que l'impulsion ait une certaine largeur pour ne pas dépasser la vitesse maximum de la bascule. Ces bascules sont donc sensible au *niveau* du signal d'horloge. Une dernière remarque s'impose : il n'est pas permis aux entrées J et K d'évoluer pendant que le signal H est à 1 (sous peine de changer l'état de la bascule).

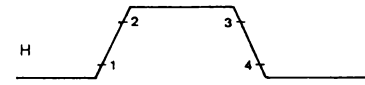


FIGURE II-18

1 maître isolé de l'esclave.

2 introduction de J et K dans le maître.

3 déconnection des entrées J et K.

4 transfert de l'information du maître à l'esclave.

La figure II-19 présente une bascule RS maître esclave composée essentiellement de deux étages "bascule RS" de deux paires de portes NAND assurant le passage ou le blocage de l'information suivant l'état de H et d'un inverseur.

La table de vérité reste toujours celle de la bascule RST. En l'occurence R et S ne doivent pas être simultanément à 1 ce qui après inversion applique deux entrées à 0 à la bascule RS maître et donne lieu à une indétermination.

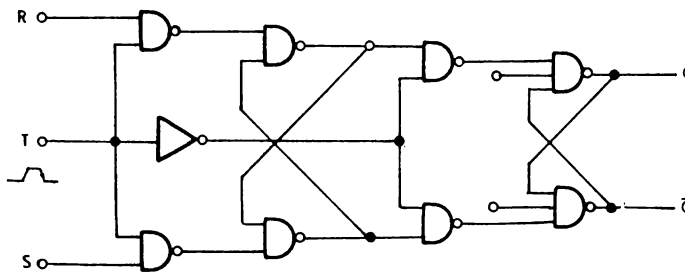
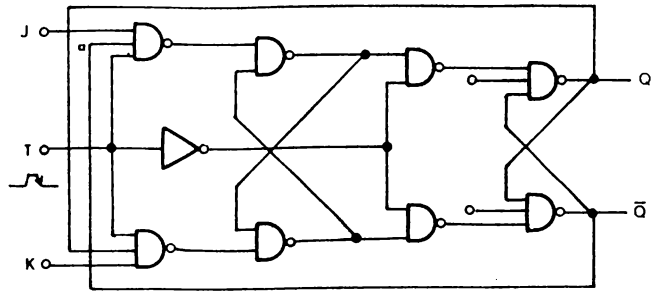


FIGURE II-19.—*Bascule RS maître esclave.*



Si J = K = 0 l'étage maître ne change pas d'état car les entrées R et S de cette 1ère bascule sont à 1 quelles que soient Q et $\overline{Q}$.

Si J = K = 1 les états de Q et $\overline{Q}$ sont réinjectés après permutation d'où le basculement.

FIGURE II-20. – *Bascule JK maître esclave.*

Cette indétermination est levée dans la bascule JK et c'est ce qui fait une grande partie de son intérêt, d'autant plus que l'état indéterminé est remplacé par un état complémenté (ou $\overline{Q}_n$) ce qui signifie que si les entrées maintenant appelées J et K, sont toutes deux à 1, à l'instant t_{n+1} qui suit le signal d'horloge on trouve la bascule dans l'état complémentaire $\overline{Q}_n$ ($\overline{Q}_N$) ⟶ (Q_n). Si elle était à 1 elle est passée à 0 et inversement. Il y a eu *basculement*.

Comme le précise la figure II-20 cette bascule JK maître-esclave peut être obtenue à partir d'une bascule RS maître-esclave en introduisant en condition ET les données extérieures (J et K) et les états Q et $\overline{Q}$ *réinjectés après permutation*. Ainsi quand J = K = 1, Q et $\overline{Q}$ sont intervertis, d'où le basculement.

La table de vérité est devenue la suivante :

t_n		t_{n+1}
J	K	Q
0	0	Q_n
0	1	0
1	0	1
1	1	$\overline{Q_n}$

équation logique :

$$Q_{n+1} = J.\overline{Q}_n + K.Q_n$$

t_n est l'instant qui précède l'application du signal d'horloge

t_{n+1} est l'instant qui suit l'application du signal d'horloge H.

Avec un certain nombre d'entrées supplémentaires pour la mise à 0 de la bascule (entrée CLEAR ou RAZ), pour la mise à 1 (entrée Preset ou RAU) et des entrées J et K multiples ($J = J_1.J_2.J_3$ et $K = K_1.K_2.K_3$) on aboutit à la

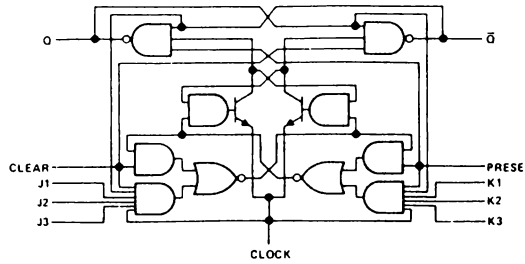


FIGURE II-21. —*Bascule JK maître esclave (SN 54/7472).*

bascule JK maître esclave du type SN 5472 (figure II-21). Le schéma symbolique de l'ensemble peut alors se représenter comme l'indique la figure II-22 qui rappelle, par les portes NAND à 3 entrées, que $J = J_1J_2J_3$ et $K = K_1K_2K_3$ ainsi que les détails suivants.

Un ZERO appliqué à l'entrée Preset donne Q = 1 (mise à 1). Un ZERO appliqué à l'entrée Clear donne Q = 0 (remise à ZERO), (l'action de ces deux signaux à ZERO est rappelée par le petit cercle sur le schéma). Ces deux fonctionnements sont indépendants de l'horloge ; par contre ces deux entrées doivent être à 1 pour assurer un fonctionnement correct en synchronisme avec H selon la table de vérité. Le diagramme des temps est représenté à la figure II-23.

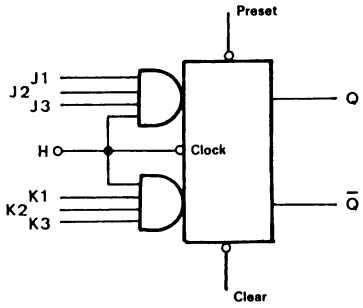


FIGURE II-22.

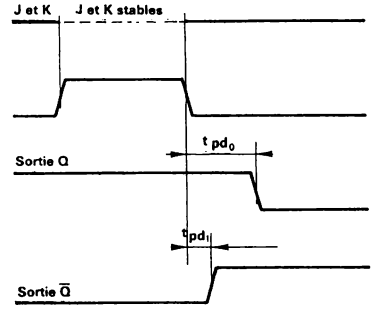


FIGURE II – 23.
Diagramme des temps de la bascule JK maître esclave.

II-3-5) BASCULE JK MAITRE-ESCLAVE A VERROUILLAGE.

Diverses améliorations peuvent et ont été apportées au circuit de base JK maître esclave.

Ainsi la bascule JK maître esclave à vérouillage du type SN 54110 (gated JK master slave flip-flop with data lock out) permet un fonctionnement plus sûr (figure II-25). Les données J et K ne peuvent être introduites que durant un temps très bref (20 ns) au moment du passage de H de 0 à 1 (front montant). Naturellement ces données J et K doivent être stabilisées auparavant ($t_{set\ up}$ = 20 ns) et elles doivent être maintenues un certain temps après le front de montée (t_{hold} = 5 ns). Ce qui donne lieu au diagramme des temps de la figure II-24.

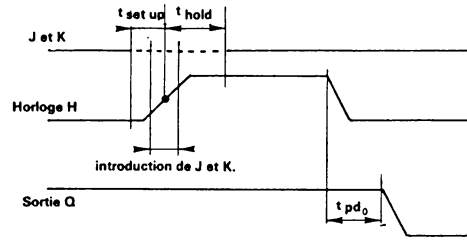


FIGURE II-24.

Diagramme des temps de la bascule SN 54/74110.

Le signal H étant à 1, après un délai égal au temps t_{hold} les entrées J et K peuvent changer sans perturber l'état de la bascule. Lorsque H repasse à ZERO l'état de la bascule maître est transmis à la bascule esclave. Dans ces conditions l'influence des parasites éventuellement présents

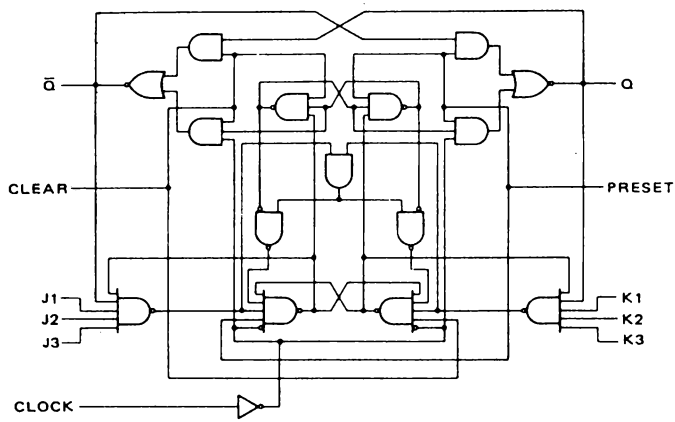
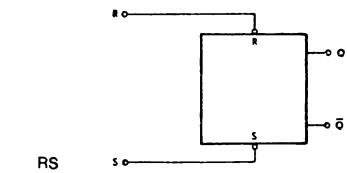


FIGURE II-25.—*Bascule SN 54/74110*

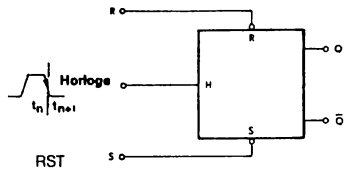
Gated JK master-slave flip-flop with Data lockout.

aux entrées J et K est fortement diminuée puisque seul l'état présent durant un temps très bref est pris en compte. De plus on conserve avec cette bascule l'avantage inhérent au montage maître esclave qui est de stocker l'information dans un premier temps puis de la délivrer en sortie dans un deuxième temps.



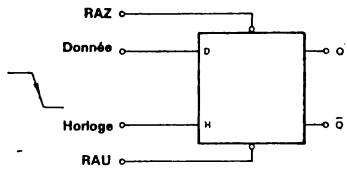
RS

t_n		t_{n+1} R = S = 0
R	S	Q
0	1	0
1	0	1
1	1	Indéterminé



RST

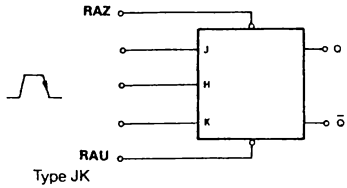
t_n		t_{n+1}
R	S	Q
0	0	Q_n
0	1	0
1	0	1
1	1	Indéterminé



Type D

t_n	t_{n+1}
D	Q
0	0
1	1

Latch:tant que H = 1 Q ≡ D



Type JK

t_n		t_{n+1}
J	K	Q
0	0	Q_n
0	1	0
1	0	1
1	1	$\overline{Q_n}$

RAZ = 0 Q = 0
RAU = 0 Q = 1

FIGURE II-26.—*Tableau récapitulatif des principales bascules.*

II-3-6) BASCULES JK A DECLENCHEMENT SUR FRONT (JK edge-triggered flip-flop).

Ces bascules sont déclenchées lorsque le signal d'horloge change de niveau (passage de 0 à 1) comme dans le cas précédent, mais elles ne sont pas maître esclave. Un premier exemple a déjà été rencontré avec la bascule type D edge triggered.

Le diagramme des temps est donc toujours le même (figure II-27). Toutefois on rencontre deux variantes:

1/ Le circuit constituant la bascule est à couplage capacitif. Alors le front de commande du signal d'horloge doit être compris à l'intérieur d'une fourchette définie (pour la valeur $\frac{dV}{dt}$). Ainsi pour la bascule SN 5470 le temps de montée doit être supérieur à 5 ns mais inférieur à 150 ns.

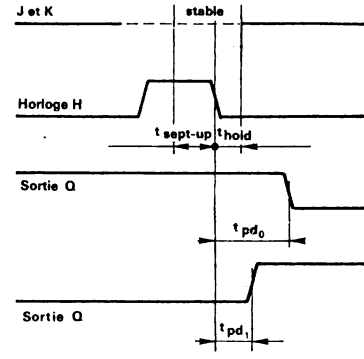


FIGURE II – 27.
Bascule à commande sur front (négatif).

2/ Le circuit constituant la bascule présente une liaison uniquement continue et alors la vitesse $\frac{dV}{dt}$ du signal d'horloge n'a plus d'importance. C'est par exemple la cas pour la bascule SN 54S112 (série Schottky) pour laquelle la donnée est transmise aux sorties sur le front négatif de l'horloge. On notera que pour ce type la donnée appliquée à l'entrée est introduite dès que H = 1 mais J et K peuvent changer. Elles doivent seulement être stabilisées un temps $t_{set\ up}$ avant le front descendant puis être maintenues un temps t_{hold} après.

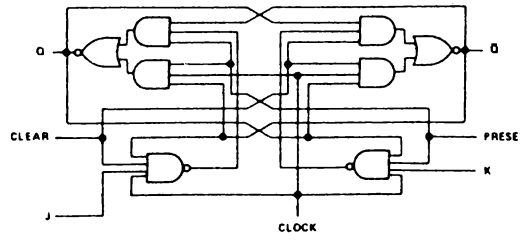


FIGURE II – 28. – *Bascule JK à commande sur front (SN 54/74 S112).*

II-3-7) EXEMPLES DE BASCULES A SORTIE 3 ETATS (circuits MSI)

La Société National Semiconductor a présenté en 1970 plusieurs circuits logiques "3 états" et en particulier le circuit DM 7551 groupant quatre bascules du type D (schéma figure II-29).

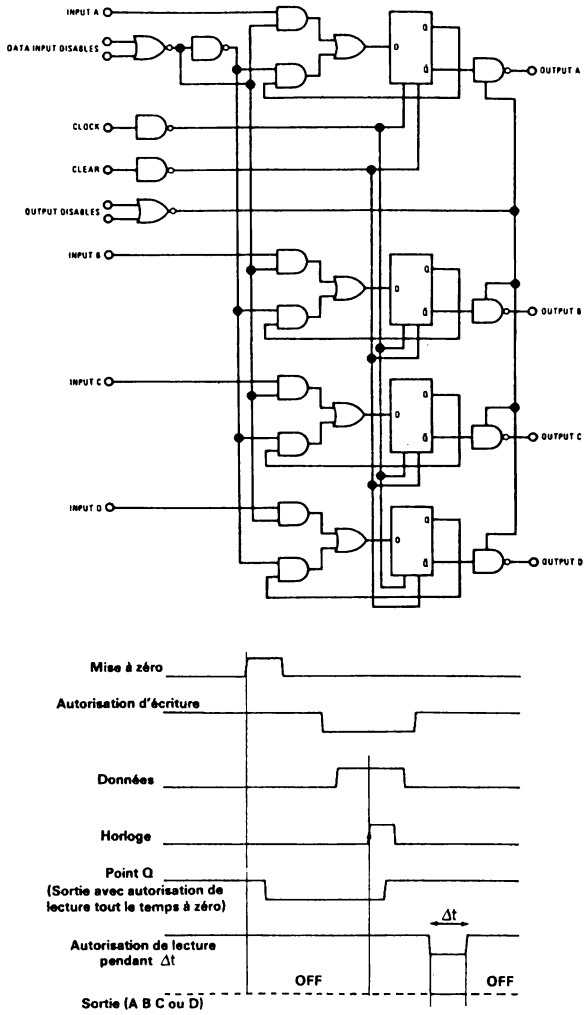


FIGURE II-29.— *Quatre bascules D 3 états (DM 7551).*
Diagramme des temps de la bascule.

On distingue les entrées-sorties suivantes :

- 4 entrées pour les 4 bits "donnée"
- 4 sorties
- 2 commandes d'autorisation d'écriture (data input disables)
- 2 commandes d'autorisation de lecture (output disables)
- 1 entrée horloge
- 1 entrée mise à ZERO générale (CLEAR)

FONCTIONNEMENT :

1 - Phase écriture

Le registre (4 bits) occupe un certain état, par exemple ZERO si on fait au préalable une remise à ZERO générale. L'entrée autorisation d'écriture est portée à 0. Dans ce temps la donnée appliquée aux 4 entrées sera introduite dans les 4 flip-flops au front montant de l'impulsion d'horloge.

2 - Phase maintien

L'autorisation d'écriture étant supprimée (commande à UN) il a été choisi de boucler la sortie et l'entrée du flip-flop D pour régénérer l'information dans celui-ci à chaque impulsion d'horloge qui se présente ce qui permet l'utilisation d'une horloge commune à tous les systèmes. On notera pour cela la présence sur chaque entrée de deux portes NAND et d'une porte OR.

3 - Phase de lecture

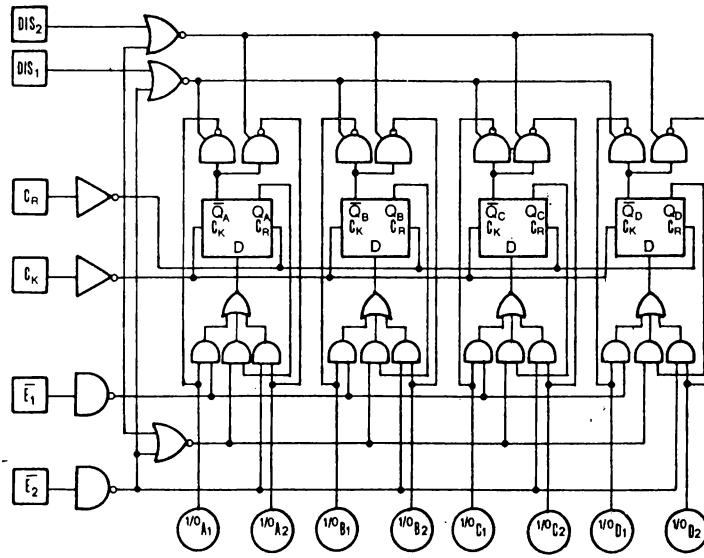
L'autorisation de lecture est donnée en appliquant ZERO à cette entrée. Chacune des 4 portes de sortie passe alors de l'état OFF, c'est-à-dire générateur très haute impédance (de courant très faible de l'ordre du µA) à l'état 0 ou 1 qu'occupe le flip-flop type D qui lui est connecté.

La connexion de plusieurs registres sur une même ligne omnibus est donc possible. A un instant quelconque un seul registre (n bits) sera à l'état ON (ZERO ou UN) alors que toutes les autres sorties occuperont le 3ème état (état OFF). Chaque sortie à l'état ON à faible impédance aux deux niveaux logiques impose en effet son potentiel sur la ligne absorbant les courants de fuite en provenance des sorties à l'état OFF.

Un diagramme des temps est vu à la figure II-30.

Un bel exemple d'un circuit intégré déjà complexe utilisant la technique 3 états est donné par le circuit DM 7542/8542 (Tri-state Quad I/O register). Ce registre de 4 bits a deux bus d'entrée sortie (bidirectionnelles). Il permet les possibilités suivantes à condition d'observer les états logiques précisés par le tableau de la figure II-30.

1/ La donnée 4 bits contenue dans ce registre peut être présentée :
   a) sur la bus 1
   b) sur la bus 2
   c) sur les 2 bus simultanément
2/ Les sorties du registre sont à l'état OFF
3/ On peut charger dans le registre la donnée 4 bits qui se présente :
   a) sur la bus 1
   b) sur la bus 2
   c) sur les 2 bus ; dans ce cas c'est en fait la somme logique des 2 bits qui est chargée.



DIS_1	DIS_2	$\overline{E}_1$	$\overline{E}_2$	Mode of Operation, Clear = 0
0	1	1	X	Output Data to Bus 1
1	0	X	1	Output Data to Bus 2
0	0	1	1	Output Data to Both Buses
1	1	X	X	Store Data Outputs in Hi-Imp. State
0	1	0	X	Enter Data from Bus 1
1	0	X	0	Enter Data from Bus 2
0	0	0	0	Enter Data from Both Buses (a"1" on either will dominate)

FIGURE II – 30. – *Registre 4 bits 3 états à accès bidirectionnel.*

III - LES COMPTEURS

III-1- INTRODUCTION

Dans les systèmes logiques de commande (control logic) et autres automatismes il est rare qu'il ne soit pas nécessaire de faire appel à un compteur. Cet organe séquentiel possède en effet une double propriété. Tout d'abord, constitué de flip-flops, c'est avant tout une mémoire ; à la suite de chaque ordre (extérieur) le nouvel état occupé reste stable (et accessible) jusqu'au prochain pas. Mais de plus en interconnectant les flip-flops à l'aide de portes logiques si nécessaire, on est capable de faire décrire au compteur une séquence déterminée c'est-à-dire de lui faire occuper une suite d'états binaires (de n bits) successivement au rythme d'une horloge (H ou CP). Cette séquence peut être arbitraire . Elle se concrétise chaque fois par une table de vérité et pour n bits il ne peut y avoir plus de 2^n combinaisons. Par contre il peut y en avoir moins dans la mesure où certaines de ces combinaisons sont volontairement exclues.

La plus grande application est celle du comptage. On regarde alors le compteur comme un accumulateur du nombre d'impulsions électriques délivrées par une horloge extérieure ou un quelconque signal de comptage. Par exemple une roue munie d'une pièce magnétique en périphérie provoque une impulsion électrique chaque fois que celle-ci passe à proximité d'une bobine.

Dans ce cas la suite des états occupés par le compteur est "normalisée". C'est généralement un code standard, les plus utilisés étant le code binaire et le code BCD (binay coded decimal).

Il apparait bien que si la capacité du compteur doit être au maximum de M il faudra le constituer d'autant de bascules qu'il y a de positions binaires (ou bits) dans le code utilisé pour représenter la valeur numérique M. De plus chaque étage de la chaîne stockera un bit de l'expression numérique M conformément à sa position dans la chaîne.

Ainsi dans le cas d'un comptage à 999 maximum un compteur BCD sera constitué de 3 fois 4 bascules et les 4 premières bascules nécessaires pour stocker l'unité 0 à 9 seront en début de chaîne. Ce sont elles qui basculeront le plus souvent, la plus rapide des 4 étant appelée la bascule LSB (least significant bit = bit de plus faible poids).

Les compteurs binaires peuvent être classés en 2 catégories :

- les compteurs asynchrones
- les compteurs synchrones

De plus on distinguera les compteurs reversibles ou compteurs-décompteurs (up-down counters).

On rappelle qu'un compteur binaire est appelé modulo N s'il peut compter jusqu'à N-1. La N^e impulsion le remet obligatoirement à ZERO. Si $N = 2^n$ les n étages constituant le compteur présenteront les 2^n états possibles. Si $N < 2^n$ un certain nombre d'états ne seront jamais utilisés en fonctionnement normal. Enfin les bascules JK seront généralement utilisées.

III-2- LES COMPTEURS ASYNCHRONES

III-2-1) PRINCIPES

Un compteur asynchrone reçoit le signal de comptage (H) seulement sur son premier étage (bascule LSB). Pour les autres bascules constituant le compteur, le signal d'horloge d'une bascule de rang i n'est autre que le signal de sortie de la bascule de rang i-1 (Q_{i-1} ou $\overline{Q_{i-1}}$ selon la polarité du signal d'horloge nécessaire).

Un compteur asynchrone fonctionnant suivant le code binaire pur se présente donc comme l'indique la figure III-1.

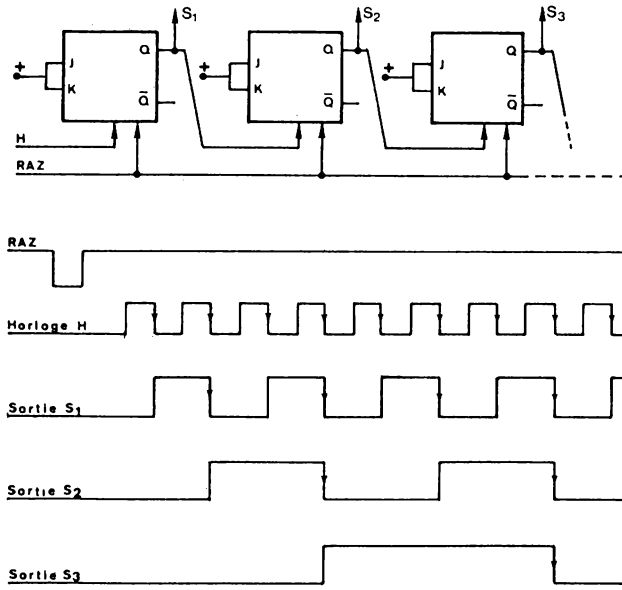


FIGURE III-1 — *Compteur asynchrone.*

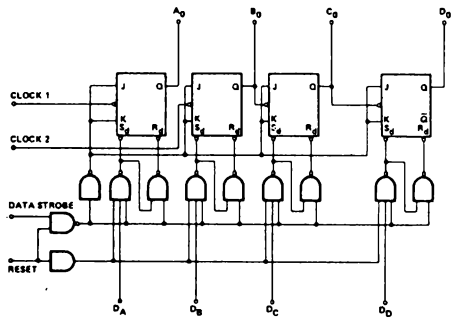
Remarquons que si l'on cherche à minimiser la consommation ainsi que les appels de courant à chaque commutation, on utilisera des circuits peu rapides, par exemple ceux de la famille TTL lowpower ou CMOS.

Ceux-ci permettront d'atteindre des fonctionnements à 2MHz (0,5 µs entre deux fronts de commande). Si les impulsions de comptage se présentent à une fréquence plus élevée il suffira d'ajouter en tête du compteur des bascules rapides. Ainsi pour un comptage 50 MHz, on pourra utiliser une bascule TTL rapide (série 54/74S par exemple) pour les deux premiers étages, fonctionnant respectivement à 50 MHz et 25 MHz, trois bascules TTL normales (série 54 par exemple) pour les étages numéros 3, 4 et 5 et des bascules TTL low power pour tous les autres étages. En effet, la sortie du 5ème étage bascule à la fréquence de :

$$\frac{50.10^6}{2^5} \neq\neq 1{,}6 \text{ MHz}.$$

La figure III-2 représente un compteur binaire asynchrone classique constitué de 4 étages (hexadécimal) utilisant des bascules JK maître-esclaves (Signetics 8291). La remise à ZERO du compteur se fait en appliquant ZERO à l'entrée RESET, ce qui a pour effet d'appliquer à toutes les bascules J = K = 0, interdisant tout basculement si une impulsion de comptage se présente et de plus S_d = 1, R_d = 0, ce qui met chaque étage à ZERO.

Le chargement de ce compteur à une valeur désirée s'effectue en présentant le mot de 4 bits en D_A D_B D_C D_D (D_A bit de plus faible poids) et en appliquant un ZERO à l'entrée DATA STROBE, l'entrée RESET étant à UN. On remarquera que lorsque DATE STROBE est à ZERO, on applique à toutes les bascules J = K = 0, ce qui interdit tout basculement même si un signal d'horloge se présente.



Binary				
Input	A_0	B_0	C_0	D_0
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	1	0	0
4	0	0	1	0
5	1	0	1	0
6	0	1	1	0
7	1	1	1	0
8	0	0	0	1
9	1	0	0	1
10	0	1	0	1
11	1	1	0	1
12	0	0	1	1
13	1	0	1	1
14	0	1	1	1
15	1	1	1	1

FIGURE III-2. — *Compteur 4 bits (8291 Signetic).*

En fonctionnement compteur les deux entrées RESET et DATA STROBE sont à UN, ce qui impose à toutes les bascules J = K = 1, et $S_d = R_d = 1$, autorisant le basculement à chaque transition négative du signal d'horloge.

Le fonctionnement compteur asynchrone 4 bits est obtenu en reliant la sortie A_0 et la borne clock 2. On peut donc réaliser avec ce circuit intégré, une division par 2, 4, 8 et 16.

III-2-2) INCONVENIENTS DES COMPTEURS ASYNCHRONES

Si on regarde l'évolution d'un compteur asynchrone au moment du front de commande de l'impulsion, on s'aperçoit que la propagation du signal d'horloge telle qu'elle est imposée dans ce type de compteur provoque des états transitoires qui sont indésirables et sont présents un certain temps non négligeable. En revenant au compteur asynchrone 4 bits de la figure III-2, on peut dresser un diagramme des temps pour chaque cas de transition. Par exemple, la figure III-3 montre les différents états par lesquels va passer le compteur pour basculer de la position 0111 à 1000. On a supposé pour cela que chaque étage a le même temps de réponse t_r. Dans le cas particulier de la figure III-3 le temps nécessaire au compteur pour se stabiliser à sa valeur finale (1000) est de 4 t_r et, ce qui est plus grave, il passe par

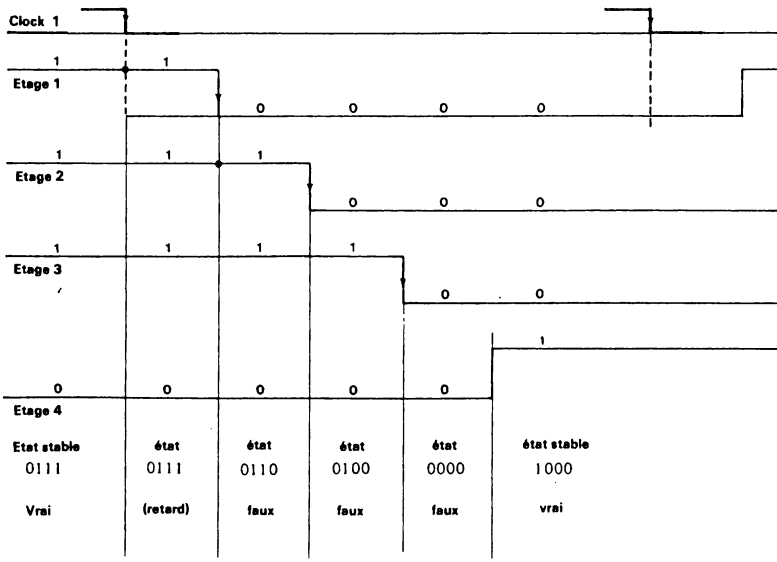


FIGURE III-3.— *Etats intermédiaires d'un compteur asynchrone (passage de 0111 à 1000).*

3 états successifs erronés qu'il garde un temps t_r (de l'ordre de 20 ns pour une bascule rapide).

Le tableau de la figure III-4 récapitule tous les états intermédiaires non désirés que peut prendre un tel compteur 4 bits.

Cette particularité devient un inconvénient rédhibitoire chaque fois que le compteur sera exploité par des organes rapides. Un premier exemple est le décodage d'adresses qui, utilisant des circuits rapides, ferait correspondre à chaque état intermédiaire des décodages (impulsions) parasites.

Par contre, si les organes commandés possèdent des constantes de temps très grandes, par exemple de l'ordre de la milliseconde, ces décodages parasites pourront ne plus être gênants (attaque de relais, de voyant lumineux...). Néanmoins on conçoit que dans de nombreux cas l'utilisation d'un compteur asynchrone devra faire l'objet d'une analyse prudente.

Impulsion d'horloge	Sortie décimale désirée	Valeur décimale de l'état intermédiaire	Sortie binaire A_0 (1)	B_0 (2)	C_0 (4)	D_0 (8)	Nombre d'états intermédiaires
1	0		0	0	0	0	0
2	1		1	0	0	0	
		0	0	0	0	0	1
3	2		0	1	0	0	
4	3		1	1	0	0	0
		2	0	1	0	0	
		0	0	0	0	0	2
5	4		0	0	1	0	
6	5		1	0	1	0	0
		4	0	0	1	0	
7	6		0	1	1	0	1
8	7		1	1	1	0	0
		6	0	1	1	0	
		4	0	0	1	0	3
		0	0	0	0	0	
9	8		0	0	0	1	
10	9		1	0	0	1	0
		8	0	0	0	1	1
11	10		0	1	0	1	
12	11		1	1	0	1	0
		10	0	1	0	1	
		8	0	0	0	1	2
13	12		0	0	1	1	
14	13		1	0	1	1	0
		12	0	0	1	1	1
15	14		0	1	1	1	
16	15		1	1	1	1	0
		14	0	1	1	1	
		12	0	0	1	1	3
		8	0	0	0	1	
17	0		0	0	0	0	

FIGURE III-4.— *Séquence d'un compteur binaire 4 bits asynchrone.*

Un exemple d'utilisation où cette particularité n'est absolument pas gênante est le cas où l'on ne s'intéresse qu'à une sortie de ce compteur, comme c'est le cas en division de fréquence.

L'étage n° i délivrera une fréquence $\frac{f}{2^i}$ et le retard sera de $i \times t_r$ par rapport au front de commande.

Dans certains cas d'utilisation, on pourra éliminer l'inconvénient dû aux états intermédiaires en chargeant une mémoire une fois que le compteur est stable, c'est-à-dire en introduisant un temps de retard pour le chargement d'au moins nt_r. C'est ce que représente la figure III-5.

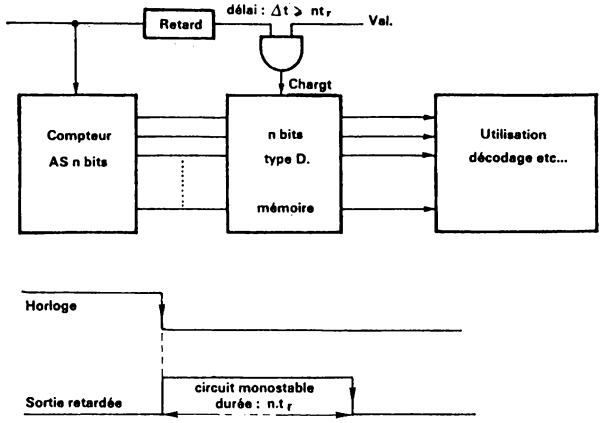


FIGURE III-5 — *Lecture d'un compteur asynchrone.*

III-2-3) EXEMPLE D'APPLICATION DE COMPTEURS ASYNCHRONES

Supposons que la fréquence d'un phénomène soit à visualiser. Pour cela, l'enregistrement (comptage) est autorisé pendant un temps Δt (figure III-6).

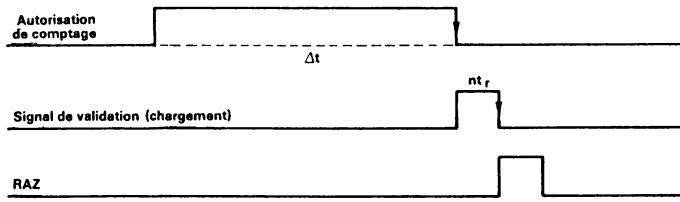


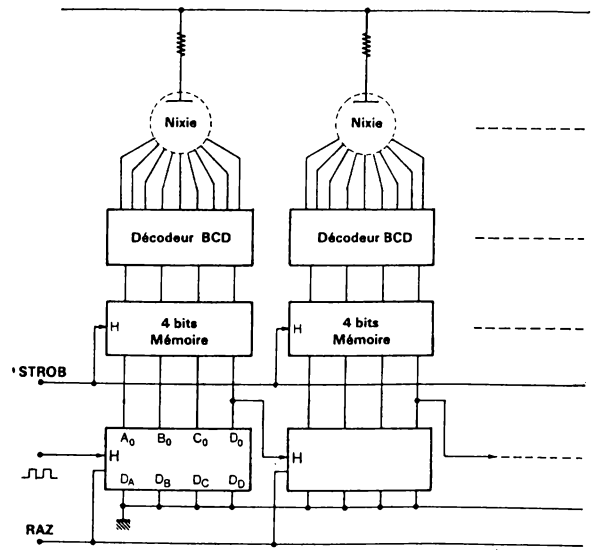
FIGURE III-6.

Si Δt = 1 sec., le nombre d'impulsions comptées est exactement la fréquence du phénomène.

Si Δt = 0,1 sec., le nombre d'impulsions comptées est à multiplier par dix pour obtenir la fréquence du phénomène (nombre de coups par sec.) etc...

Le front de descente de "autorisation de comptage" déclenche un circuit monostable dont le temps (délai) est égal à nt_r, retard maximum que peut avoir le dernier étage du compteur. Le front de descente de ce monostable déclenche la mise en mémoire du contenu du compteur et lance la remise à ZERO du compteur.

Si le temps Δt est obtenu au moyen d'une horloge pilotée par quartz ce comptage pourra être réalisé avec une très grande précision (celle du quartz) et une très grande résolution : il suffit pour cela d'utiliser un nombre suffisant d'étages flip flop. Quant à l'horloge elle sera elle aussi constituée d'un compteur binaire, modulo N, les impulsions d'horloge étant délivrées par l'oscillateur à quartz. En utilisant un autre module, le décodeur BCD/décimal qui sera étudié au chapitre VI, il ne reste plus qu'à visualiser, à l'aide des classiques tubes Nixie par exemple, le contenu du compteur (figure III-7).



- Remise à zéro de l'ensemble du compteur par chargement $D_A = D_B = D_C = D_D = 0$
- Mise en mémoire (action sur STROB)

FIGURE III-7.—*Comptage de fréquence et affichage.*

III-3- COMPTEURS SYNCHRONES

III-3-1) PRINCIPES

Dans un compteur synchrone toutes les bascules reçoivent en même temps le même signal d'horloge H. Pour que le compteur décrive la séquence désirée il faut alors calculer les fonctions de commutation J et K de chaque bascule.

Quand le compteur change d'état, la seule remarque que l'on peut faire à présent est que si les temps de retard sont rigoureusement égaux il n'y a plus d'états intermédiaires indésirables.

En fait, il y a une légère dispersion parmi ces temps de retard. Par exemple, ces temps seront compris entre 15 et 20 ns. Les circuits de décodage pourront donc dans certaines configurations laisser passer des impulsions très brèves (de l'ordre de 5 ns) correspondant aux passages par les états intermédiaires. Malgré tout, ces impulsions très brèves seront assez aisées à combattre.

De toute façon, un compteur présente un état qui doit toujours être exploité soit par un décodage soit par un organe de calcul. On verra que dans certaines utilisations, il faut utiliser des compteurs spéciaux, comme le compteur Gray, pour que le problème des états intermédiaires soit complètement résolu.

D'une manière générale la bascule fondamentale est la bascule JK (maître-esclave ou non).

Considérons la chaîne de n bascules 1 à n représentée à la figure III-8.

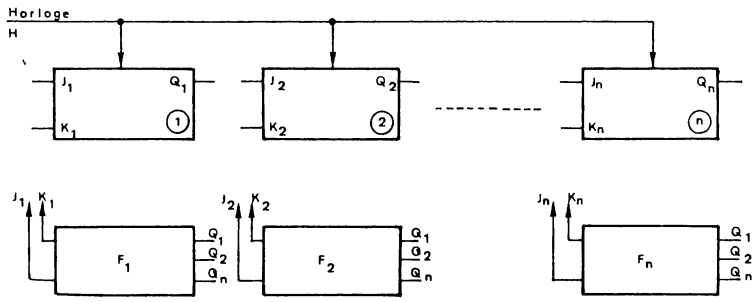


FIGURE III-8.— *Compteur synchrone n bits.*

Sa capacité maximum de comptage est de $2^n - 1$ pour un fonctionnement en code binaire pur. Le signal d'horloge est distribué à chacun des étages constituant la chaîne et les fonctions de commutations J_i et K_i pour la bascule de rang i sont élaborées par les circuits combinatoires F_i en fonction de tous les paramètres Q_i (état du compteur).

REMARQUE

Compteur décompteur (up down counters)

Si on observe une table de progression binaire, comme celle ci-contre pour 3 bits, on constate que les sorties complémentées $\overline{A}$ $\overline{B}$ $\overline{C}$ subissent une progression en sens inverse (down) de celle fournie par les sorties normales A B C (comptage up).

Par conséquent, pour faire un décomptage à l'aide d'un compteur, il suffit de faire jouer aux sorties $\overline{Q}$, le rôle que l'on faisait jouer aux sorties Q pour compter.

C	B	A	$\overline{C}$	$\overline{B}$	$\overline{A}$	
0	0	0	1	1	1	
0	0	1	1	1	0	
0	1	0	1	0	1	←
0	1	1	1	0	0	
1	0	0	0	1	1	
1	0	1	0	1	0	
1	1	0	0	0	1	
1	1	1	0	0	0	

En d'autres termes, si à un instant donné on permute Q_i avec sa valeur complémentée ($\overline{Q}_i$) à l'entrée des circuits F_i la progression du compteur va se faire en sens inverse dès la prochaine impulsion.

Supposons par exemple que le compteur, en position up, vient d'atteindre l'état 010, soit C = 0 B = 1 A = 0. On décide de le faire passer en mode down (décompteur). Pour cela avant l'application du front d'horloge suivant on permute chaque Q_i avec $\overline{Q}_i$ c'est-à-dire que A, B et C sont remplacées par $\overline{A}$ $\overline{B}$ et $\overline{C}$ aux entrées des circuits F_i. Ainsi tout va maintenant se passer comme si le compteur était dans l'état 101 (et non 010).

Dans ces conditions l'état suivant (+1) devrait être 110 (les circuits F_i n'ont pas été modifiés) c'est-à-dire que les fonctions de commutations J_i et K_i calculées par F_i sont telles que l'étage C ne doit pas changer (il doit rester à 1) l'étage B doit basculer et enfin l'étage A doit basculer également. Comme l'état réel est en fait 010 il vient au coup suivant :

C ne change pas : il reste à 0
B change : il passe à 0
A change : il passe à 1.

soit l'état 001 ce qui correspond bien à un décomptage d'une unité.

III-3-2) CALCUL D'UN COMPTEUR SYNCHONE

Prenons l'exemple d'un compteur synchrone de 4 bits (capacité maximum $2^4 - 1 = 15$) fonctionnant suivant le code binaire pur. Dans ce cas pré-

cis le compteur est dit hexadécimal. Aux 16 états distincts qu'il peut présenter correspondent des valeurs pour les fonctions de commutation J_i et K_i de façon que chaque séquence puisse se dérouler comme prévu (basculement ou non pour chaque étage). Or la particularité essentielle de la bascule JK est :

si J = K = 0 il n'y aura pas basculement

si J = K = 1 il y aura basculement

et la table de vérité du JK flip-flop indique également que si J = 0 K = 1 la bascule sera mise à ZERO, et à UN si J = 1 K = 0.

Ceci étant, on peut dresser le tableau de la figure III-9 où sont préciser les valeurs de J et K pour chaque état de compteur.

Noter que quand l'état de J_i et K_i n'est pas indiqué c'est qu'il est indifférent qu'il soit ZERO ou UN.

	bascules				fonction J_i K_i							
n° puissances	4 2^3	3 2^2	2 2^1	1 2^0	J_1	K_1	J_2	K_2	J_3	K_3	J_4	K_4
H												
0	0	0	0	0	1		0		0		0	
1	0	0	0	1		1	1		0		0	
2	0	0	1	0	1			0	0		0	
3	0	0	1	1		1		1	1		0	
4	0	1	0	0	1		0			0	0	
5	0	1	0	1		1	1			0	0	
6	0	1	1	0	1			0		0	0	
7	0	1	1	1		1		1		1	1	
8	1	0	0	0	1		0		0			0
9	1	0	0	1		1	1		0			0
10	1	0	1	0	1			0	0			0
11	1	0	1	1		1		1	1			0
12	1	1	0	0	1		0			0		0
13	1	1	0	1		1	1			0		0
14	1	1	1	0	1			0		0		0
15	1	1	1	1		1		1		1		1

FIGURE III-9.

Si on développe cette analyse on constate que les fonctions de commutation J_i et K_i peuvent s'écrire suivant deux formes légèrement différentes: ① et ②.

① $\begin{cases} J_1 = K_1 = 1 \\ J_2 = K_2 = Q_1 \\ J_3 = K_3 = Q_1 \cdot Q_2 \\ J_4 = K_4 = Q_1 \cdot Q_2 \cdot Q_3 \end{cases}$ ② $\begin{cases} J_1 = K_1 = 1 \\ J_2 = K_2 = Q_1 \\ J_3 = K_3 = J_2 \cdot Q_2 \\ J_4 = K_4 = J_3 \cdot Q_3 \end{cases}$

L'expression de ces fonctions J_i et K_i en fonction des paramètres Q_i étant obtenue il ne reste plus qu'à créer les circuits combinatoires cor-

respondants qui vont délivrer J_i et K_i. Et les deux écritures ① et ② amènent naturellement à deux configurations différentes.

L'écriture ① donne le circuit représenté à la figure III-10 : le compteur synchrone est dit à report parallèle.

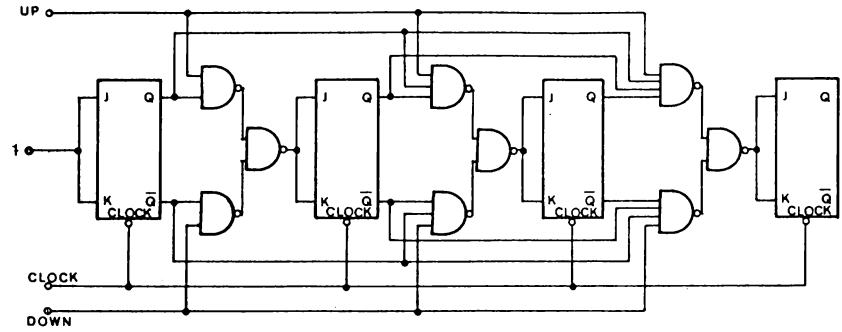


FIGURE III-10.— *Compteur synchrone 4 bits à report parallèle.*

L'écriture ② donne le circuit représenté à la figure III-11 : le compteur synchrone est dit à report série.

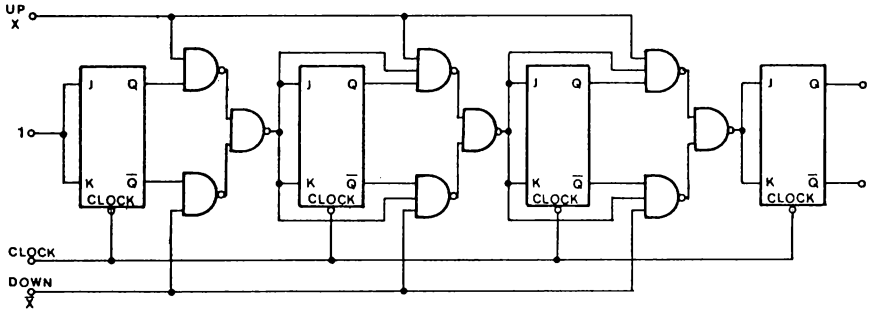


FIGURE III-11 — *Compteur synchrone 4 bits à report série.*

De plus pour que ce circuit soit un compteur-décompteur chaque circuit combinatoire, ici une simple porte ET à plusieurs entrées, se voit attribué une fonction supplémentaire : sélectionner Q_i ou $\overline{Q}_i$ selon que l'ordre donné au circuit est de compter (up) ou de décompter (down). Ceci est précisé par l'état appliqué aux entrées up et down (X = 1 = comptage X = 0 = décomptage).

Ces deux organisations ① et ② appellent une remarque importante.

Dans le report série pour réaliser les fonctions J_i (et K_i puisque $J_i = K_i$) on se sert de la fonction J_{i-1}. On évite ainsi des portes à multiples entrées, une porte à deux entrées étant seulement nécessaire quelque soit le nombre d'étages. Par contre, la vitesse de fonctionnement maximum permise ne sera pas aussi élevée que celle dans le cas du report parallèle puisque les temps d'établissement des fonctions J_i et K_i sont la somme de plusieurs temps de retard (n-1 temps de retard pour la bascule de rang n).

Inversement dans le type report parallèle, pour un compteur n bits il est nécessaire de réaliser une condition ET à n-1 entrées (plus une pour up/down) ce qui est délicat si n est grand. Mais la vitesse de fonctionnement sera supérieure.

III-3-3) LE COMPTEUR GRAY

Pour la plupart des codes binaires les digits qui changent lors de certaines variations peuvent être très nombreux. Ainsi pour passer de l'état 01111 (code binaire pur) à l'état 10000 tous les digits changent.

Si un compteur, synchrone ou asynchrone, compte en binaire pur cela signifie que dans certains cas tout ou partie de ses étages peuvent basculer. De plus dans le compteur asynchrone, plusieurs états intermédiaires non désirés peuvent être maintenus pendant quelques dizaines de nanosecondes.

Toutefois, même dans un compteur synchrone, on ne pourra jamais être sûr que tous les étages basculent en même temps. Et même si cela était le cas, pendant la transition, si une lecture asynchrone est désirée, on ne peut savoir ce qui va être lu réellement.

Le compteur GRAY résoud le problème puisque un seul bit change à chaque transition et si la lecture est faite pendant la transition ou bien on lit l'ancienne valeur et on fait une erreur du dernier bit ou bien on lit la nouvelle valeur et on ne fait pas d'erreur. Donc, erreur maximum : dernier bit.

C'est de toute façon la limitation du système compteur en fonctionnement normal.

APPLICATIONS

Tout comptage de phénomène aléatoire ou autrement dit tout système de comptage pouvant être lu à n'importe quel instant (interrogation asynchrone). Exemple : utilisation des codeurs à disque.

Exemple de calcul d'un compteur Gray 4 bits :

Appelons A B C D les 4 étages, A étant la bascule de plus faible poids (bascule d'entrée). Pour les nombres de 0 à 15, le code Gray donne le tableau de la figure III-12 (A est bit LSB).

H	LSB A	B	C	MSB D	J_A	K_A	J_B	K_B	J_C	K_C	J_D	K_D
0	0	0	0	0	1		0		0		0	
1	1	0	0	0		0	1		0		0	
2	1	1	0	0		1		0	0		0	
3	0	1	0	0	0			0	1		0	
4	0	1	1	0	1			0		0	0	
5	1	1	1	0		0		1		0	0	
6	1	0	1	0		1	0			0	0	
7	0	0	1	0	0		0			0	1	
8	0	0	1	1	1		0			0		0
9	1	0	1	1		0	1			0		0
10	1	1	1	1		1		0		0		0
11	0	1	1	1	0			0		1		0
12	0	1	0	1	1			0	0			0
13	1	1	0	1		0		1	0			0
14	1	0	0	1		1	0		0			0
15	0	0	0	1	0		0		0			(1) ou (0)→reste à 0001
16	0	0	0	0								retour à 0000

t_n		t_{n+1}
J	K	Q_{n+1}
0	0	Q_n
1	0	1
0	1	0
1	1	$\overline{Q_n}$

Les emplacements vides signifient que la valeur de la fonction peut être indifféremment 1 ou 0.

FIGURE III-12.
Table de vérité d'un compteur GRAY 4 bits.

On peut à partir de ce tableau bâtir les fonctions de commutation J et K de chaque étage. On aligne pour cela les différentes valeurs que doivent prendre J_i et K_i pour chaque état de la bascule correspondante (n°i) afin qu'elle passe à l'état suivant à la prochaine impulsion (colonnes de la figure III-12). Ainsi pour passer de 0000 à 0001, J_A doit être égal à 1 pour que la bascule A passe de 0 à 1 (elle change si J = K = 1, $Q_{n+1} = \overline{Q}_n$, où elle passe à 1 si J = 1 K = 0, et l'état de K est donc indifférent).
Les fonctions sont donc les suivantes :

$J_D = K_D = \overline{A}\ \overline{B}\ C\ \overline{D}$ si le compteur doit rester à la valeur maximum 1000 quand celle-ci est atteinte.

ou $J_D = K_D = \overline{A}\ \overline{B}\ C\ \overline{D} + \overline{A}\ \overline{B}\ \overline{C}\ D = \overline{A}\ \overline{B}\ [C \oplus D]$ si l'état 1000 doit être suivi d'une remise à ZERO.

$$J_C = K_C = \overline{A}\ B\ \overline{C}\ \overline{D} + \overline{A}\ B\ C\ D$$
$$= \overline{A}\ B\ [\overline{C}\ \overline{D} + C\ D] = \overline{A}\ .\ B.\overline{[C \oplus D]}$$
$$= \overline{A + \overline{B} + [C \oplus D]}$$

ou si on préfère :

$$J_C = \overline{A}\ B\ \overline{C}\ \overline{D}$$
$$K_C = \overline{A}\ B\ C\ D$$

$$J_B = K_B = A\ \overline{B}\ \overline{C}\ \overline{D} + A\ B\ C\ \overline{D} + A\ \overline{B}\ C\ D + A\ B\ \overline{C}\ D$$
$$= A\ \overline{B}\ [\overline{C}\ \overline{D} + C\ D] + A\ B\ [C\ \overline{D} + \overline{C}\ D]$$
$$= A\ \left[\overline{B}.\ \overline{[C \oplus D]} + B\ [C \oplus D]\right]$$
$$= A\ [\overline{B}.\overline{X} + B.X] \text{ avec } X = C \oplus D$$
$$= A.\overline{B \oplus C \oplus D} = \overline{\overline{A} + [B \oplus C \oplus D]}$$
puisque $X.Y = \overline{\overline{X} + \overline{Y}}$

ou bien :

$$J_B = A\ \overline{B}\ \overline{C}\ \overline{D} + A\ \overline{B}\ C\ D$$
$$= A\ \overline{B}\ (C\ D + \overline{C}\ \overline{D}) = A\ \overline{B}\ \overline{[C \oplus D]}$$

et :

$$K_B = A\ B\ C\ \overline{D} + A\ B\ \overline{C}\ D$$
$$= A\ B\ (C\ \overline{D} + \overline{C}\ D) = A\ B\ [C \oplus D]$$

Calcul de J_A et K_A

1) $J_A = K_A$

$$J_A = K_A = \overline{C}\ \overline{D}\ [\overline{A}\ \overline{B} + A\ B] + \overline{C}\ D\ [\overline{A}\ B + A\ \overline{B}] + C\ D\ [\overline{A}\ \overline{B} + A\ B]$$
$$+ C\ \overline{D}\ [\overline{A}\ B + A\ \overline{B}]$$
$$= [\overline{C}\ \overline{D} + C\ D]\ [\overline{A}\ \overline{B} + A\ B] + [\overline{A}\ B + A\ \overline{B}]\ [\overline{C}\ D + C\ \overline{D}]$$
$$= \overline{[C \oplus D]}\ \overline{[A \oplus B]} + [A \oplus B]\ [C \oplus D]$$
$$= \overline{X}.\overline{Y} + X.Y = \overline{X \oplus Y}$$
$$= \overline{A \oplus B \oplus C \oplus D}$$

2) $J_A \neq K_A$

On cherche à minimiser chaque fonction à l'aide du tableau de Karnaugh.

J_A

CD \ AB	00	01	11	10
00	[1]	0	X	X [1]
01	0	[1]	[1X]	X
11	[1]	0	X	X [1]
10	0	[1]	[1X]	X

X = indifférent

$$D'où\ J_A = \overline{B}\,\overline{C}\,\overline{D} + B\,\overline{C}\,D + \overline{B}\,C\,D + B\,C\,\overline{D}$$
$$= \overline{B}\,[\overline{C}\,\overline{D} + C\,D] + B\,[C\,\overline{D} + \overline{C}\,D]$$
$$= \overline{B}\,\overline{X} + B\,X \quad avec \quad X = C \oplus D$$
$$= \overline{B \oplus X} = \overline{B \oplus C \oplus D}$$

On peut arranger les valeurs pour faire $J_i = \overline{K}_i$ puisque quand J est imposé K est indifférent et inversement. Dans ces conditions une porte OU exclusif à 3 entrées sera nécessaire pour $J_i = \overline{B \oplus C \oplus D}$ et un inverse pour obtenir $K_i = \overline{J_i}$. Ceci est à comparer avec la première solution qui donne $J_i = K_i = \overline{A \oplus B \oplus C \oplus D}$ nécessitant une porte OU exclusif à 4 entrées. Une réalisation possible est donc celle représentée à la figure III-13.

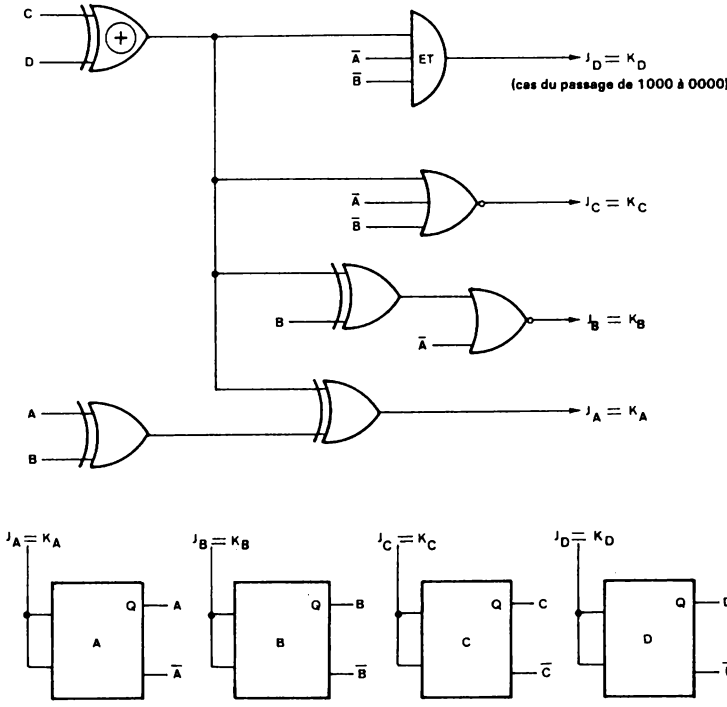


FIGURE III-13.— *Compteur GRAY 4 bits.*

REMARQUE :

Un compteur GRAY peut être rendu plus facile à réaliser en utilisant une bascule supplémentaire devant la bascule d'entrée (A). Soit P cette bascule (fig. III-14) qui est montée en basculeur (J = K = 1) et reçoit le signal

de comptage H.

La table de vérité est alors la suivante :

H	P	A	B	C	D	Changements d'états A	B	C	D
0	0	0	0	0	0	-			
1	1	1	0	0	0		-		
2	0	1	1	0	0	-			
3	1	0	1	0	0			-	
4	0	0	1	1	0	-			
5	1	1	1	1	0		-		
6	0	1	0	1	0	-			
7	1	0	0	1	0				-
8	0	0	0	1	1	-			
9	1	1	0	1	1		-		
10	0	1	1	1	1	-			
11	1	0	1	1	1			-	
12	0	0	1	0	1	-			
13	1	1	1	0	1		-		
14	0	1	0	0	1	-			
15	1	0	0	0	1				-
16	0	0	0	0	0				

On constate que :

- La bascule A change d'état chaque fois que P passe de 0 à 1, donc :

$$H_A \text{ (horloge de A)} = \overline{Q}_P, \text{ avec } J_A = K_A = 1.$$

On suppose que l'on utilise des bascules JK maître-esclave basculant sur le front de descente.

- La bascule B change d'état chaque fois que P passe de 1 à 0, à condition que A = 1, donc :

$$H_B \text{ (horloge de B)} = Q_P \text{ et } J_B = K_B = A.$$

- La bascule C change d'état chaque fois que P passe de 1 à 0, à condition que A = B et B = 1, d'où :

$$H_C = Q_P \text{ et } J_C = K_C = \overline{A}.B.$$

- La bascule D change d'état chaque fois que P passe de 1 à 0 (la 16e impulsion le remet à ZERO) et si A = B = 0. Alors :

$$H_D = Q_P \text{ et } J_D = K_D = \overline{A}.\overline{B}.$$

D'où le montage de la figure III-14.

Compteur GRAY réversible

On constate qu'une table donnant les valeurs en code Gray a un axe privilégié : l'axe horizontal qui passe au milieu du tableau. Les n-1 premières colonnes ABC... sont symétriques par rapport à cet axe et la dernière colonne (D pour un 4 bits) a des valeurs opposées de part et d'autre de cet axe.

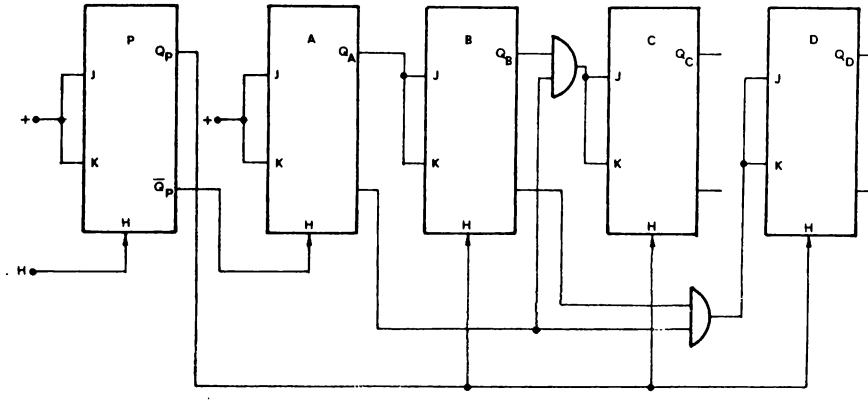


FIGURE III-14.— *Compteur GRAY 4 bits.*

Pour réaliser un compteur Gray up-down, il suffit donc de remplacer la sortie de la bascule correspondant à cette colonne (D dans le cas de 4 bits) par sa sortie complémentée. La lecture continue toutefois à se faire sur les sorties normales.

Ainsi, supposons que le compteur occupe l'état 1110. Si on veut passer en décompteur, on change D en $\overline{D}$ et tout se passe pour le compteur comme si on était dans la position 1111. A la prochaine impulsion, on devrait obtenir 0111 c'est-à-dire que les fonctions de commutation sont telles que seul le bit A change d'état. Donc de 1110 on passe à l'état 0110 ce qui correspond bien à un recul de UN.

H	A	B	C	D	
0	0	0	0	0	
1	1	0	0	0	
2	1	1	0	0	
3	0	1	0	0	
4	0	1	1	0	
5	1	1	1	0	←
6	1	0	1	0	
7	0	0	1	0	
8	0	0	1	1	
9	1	0	1	1	
10	1	1	1	1	←
11	0	1	1	1	
12	0	1	1	1	
13	1	1	0	1	
14	1	0	0	1	
15	0	0	0	1	

III-3-4) COMPTEURS MSI

Puisqu'un compteur est d'emploi très général et que de plus il présente un assez grand nombre d'interconnexions il est intéressant de pouvoir le proposer en circuit intégré et conçu de façon à permettre la réalisation aisée de longues chaînes.

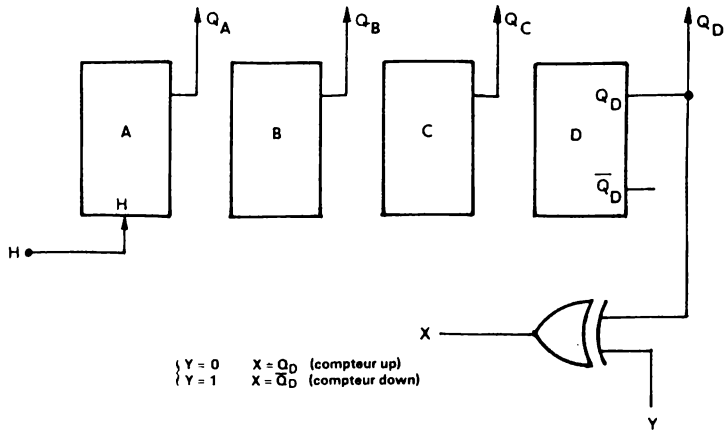


FIGURE III-15.— *Compteur-décompteur GRAY.*

Etudions plus précisément la structure et le fonctionnement d'un circuit MSI relativement élaboré : le compteur réversible (up-down) 4 bits série 54/74 190, fonctionnant dans le mode synchrone. On distingue dans cette série :

le type 54/74 190 ou compteur BCD
le type 54/74 191 ou compteur hexadécimal
le type 54/74 192 ou compteur BCD
le type 54/74 193 ou compteur hexadécimal

Les deux derniers types se distinguent des deux premiers, par le fait qu'ils présentent deux entrées "horloge" au lieu d'une : une, pour les impulsions de comptage (up) et l'autre pour les impulsions de décomptage (down).

Le schéma logique de ces compteurs est respectivement donné par les figures III-16, III-17, III-18 et III-19 (circuits intégrés monolithiques).

On distingue premièrement, la possibilité de chargement en parallèle. La donnée (DATA) sur 4 bits A, B, C et D est appliquée aux entrées correspondantes : input A, input B etc...
Quand l'entrée LOAD, est mise à ZERO, on constate que l'inversion qui suit, transmet un 1 logique et permet donc que soit présenté sur chaque étage la donnée D et son inverse $\overline{D}$ respectivement sur les entrées CLEAR (remise à ZERO) et PRESET (remise à 1). Dans ces conditions, chaque bascule fonctionne dans le mode RS, conformément au tableau suivant (la condition PRESET = CLEAR = 0 étant rendue impossible).

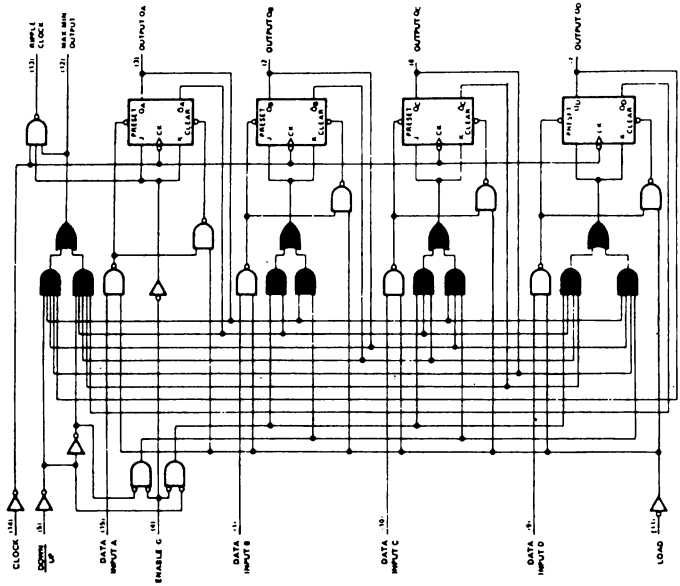


FIGURE III-16.—*SN 74190-Décade de comptage synchrone réversible.*

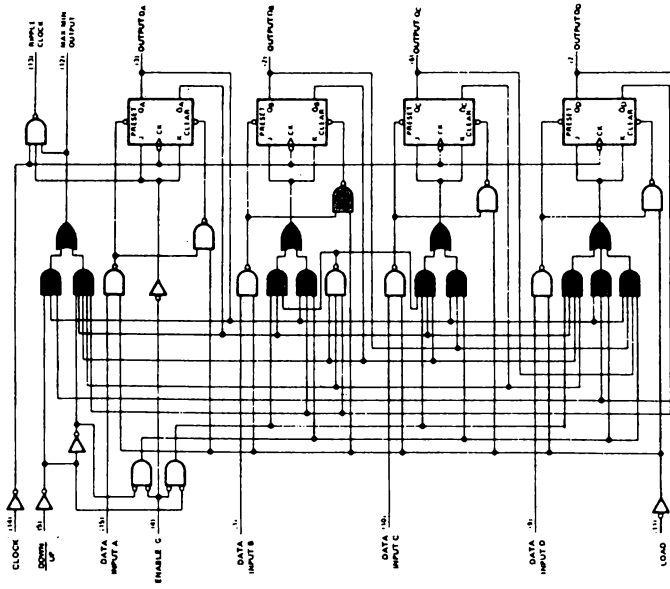


FIGURE III-17.—*SN 74191-Compteur 4 bits synchrone réversible.*

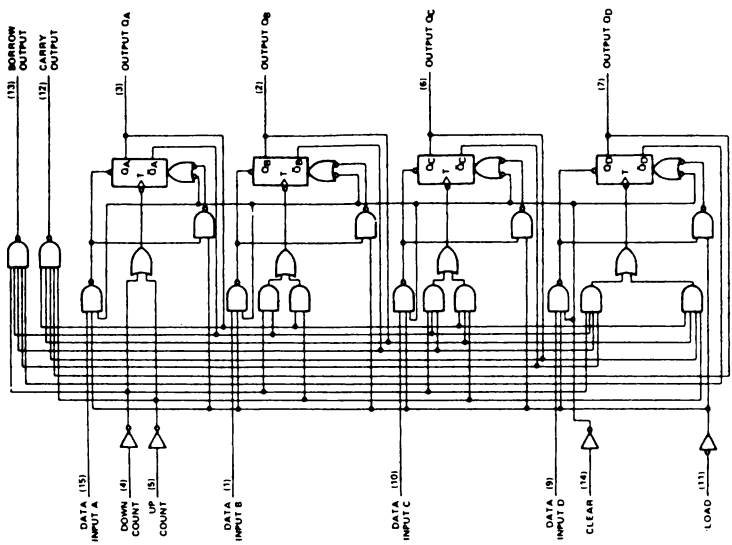


FIGURE III-19. — *SN 74193-Compteur 4 bits synchrone réversible.*

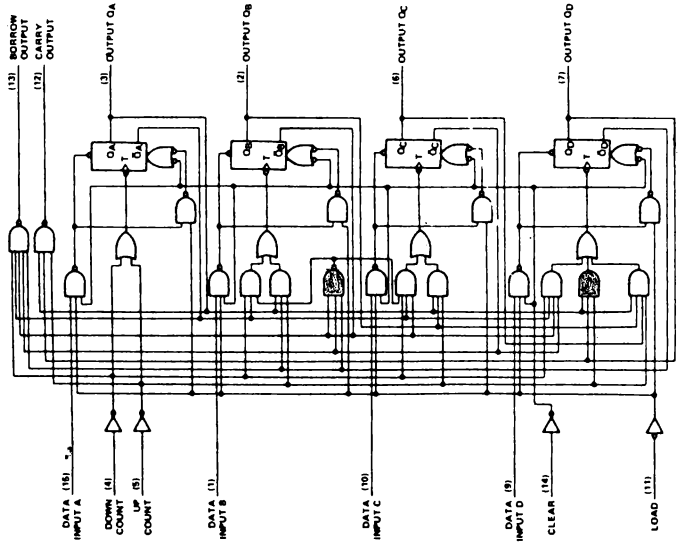


FIGURE III-18. — *SN 74192-Décade de comptage synchrone réversible.*

LOAD	DATA	Niveaux internes CLEAR	PRESET	Etat consécutif pour la bascule
0	0	0	1	Q = 0 (mise à ZERO)
0	1	1	0	Q = 1 (mise à UN)
1	X	1	1	état identique à celui occupé à l'instant où LOAD est passée de 0 à 1.

REMARQUE :

Pour les types 54/74 192 et 54/74 193 une entrée supplémentaire est disponible : CLEAR ou remise générale à ZERO.

Quand LOAD = 0, les entrées CLEAR et PRESET imposent à chaque bascule l'état Q = D et l'horloge est inopérante. Dès que le niveau appliqué à LOAD passe à UN, l'état de chaque bascule devient indépendant des entrées "donnée" (car CLEAR = PRESET = 1). L'opération chargement est terminée.

- Analyse du fonctionnement de la série 54/74 190-191

L'entrée "count", ou Horloge, étant suivie d'un iverseur, c'est le passage de ZERO à UN, qui provoque le basculement de chaque étage à condition que $J_i = K_i = 1$.

On constate que le premier étage a pour fonction de commutation : $J_1 = K_1 = \overline{ENABLE}$. Donc si ENABLE = 0, le basculement de ce premier étage a lieu à chaque front positif de l'horloge. Par contre il ne peut avoir lieu tant que l'entrée ENABLE = 1 (alors $J_1 = K_1 = 0$).

De même la mise à UN de l'entrée ENABLE doit imposer J = K = 0 pour les autres bascules pour que celles-ci ne prennent pas en compte les impulsions d'horloge. Dans ces conditions l'entrée ENABLE contrôle bien le fonctionnement du compteur (voir figure III-21).

Quant à la réalisation des fonctions de commutation J_i et K_i de chaque étage, suivant que le compteur doit être décimal ou hexadécimal (4 bits dans les deux cas), on doit observer le déroulement séquentiel illustré par la table de vérité comme cela a été vu aux paragraphes précédents.

Ces compteurs étant réversibles, pour passer d'un fonctionnement compteur (up) en un fonctionnement décompteur (down), il faut pouvoir permutter chaque Q_i avec $\overline{Q}_i$. L'étage suivant, composé de deux portes ET et d'une porte OU, permet de transmettre l'entrée E_1 OU l'entrée E_2, selon l'état de T.

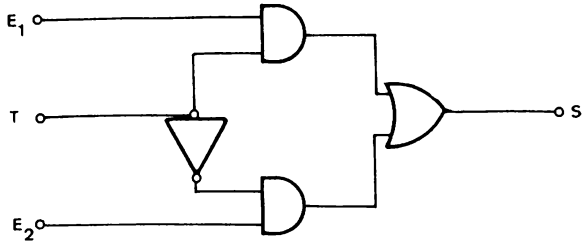


FIGURE III-20.

En effet si T = 1 $S = E_1 + 0 = E_1$

et si T = 0 $S = E_2 + 0 = E_2$

Si l'entrée Down/up est l'entrée T, pour qu'à un niveau logique 0 corresponde le mode compteur (up), il faut que les sorties Q_i soient transmises par E_2 et les sorties $\overline{Q_i}$ par E_1. Finalement pour que la condition ENABLE = 1 puisse interdire le comptage (ou le décomptage) l'aiguillage des fonctions Q_i et $\overline{Q_i}$ se fait à l'aide du circuit de la figure III-21.

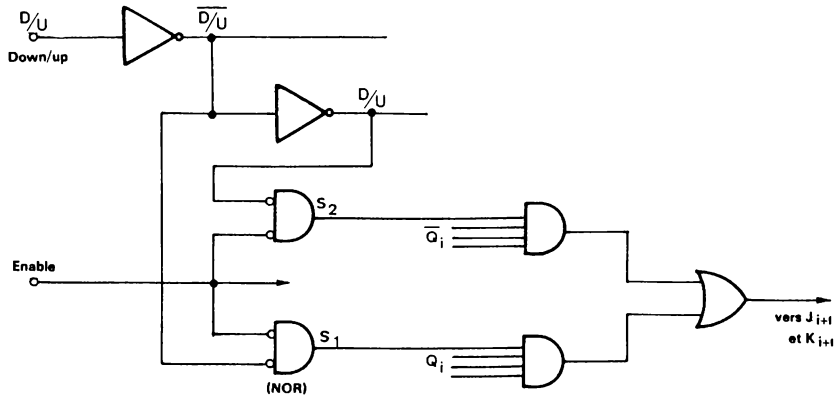


FIGURE III-21.

$S_1 = 1$ si Enable = 0 et si D/U = 0

$S_2 = 1$ si Enable = 0 et si $\overline{D/U} = 0$ (c'est-à-dire si D/U = 1)

Donc $S_1 = \overline{S_2}$ si Enable = 0 et $S_1 = S_2 = 0$ si Enable = 1 ce qui dans ce dernier cas se traduit par : tous $J_i = K_i = 0$ d'où l'arrêt du compteur.

Restent enfin deux fonctions particulières, délivrées respectivement par la sortie "Ripple count enable" (RCE) et la sortie "Max + min output" (M + m) pour les types 54/74 190 et 54/74 191.

a) La sortie M + m doit être à 1 seulement si le contenu du compteur est maximum et si on est en mode compteur (up) soit donc l'état 1111 pour l'hexadécimal et 1001 pour le décimal,

ou si le contenu est minimum (0000) quand le mode de fonctionnement est en décompteur (down).

L'équation logique de cette sortie s'écrit donc :

$$(M + m) = C_M.\overline{D/U} + C_m.D/U$$

avec C_M = 1 seulement si le contenu est maximum et C_m = 1 seulement si le contenu est ZERO.

b) La sortie RCE ne peut passer à ZERO avec le signal d'horloge que si : Enable = ZERO
et si M + m = 1 (maximum ou minimum atteint).

L'équation logique de cette sortie s'écrit donc :

$$RCE = E_n + H + \overline{(M + m)}$$

Le diagramme des temps de la figure III-22 précise la forme de chacun de ces signaux délivrés par les sorties (M + m) et RCE.

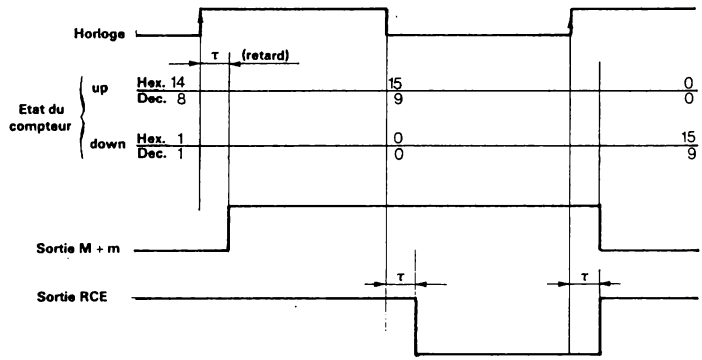


FIGURE III-22.— *Signaux M + m et RCE SN 54/74 190 et SN 54/74 191.*

En résumé

Si Enable = 1 l'état du compteur reste figé.

Si Enable = 0 le fonctionnement en compteur ou décompteur est possible (à condition que LOAD = 1).

Si LOAD = 0, l'état du compteur est positionné conformément à l'état des 4 entrées parallèles.

Enfin, si ENABLE = 0 et LOAD = 1

- si Down/up = 0, on obtient le fonctionnement en compteur (up),
- si Down/up = 1, on obtient le fonctionnement en décompteur (down).

- Cas des types SN 54/74 192 et SN 54/74 193

Le chargement en parallèle s'effectue de la même manière. Dès que LOAD = 1, le comptage ou le décomptage peut avoir lieu selon qu'une impulsion est envoyée sur l'entrée "up count" ou sur l'entrée "down count". L'entrée de contrôle "down/up" n'a donc plus de raison d'être.

Enfin au lieu et place des sorties M + m et RCE, on dispose des sorties "carry output" et borrow output".

Ces sorties sont destinées à la mise en cascade de plusieurs compteurs 4 bits. En conséquence, elles doivent délivrer l'impulsion "horloge" appliquée à l'entrée, si le contenu du compteur est maximum (sortie carry output) ou minimum, soit ZERO (sortie borrow output).

Ces signaux, sont donc délivrés par une porte NON ET qui décode l'état 15 (hexadécimal) ou 9 (décimal) pour la sortie carry output et ZERO pour la sortie borrow output, ces deux portes laissant alors passer respectivement la prochaine impulsion d'horloge appliquée à l'entrée up et l'impulsion appliquée à l'entrée down.

III-3-5) APPLICATION DES COMPTEURS MSI

REALISATION DE CHAINE DE COMTAGE (4. X BITS).

Pour réaliser des compteurs de grande capacité on connecte de tels compteurs 4 bits en cascade, ce qui est rendu très aisé par la présence des deux fonctions RCE et M + m (54/74 190 et 54/74 191).

Cette connexion peut être réalisée de 3 manières différentes.

1) Chaîne connectée en mode asynchrone (fig. III-23 b).

Le premier étage de la chaîne, celui qui stocke les derniers bits, (ou bits LSB), reçoit sur son entrée "horloge" (CP) les impulsions à compter. Les autres étages eux reçoivent sur l'entrée CP, le signal de sortie RCE de l'étage précédent. Ils sont tous en position de "fonctionnement autorisé", avec l'entrée EN à ZERO alors que le premier étage reçoit un ordre

extérieur pour valider ou non le comptage. Enfin tous les étages reçoivent le signal up/down.

Comme le signal RCE de l'étage n° i, sert d'horloge pour l'étage n° i + 1, on constate que, conformément au diagramme des temps de la fig. III-22, au moment ou le contenu de l'étage n° i passe du maximum à zéro, ou de zéro à son maximum pour le fonctionnement down, le front montant de RCE a pour objet de faire + 1, ou - 1, dans l'étage n° i + 1 selon la condition up ou down. Cet incrément se fait toutefois avec un temps de retard dû à deux portes par rapport au signal d'horloge commandant cet étage n° i. Il y a donc un temps de propagation du signal "Horloge" le long de cette chaîne, proportionnel au nombre d'étages et qui limitera donc la vitesse de fonctionnement.

On notera trois conditions nécessaires pour un bon fonctionnement.

a) l'état de l'entrée "down/up" ne doit pas être modifié quand le signal d'horloge est à ZERO, car sinon la sortie RCE qui est conditionnée par l'état de down/up à travers la sortie M + m, pourrait délivrer une impulsion parasite,

b) cet état de down/up, ne doit pas être non plus modifié avant que le signal d'horloge ne se soit propagé, jusqu'au dernier étage de la chaîne sinon les derniers étages pourraient compter au lieu de décompter d'une impulsion (ou inversement),

c) la durée du signal d'horloge sera conditionnée par le temps de réponse des sorties RCE et M + m.

2) Chaîne connectée en mode synchrone (propagation en cascade) (fig. III-23 c).

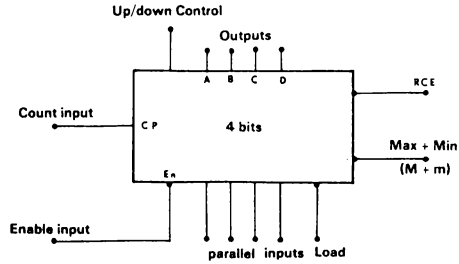
Tous les étages reçoivent simultanément l'impulsion de comptage (en CP).

Le premier étage reçoit un niveau logique 0 sur l'entrée ENABLE. Il est donc en fonctionnement "compteur-décompteur".

La sortie RCE est encore utilisée pour rendre compte du passage au contenu maximum dans le mode up ou du passage au contenu ZERO dans le mode down. Or tous les étages, autres que le premier, reçoivent le signal RCE de l'étage précédent comme signal d'autorisation (sur l'entrée ENABLE).

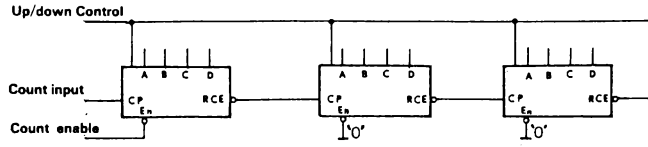
Si donc les i étages de rang inférieur viennent d'atteindre tous leur compte maximum (en mode up) ou tous le compte ZERO (en mode down), la sortie RCE de l'étage n° i passe à ZERO dès que l'horloge passe à ZERO, permettant ainsi à l'étage n° i + 1 de prendre en compte la prochaine impulsion. Exemple, passage de l'état 0000 0000 1111 1111,

à l'état 0000 0001 0000 0000, en mode up



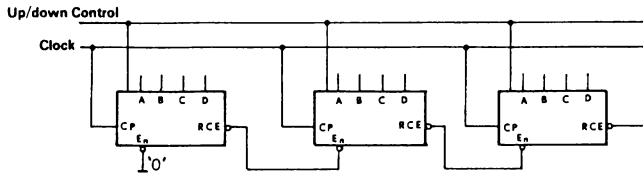
(a)

Module compteur synchrone 4 bits (SN 74190 ou SN 74191)



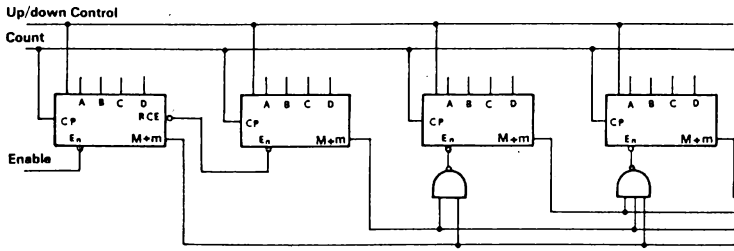
(b)

Chaîne connectée en mode asynchrone



(c)

Chaîne connectée en mode synchrone (propagation en cascade)



(d)

Chaîne connectée en mode synchrone (propagation anticipée)

FIGURE III-23. —*Compteur 4.x bits (utilisant le module 4 bits).*

ou passage de l'état 0000 0010 0000 0000

à l'état 0000 0001 1111 1111, en mode down et ce, pour un fonctionnement en binaire pur.

Toutefois, comme une sortie RCE, ne passe à ZERO, que lorsque l'entrée ENABLE (c'est-à-dire ici la sortie RCE de l'étage précédent) passe à ZERO, il y a nécessairement un retard qui devient de plus en plus grand à mesure que le nombre d'étages croît. La fréquence de fonctionnement en sera donc limité d'autant. On retrouve la limitation propre au report série.

3) Chaîne connectée en mode synchrone avec propagation anticipée (fig. III-23 d).

C'est l'organisation qui permet le fonctionnement le plus rapide, pour des bascules d'un type donné.

Les impulsions de comptage sont encore envoyées simultanément à tous les étages, ainsi que la commande down/up, mais l'autorisation de fonctionnement de chaque étage (condition sur l'entrée ENABLE) est élaborée en mettant en condition ET les états, exprimés par M + m, de tous les étages précédents (report parallèle).

Ainsi le 4è étage reçoit sur son entrée Enable en condition $\overline{ET}$ les trois états M + m des étages précédents. Quand l'état de la chaîne sera 0000 1111 1111 1111 ou 0000 1001 1001 1001 (en BCD) et si le fonctionnement est en mode up, dans ce cas seulement les 3 étages de faible poids ont leur sorties M + m à 1 et l'entrée du 4è étage reçoit donc un ZERO qui lui permet de prendre en compte la prochaine impulsion, laquelle fait donc + 1 dans cet étage ainsi que dans les 3 autres. Un raisonnement identique est à tenir pour le mode down.

On constate que le premier étage reçoit un ordre extérieur sur l'entrée ENABLE, par lequel on commande l'état de toute la chaîne (comptage-décomptage ou non) et l'autorisation du 2è étage est simplement obtenue à partir de Ia sortie RCE du premier étage (pour un étage donné la sortie RCE est conditionnée par l'état de M + m).

La fréquence maximum de fonctionnement de cette chaîne est donc seulement limitée par un seul temps de retard, quelque soit la longueur de cette chaîne : celui de M + m plus le temps de réponse d'une porte NON ET, soit au total typiquement 25 ns.

Pour les types SN 54/74 192 et 54/74 193 à deux entrées de comptage, la mise en cascade de plusieurs compteurs 4 bits sera simple comme le précise la figure III-24. Toutefois cette liaison étant du type asynchrone, elle sera marquée par les limitations et défauts déjà signalés. On notera le mélange synchrone-asynchrone ainsi réalisé à l'intérieur d'une chaîne globale.

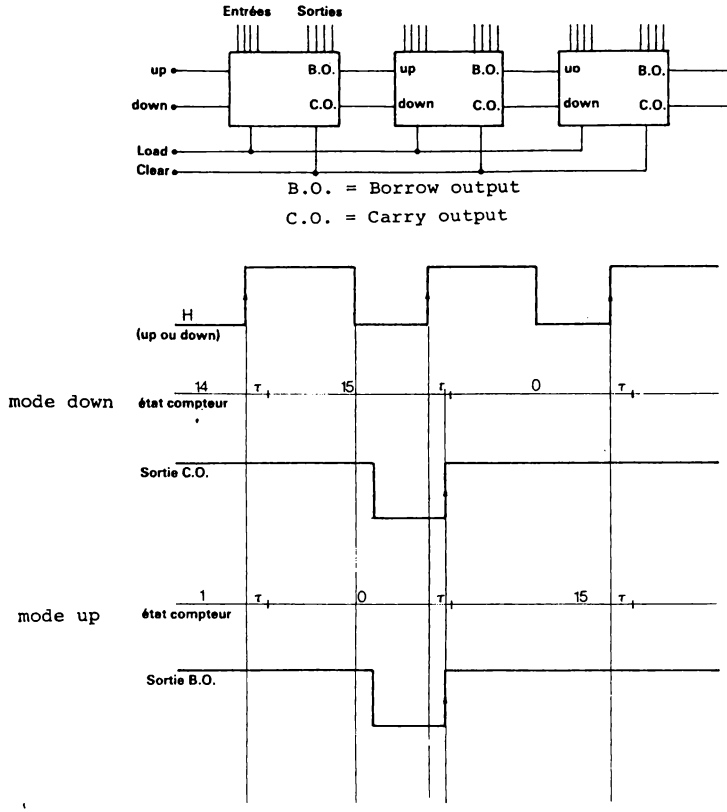


FIGURE III-24. — *Compteur utilisant un module 4 bits type 54/74193.*

EXEMPLES DE REALISATION

1) Diviseur programmable modulo N.

Le but est d'obtenir une division de fréquence de valeur N à partir d'un train d'impulsion (ou de fronts de montée, positifs par exemple) de fréquence $f = \frac{1}{t}$. Cette valeur N, pourra de plus être modifiée à volonté par un organe extérieur.

Remarquons tout d'abord que n bascules connectées en compteur binaire pur, permettent une division par 2^n. De même, y groupes de quatre bascules montées en compteur décimal, comme le SN 54/74 190, permettent une division par 10^y.

C'est ainsi que le module 4 bits décimal étudié (54/74 191) délivre une impulsion (RCE ou M + m) pour 10 impulsions de comptage (horloge) conformément à la figure III-25.

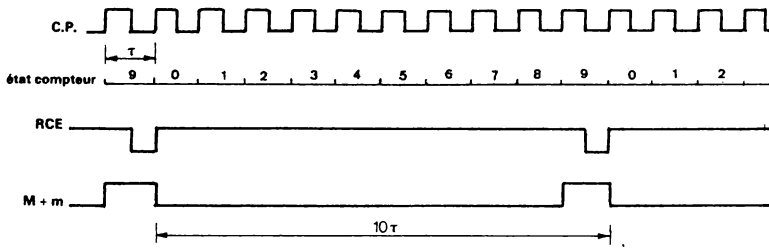


FIGURE III-25.— *Division par 10.*

Pour qu'une division par N quelconque soit obtenue, les étages compteurs pourront être connectés comme le précise la fig. III-26.

Le compteur est mis en fonctionnement down (décompteur) avec 1 logique sur l'entrée down/up et l'entrée Enable à ZERO (autorisation de décomptage). La sortie RCE est reliée à l'entrée LOAD, de telle façon que lorsque le contenu du compteur est ZERO, le chargement en parallèle des données extérieures, représentant un nombre N, puisse avoir lieu.

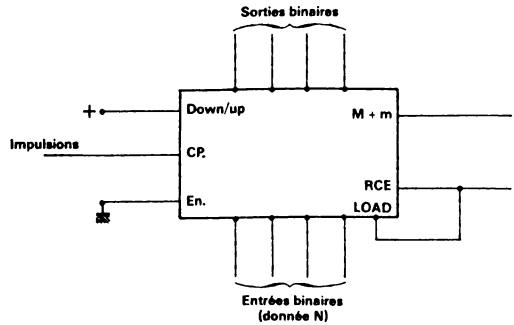


FIGURE III-26.— *Diviseur programmable modulo N.*

Dès que le chargement de N est réalisé, par exemple 25 manosecondes après le passage de RCE à ZERO, et si N est différent de ZERO, les sorties M + m et RCE repassent respectivement à ZERO et UN. Et le cycle de décomptage recommence. Le diagramme des temps est donné par les fig. III-27 et III-28.

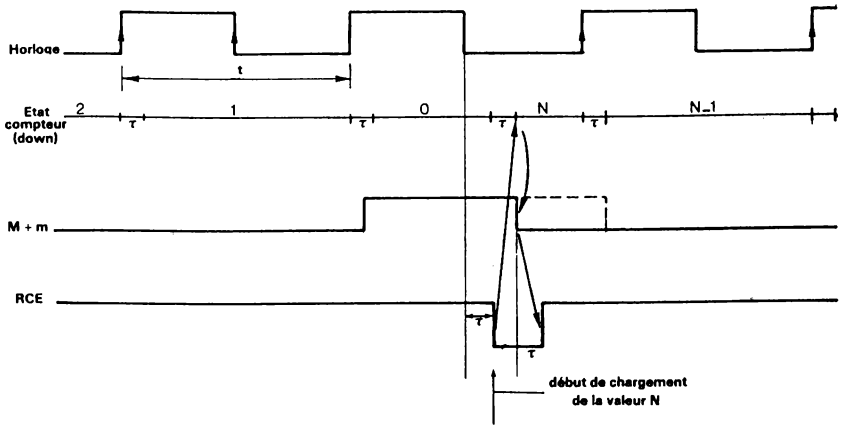


FIGURE III-27.—*Diagramme des temps d'un diviseur modulo N.*

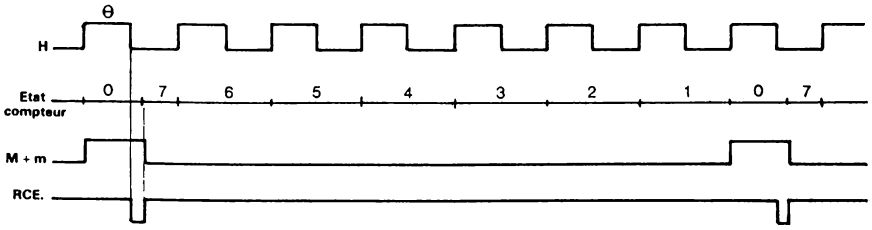


FIGURE III-28.— *Ex : Division par 7.*

Les différents retards τ ne sont sensibles que pour des fonctionnements à grande vitesse. La limite sera d'ailleurs atteinte lorsque la durée du palier à ZERO de l'horloge sera égale au temps que met RCE pour revenir à UN, après le chargement de la valeur N (ce temps est lié à la réponse de M + m).

Pratiquement, on recueille une impulsion de durée 0 sur la sortie M + m et une impulsion négative très brève sur la sortie RCE. La période de ces impulsions est N.t.

2) Générateur de séquence de N impulsions.

Dans certains cas, il est très utile de pouvoir générer un nombre N connu d'impulsions, cette rafale étant unique si on le désire.

Un générateur de ce type, peut servir par exemple à contrôler le bon fonctionnement d'un système de comptage d'impulsions aléatoires.

Soit donc à créer un train de N impulsions isolées dans le temps, par exemple N compris entre 1 et 99.

Le système représenté à la fig. III-29 permet un tel fonctionnement.

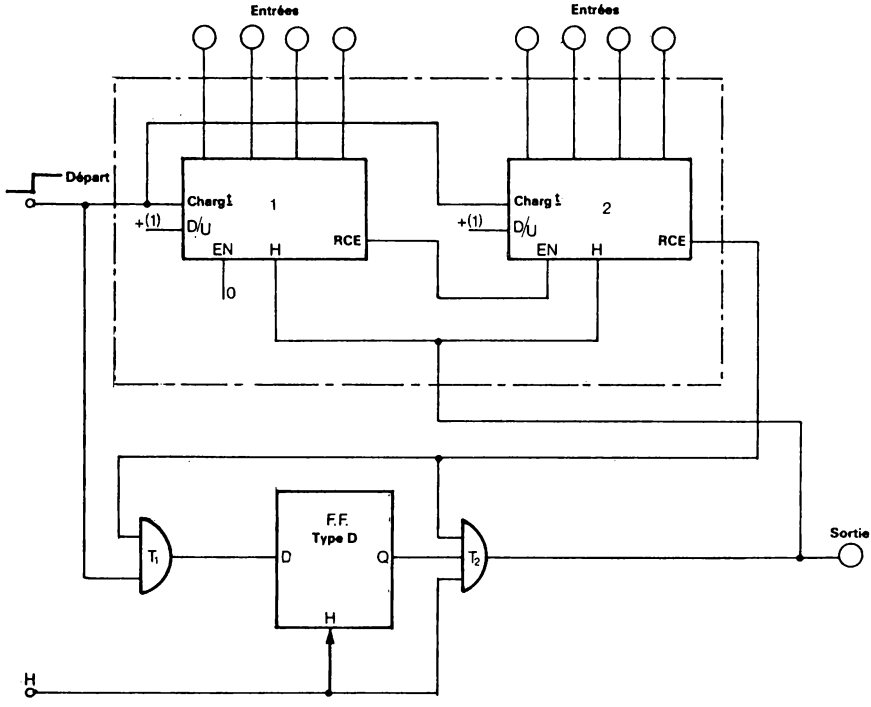


FIGURE III-29.— *Générateur de séquence de N impulsions.*

Une horloge H de période t est envoyée en permanence à un flip-flop du type D ainsi qu'à deux compteurs décimaux montés en cascades pour compter jusqu'à 99 maximum.

Un niveau ZERO étant imposé à l'entrée "Départ", reliée aux entrées "chargement" (LOAD) du compteur, celui-ci est positionné dans l'état N correspondant à l'information numérique appliquée aux entrées.

De plus les deux étages compteurs sont mis dans l'état "décompteur" (down : D/U = 1), le premier étage (faible poids) reçoit ZERO sur l'entrée Enable tandis que le deuxième étage reçoit sur cette même entrée le signal de sortie RCE du premier étage.

Dans ces conditions, si N est différent de zéro, la sortie RCE du 2è étage est à UN. La première impulsion d'horloge qui se présente, par exemple après la mise sous tension du système, met le flip-flop du type D à l'état ZERO, puisque le niveau "Départ" est ZERO et donc la sortie de la porte ET (T_1) également.

Donc Q = 0 et la sortie de la porte T_2 est à ZERO interdisant toute transmission d'impulsions.

Si l'ordre de Départ passe à UN, la première impulsion H qui se présente après met le flip-flop D à UN, puisque la sortie de la porte T_1 est passée à UN. Alors Q = 1. Avec un retard de quelques dizaines de manosecondes la porte T_2 transmet alors cette première impulsion qui fait en même temps - 1 dans le compteur, puisque l'entrée "Départ" est maintenue à UN.

Dès que le contenu global du compteur atteint ZERO, la sortie RCE du 2è étage passe à ZERO avec le signal d'horloge et de même pour la sortie de la porte T_1. A la prochaine impulsion le flip-flop D est donc mis à l'état ZERO. La sortie de T_2 déjà maintenue au niveau ZERO par RCE, ne transmet plus les impulsions d'horloge et le système s'arrête dans cette position.

Pour relancer une autre séquence, il faut que le signal " Départ " repasse à ZERO pour permettre le chargement, la valeur N ayant été modifiée au préalable si cela est désiré.

On remarquera le rôle de la bascule du type D dans ce système séquentiel très simple : elle assure la mise en mémoire de l'ordre de départ et de la fin de séquence donnée par RCE. Les mises en mémoire étant synchronisées par l'horloge extérieure, la commande départ pourra être totalement asynchrone de H sans causer de phénomènes transitoires indésirables.

III-3-6) COMPTEURS A MODULO VARIABLE

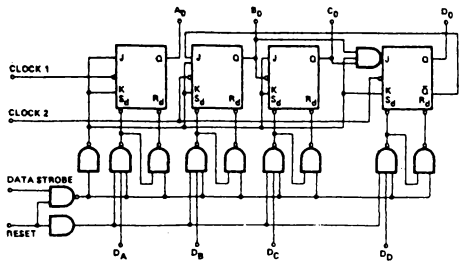
En supplément des compteurs MSI de x bits (souvent x = 4) une fois pour toutes figés pour fonctionner suivant un code et un modulo fixés, on

peut chercher à développer un produit qui, moyennant quelques liaisons extérieures, puisse réaliser plusieurs fonctionnements au choix.

C'est ainsi que le compteur 8290 BCD de Signetics (fig. III-30) est constitué d'un étage flip-flop individuel (bascule A) et d'un compteur synchrone 3 bits modulo 5 (bascules B C et D). Une division par 2, 5 et 10 est donc possible. D'autre part une division par 10 avec une sortie délivrant un signal symétrique (mode biquinaire) est également possible. Pour cela il faut appliquer le signal horloge, fréquence pilote f, sur l'entrée clock 2 du diviseur par 5 et relier la sortie de la bascule D à l'entrée horloge (clock 1) de la bascule individuelle A. La table de vérité de la figure III-30 est décrite (mode biquinaire) et la sortie de la bascule A est un signal de fréquence f/10 de rapport cyclique 1/2 (signal symétrique) ce qui est fort intéressant pour la génération de fréquences sous-multiples (synthétiseurs de fréquence).

D'autres combinaisons sont possibles dès l'instant où elles correspondent à des applications suffisamment nombreuses (exemple 2 + 6 donnant une division par 2, 6, 12). On remarquera que la chaîne ainsi constituée est asynchrone bien que la partie modulo 5 soit synchrone.

Bi-Quinary (5-2)				
Input	A_0	B_0	C_0	D_0
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	1	0	0
4	0	0	1	0
5	0	0	0	1
6	1	0	0	1
7	0	1	0	1
8	1	1	0	1
9	0	0	1	1



Decade (BCD)				
Input	A_0	B_0	C_0	D_0
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	1	0	0
4	0	0	1	0
5	1	0	1	0
6	0	1	1	0
7	1	1	1	0
8	0	0	0	1
9	1	0	0	1

FIGURE III-30. — *Compteur à modulo variable (8290 Signétics).*

IV- LES REGISTRES A DECALAGE

IV-1- PRINCIPES

Un registre à décalage est composé de n bascules. Il peut donc emmagasiner une information de n bits. Ces bascules sont interconnectées de façon à ce que l'état logique du flip-flop de rang i soit transmis au flip-flop de rang i + 1 quand un signal d'horloge est appliqué à l'ensemble des bascules. Le signal d'horloge H passe par exemple du niveau 0 au niveau 1 Logique. L'information présente dans le dernier flip-flop d'un tel registre est toujours accessibles physiquement. C'est la sortie du registre à décalage.

L'information peut être introduite dans ce registre de deux manières :

1) Entrée série

L'information est présentée bit après bit à l'entrée du premier flip-flop pour y être introduite à chaque impulsion d'horloge. Simultanément l'état logique de celui-ci est transmis au flip-flop suivant. Ce mode permet entr'autre la réalisation de ligne à retard numérique. Le registre est dit à entrée-sortie série.

2) Entrée parallèle

L'information de n bits est introduite d'un seul coup dans le registre à décalage qui est nécessairement composé de n étages. On a pour cela accès à l'entrée de chaque flip-flop constituant le registre. Généralement une porte d'inhibition permettra le transfert et assurera l'isolement nécessaire entre le registre et l'extérieur une fois le transfert assuré. Le registre est dit à entrée parallèle sortie série. Ce type de registre est utilisé dans la transformation parallèle-série. On peut concevoir enfin une sortie parallèle ; il suffit pour cela que toutes les sorties du registre soient accessibles.

En définitive, un registre à décalage est constitué de :

- une entrée d'horloge qui en mode décalage fera progresser l'information binaire du flip-flop i au flip-flop i + 1.

- une entrée chargement-décalage. Par exemple, au niveau 0 Logique, le chargement de l'information a lieu en parallèle, et au niveau 1 Logique, le fonctionnement en décalage est possible en synchronisation avec l'horloge.

- une entrée "donnée série" qui introduit l'information bit après bit dans le premier flip-flop (rang 0).

- une entrée "Donnée parallèle" composée de n accès.

- une validation pour chacun de ces deux modes d'entrée.

- une entrée remise à zéro du registre.

- éventuellement, une commande : décalage à droite - décalage à gauche.

- enfin, la sortie du registre qui est la sortie du dernier flip-flop (rang n), un accès aux sorties des flip-flop intermédiaires étant également possible pour assurer une sortie parallèle.

La figure IV-1 représente les différentes entrées et sorties d'un registre à décalage procurant tous les modes de fonctionnement.

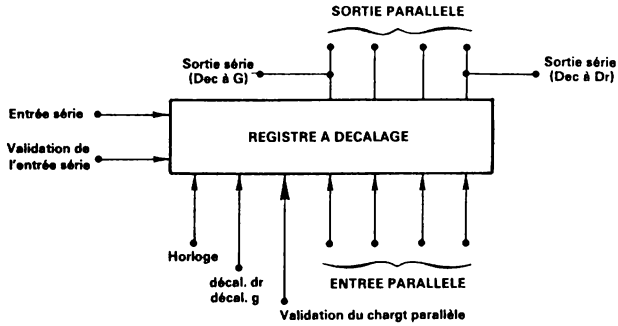


FIGURE IV-1.— *Organisation d'un registre à décalage de 4 bits.*

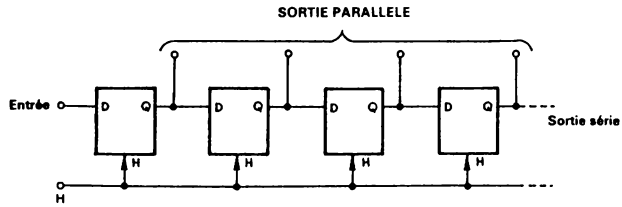


FIGURE IV-2.— *Registre à décalage entrée série, sortie série ou parallèle (avec bascules type D).*

On peut réaliser un registre à décalage en utilisant soit des bascules du types D (genre SN 5474) (fig. IV-2 à fig. IV-4), soit des bascules du type R-S maître esclave (fig. IV-5).

La figure IV-2 représente le cas le plus simple. L'utilisation d'un flip-flop commandé sur le front positif (par exemple) de l'impulsion d'horloge répond au problème puisque la sortie Q, qui est appliquée à l'entrée du flip-flop suivant, suit l'information D avec un certain retard τ par rapport au front de commande de l'impulsion. Mais la sortie du $n^{ième}$ étage ne sera elle aussi retardée que d'un temps élémentaire τ (fig. IV-6).

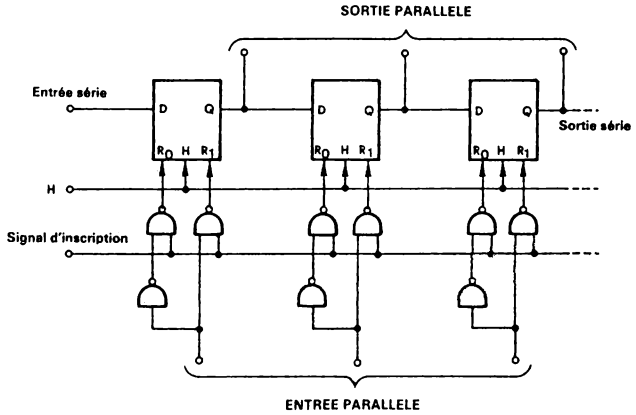


FIGURE IV-3. — *Registre à décalage avec chargement série ou parallèle, sortie série ou parallèle.*

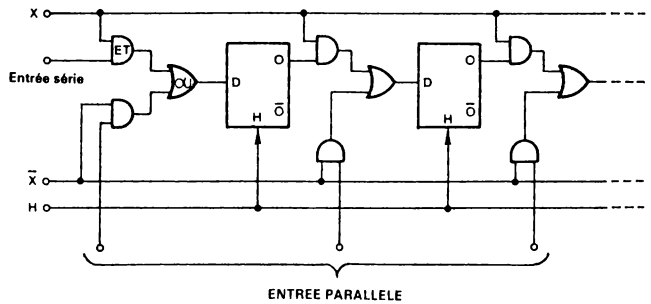


FIGURE IV-4. — *Registre à décalage entrée parallèle ou série, sortie série.*

La figure IV-3 montre également une utilisation du flip-flop type D à commande sur front avec en supplément une possibilité d'introduire en parallèle un mot dans le registre. Si le signal d'inscription est au 1 Logique un bit 0 du mot à introduire applique 1 à l'entrée remise à UN (R_1) et 0 à l'entrée remise à zéro (RO) ce qui met le flip-flop à l'état 0. Inversement, si le bit du mot est 1, le flip-flop est mis à l'état 1.

La figure IV-4 qui utilise toujours le même type de flip-flop présente une autre possibilité d'entrée parallèle. Si X = 1, l'entrée parallèle ne peut avoir lieu. Par contre, l'entrée série est validée. Et si X = 0. l'entrée série est bloquée et l'entrée parallèle autorisée.

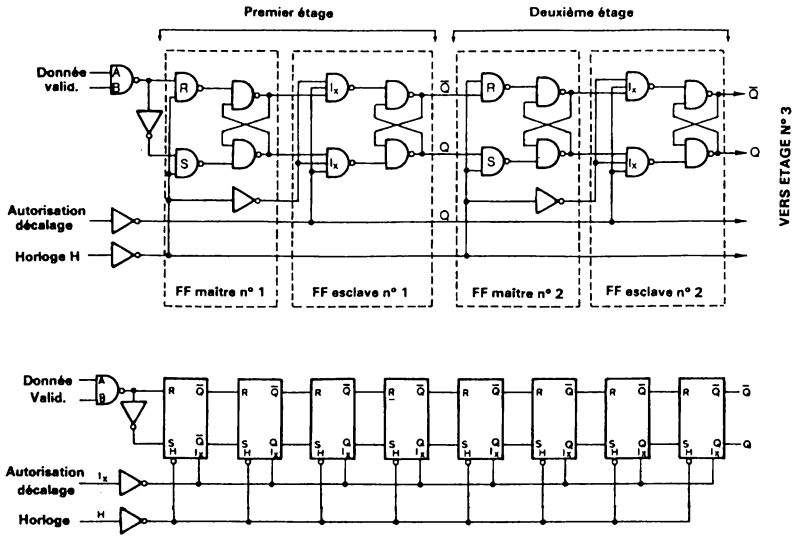


Table de vérité

t_n		t_{n+8}
A	B	Q
0	0	0
0	1	0
1	0	0
1	1	1

t_n Instant précédant l'impulsion d'horloge

t_{n+8} Instant suivant les 8 impulsions d'horloge

(Signetics 8276)

FIGURE IV-5.—*Registre à décalage avec bascules RS maître-esclave.*

La figure IV-5 représente un registre à décalage de 8 bits utilisant des bascules RS maître-esclaves (MSI Signetics 8276, Texas SN 5491 A). Deux entrées A et B mises en condition ET-NON permettent, si B = 1 choisie comme entrée de validation, d'introduire la donnée présente en A. Le décalage étant autorisé avec l'entrée autorisation décalage à ZERO, on distingue deux étapes dans le fonctionnement. On notera tout d'abord que l'étage maître reçoit le signal $\overline{H}$ grâce à un premier inverseur et l'étage esclave le signal H grâce à un deuxième inverseur. Quand l'impulsion d'horloge H passe de l'état 1 à l'état 0, l'étage maître d'entrée reçoit sur ses entrées RS l'information A et son complément $\overline{A}$, et l'étage maître de rang i + 1 reçoit sur ses entrées RS l'information contenue dans l'étage esclave de rang i (Q et $\overline{Q}$).

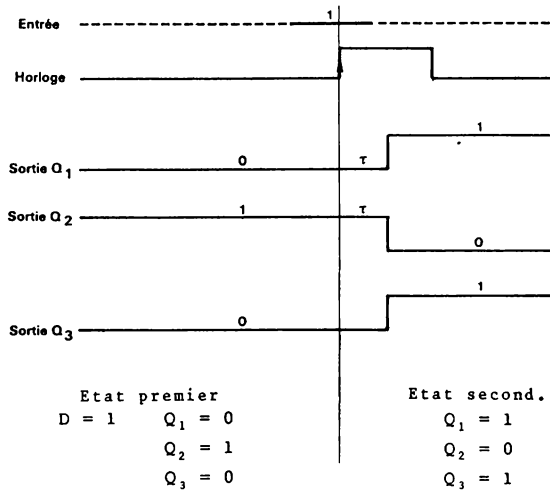


FIGURE IV-6.— *Diagrammes des temps pour un décalage.*

Ces différentes bascules RS maîtres prennent donc l'état correspondant. Quand l'impulsion passe à l'état 1, les étages maîtres voient leurs entrées RS portées à 1 (plus de basculement possible) et leurs sorties Q et $\overline{Q}$ sont appliquées aux entrées RS de leur étage esclave qui prend donc l'état logique de l'étage maître. La sortie Q de l'esclave est alors VRAI (après un certain retard τ) d'où le diagramme des temps de la fig. IV-7).

Le tableau qui suit représente les différentes séquences et les états correspondants d'un registre à décalage de 3 étages où on veut introduire l'information 011.

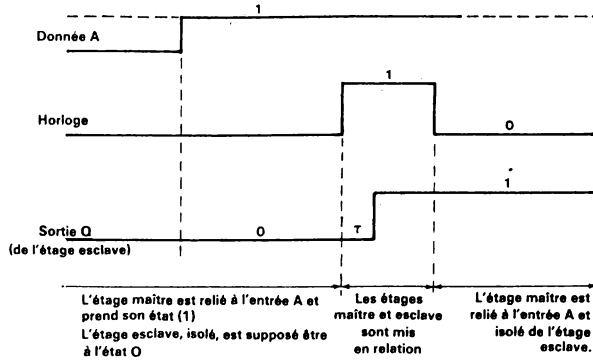


FIGURE IV-7.— *Propagation de l'état binaire dans un registre à décalage avec bascule maître-esclave.*

DONNEE →	0	X	1	X	1	X	
HORLOGE →	0						t Temps
Maître n° 1	0	0	1	1	1	1	
Esclave n° 1	X	0	0	1	1	1	$Q_1 = 1$
Maître n° 2	X	X	0	0	1	1	
Esclave n° 2	X	X	X	0	0	1	$Q_2 = 1$
Maître n° 3	X	X	X	X	0	0	
Esclave n° 3	X	X	X	X	X	0	$Q_3 = 0$

X = Etat indifférent

Les figures IV-8 et IV-9 présentent les schémas synoptiques des registres à décalage de 5 et 4 étages du type SN 5496 et SN 5494 respectivement, utilisant des bascules RS maître esclaves.

On rappelle que la mise à zéro de ces bascules se fait en appliquant 0 Logique à l'entrée CLEAR (ou RAZ) et la mise à 1 en appliquant 0 Logique à l'entrée PRESET (ou RAU). Le chargement en parallèle de ces deux registres doit se faire en deux temps. D'abord une mise à ZERO générale puis chargement des bar les entrées PRESET correspondantes. Le type SN 5494 permet en plus de choisir entre deux mots de 4 bits au moyen de PRESET 1 et PRESET 2.

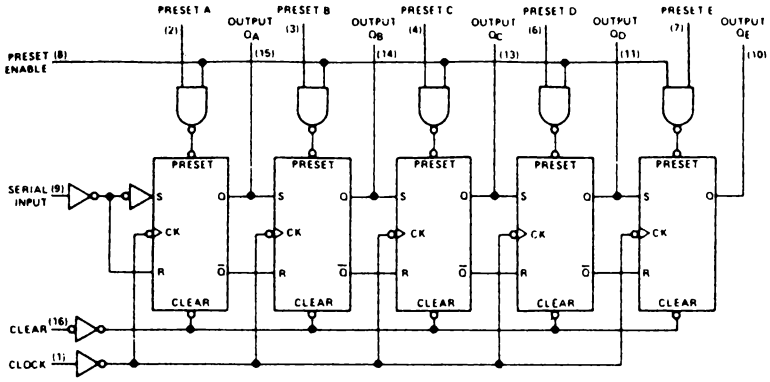


FIGURE IV-8. — *Registre à décalage 5 bits (type 54/7496).*

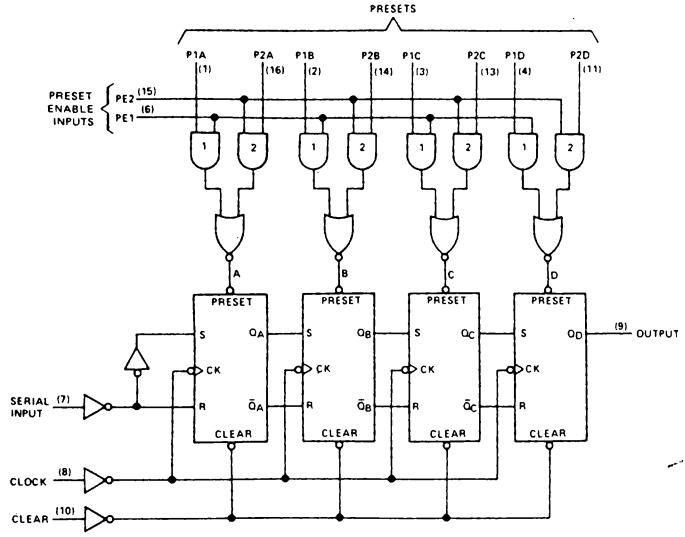


FIGURE IV-9. — *Registre à décalage 4 bits (type 54/7494).*

IV-2- REGISTRE A DECALAGE DROITE-GAUCHE

Dans certaines applications importantes il est nécessaire de commander le décalage d'une expression binaire soit vers la droite soit vers la gauche. Par exemple dans les systèmes rotatifs ou bien en multiplication-division etc...

Pour réaliser cette fonction il faut transmettre à chaque entrée D_i soit la sortie située à gauche (Q_{i-1}) dans le cas d'un décalage à droite soit la sortie Q_{i+1} située à droite (décalage à gauche).

La figure IV-10 présente un registre à décalage droite-gauche de 6 étages utilisant des bascules du type D (type 54/7474).

L'entrée "Autorisation décalage" impose soit un décalage à droite (entrée à 0), soit un décalage à gauche (entrée à 1).

En fonction de ce choix, on prélève la sortie série à l'une des deux extrémités de la chaîne.

De plus, un chargement en parallèle est possible.

Les portes ET-OU inverses (2 portes ET plus une porte OU-NON) permettent le fonctionnement en décalage à droite ou gauche. On constate en effet que : elles transmettent la sortie de l'étage n° i à l'entrée D de

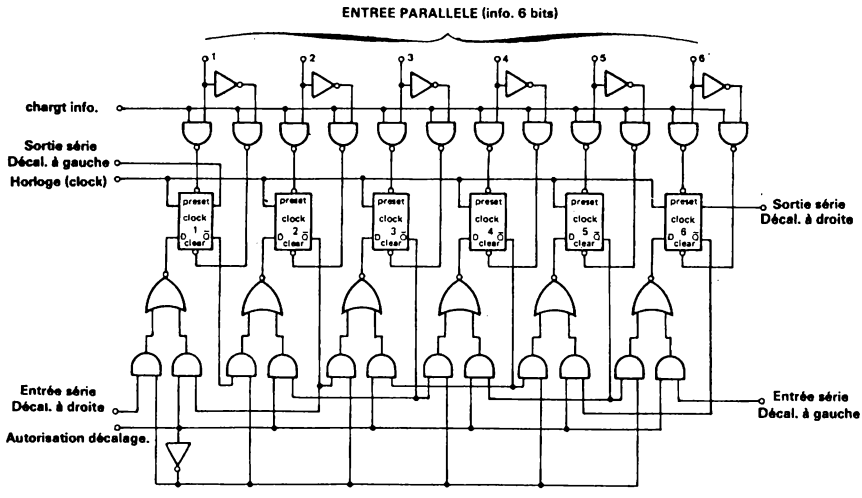


FIGURE IV-10.— *Registre à décalage droite-gauche 6 bits.*

l'étage n° i + 1 (décalage à droite) OU elles transmettent la sortie de l'étage n° i + 1 à l'entrée D de l'étage n° i (décalage à gauche).

Le circuit MSI SN 5495 A, registre à décalage 4 bits droite ou gauche, réalise cette fonction. Son schéma est donné à la figure IV-11.

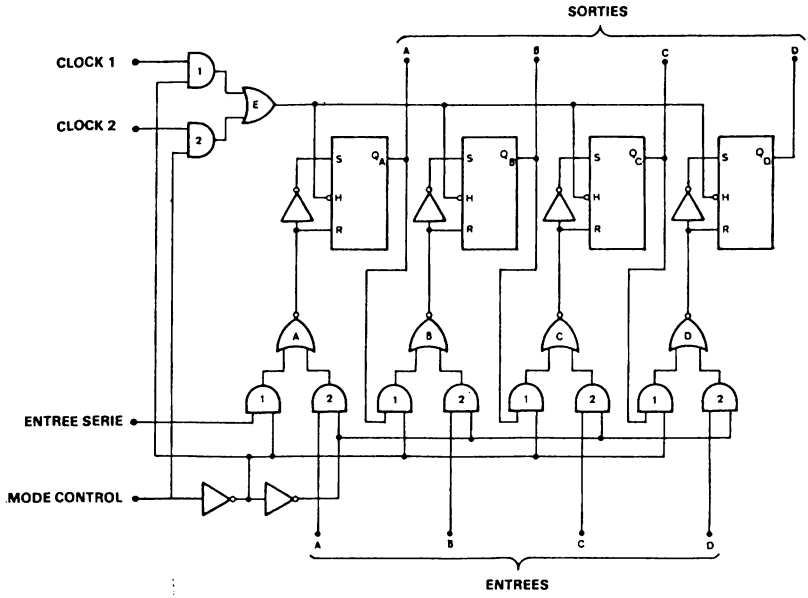


FIGURE IV-11.—*Registre à décalage 4 bits droite-gauche (type 54/7495A)*

1) Entrée MODE CONTROL à 0. L'entrée clock 2, ainsi que le chargement en parallèle vers les entrées A B C D sont inhibés. Par contre, les portes ET (n° 1) permettent le décalage à droite au rythme de l'horloge 1 (clock 1).

2) Entrée MODE CONTROL à 1. L'entrée clock 1, ainsi que les portes ET (n° 1) sont inhibées interdisant le décalage à droite. Si seul le chargement en parallèle est désiré, on utilise le circuit tel que l'entrée clock 2 puisse recevoir le même signal que l'entrée clock 1 si une seule horloge est utilisée. Si on désire un décalage à gauche, il faut de plus connecter l'entrée A à la sortie de l'étage n° 2, l'entrée B à la sortie de l'étage n° 3, l'entrée C à la sortie de l'étage n° 4, et l'entrée D à la sortie de l'étage n° 1. Le signal clock 2 assure alors le décalage à gauche.

Enfin, si on désire avoir avec ce circuit le décalage droite/gauche et la possibilité de chargement en parallèle, on est conduit au schéma de la figure IV-12. Une seule horloge est supposée être utilisée dans le cas de cette figure.

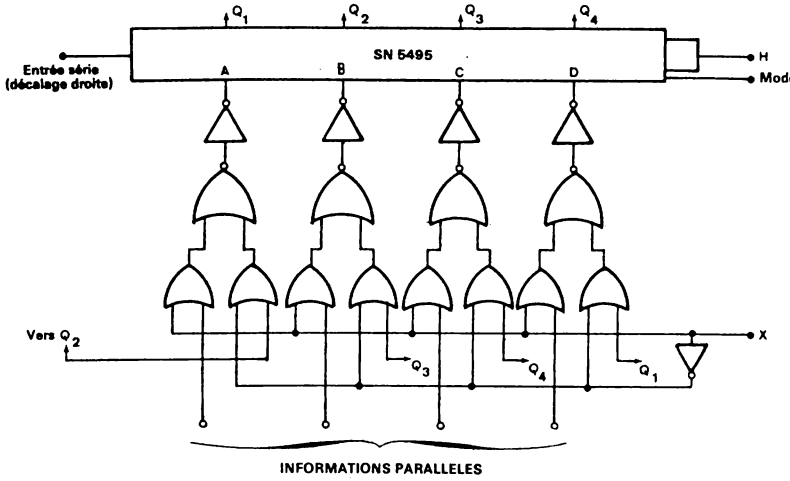


FIGURE IV-12.—*Registre à décalage 4 bits droite-gauche à chargement parallèle et série.*

Si x = 1, le chargement en parallèle est autorisé. (MODE = 1 pour accepter les entrées en A B C D).

Si X = 0, le décalage à gauche est possible.

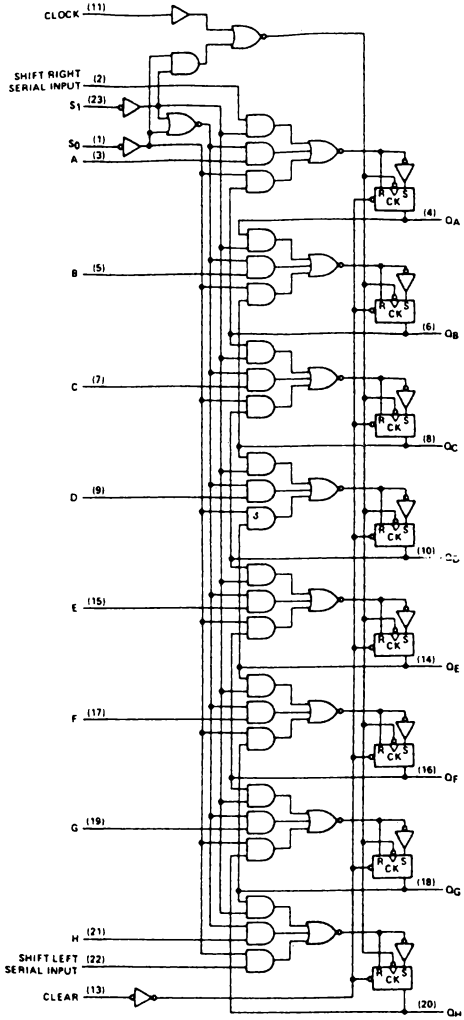
Si M O D E = 0, quelque soit X, les entrées A B C D étant bloquées, on ne peut réaliser que le décalage à droite.

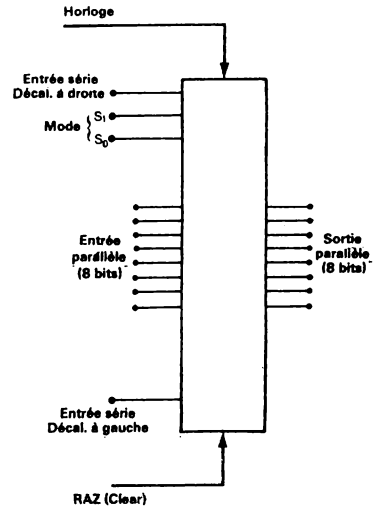
Ces différents types de registre à décalage proposés dès 1970 et qui nécessitent des portes supplémentaires pour en augmenter les possibilités d'utilisation, ont été suivis de circuits à plus haute intégration. Par exemple le registre bidirectionnel 8 bits de la série 54/74198 rassemble dans un boîtier 24 broches, donc nettement plus important que le boîtier 14 ou 16 broches, les modes d'opération suivants :

- chargement en parallèle des 8 bits (synchrone avec l'horloge)
- décalage à droite
- décalage à gauche
- inhibition de l'horloge (arrêt du décalage)

De plus une remise à zéro générale est possible.

Le schéma de ce circuit MSI est donné à la figure IV-13 où l'on retrouve les bascules RS et les étages de sélection qui permettent le chargement parallèle et le choix décalage droite ou gauche.





SN54198/SN74198
OPERATION OF MODE CONTROL

INPUTS		MODE
S_1	S_0	
L	L	INHIBIT CLOCK
L	H	SHIFT RIGHT
H	L	SHIFT LEFT
H	H	PARALLEL LOAD

FIGURE IV-13.

Registre à décalage bidirectionnel 8 bits (type 54/74198).

IV-3- REGISTRES A DECALAGE MOS DYNAMIQUES

Dans les registres à décalage MOS dynamiques, on met à profit la capacité (parasite) gate-substrat. En utilisant deux signaux d'horloge décalés dans le temps, on obtient un décalage de porte à porte. Les transistors MOS qui composent ce circuit sont la plupart du temps à l'état OFF, ce qui permet d'atteindre des consommations très faibles. De plus, le circuit étant simple, une grande intégration est possible (registre à décalage MOS dynamique de 1024 bits). Néanmoins, le fonctionnement doit se faire à une vitesse suffisante pour que les capacités parasites utilisées pour stocker l'information n'aient pas le temps de se décharger. D'où une fréquence minimum de fonctionnement qui se situe aux environs de 10 KHz. Naturellement ce circuit a également une fréquence maximum de fonctionnement qu'il ne faut pas dépasser, essentiellement due au temps de charge des capacités.

Un schéma typique est indiqué à la figure IV-14. L'information binaire est présentée à l'entrée E. La première impulsion de l'horloge H_1 rend conducteurs les transistors MOS T_3 et T_2, ce qui permet la charge de la capacité C_1 si le bit d'entrée est 0. Dans le cas contraire, T_1 est saturé et C_1 n'est pas chargée (C_1 est la capacité grille substrat du transistor MOS T_4). L'impulsion d'horloge H_1 étant terminée, les transistors T_3 et T_2 reviennent à l'état OFF. La première impulsion de l'horloge H_2 survient alors et rend conducteurs les transistors T_6 et T_5 ce qui permet la charge de la capacité C_2 si la capacité C_1 n'a pas été chargée (il y a une inversion à chaque étage). On a procédé à un décalage. D'où le diagramme des temps de la figure IV-14.

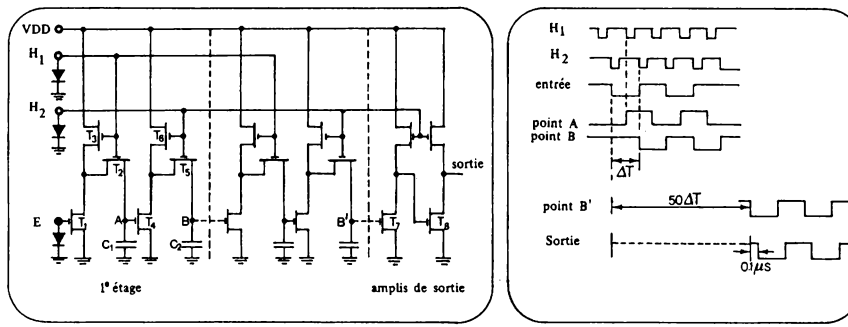


FIGURE IV-14.—*Registre à décalage MOS dynamique.*

IV-4- APPLICATIONS DU REGISTRE A DECALAGE

1 - C'est un circuit de base pour unité arithmétique. Un décalage à gauche revient à multiplier le nombre par 2 et un décalage à droite revient à le diviser par 2.

2 - Transmission de données sur une ligne : il y a lieu de faire une conversion parallèle série et de présenter l'information bit par bit au rythme d'une horloge.

3 - Compteur en anneau : l'information circule indéfiniment au rythme d'une horloge.

4 - Division de fréquence.

5 - Génération de fonction point par point.

6 - Lignes à retard numériques.

7 - Mémoires circulantes (à accès séquentiel).

C'est dans ces 3 derniers exemples et plus particulièrement le dernier que les grandes capacités sont nécessaires et où par conséquent les registres à décalage MOS se distinguent nettement. Pour ne citer qu'un exemple retenons les mémoires de rafraîchissement pour tout système séquentiel (display cathodique par exemple).

L'avantage procuré est évident lorsque l'on constate que le circuit de base est finalement très simple et de plus l'intégration d'un grand nombre d'étages sur un même chip ne pose même pas un problème d'accès pour le boîtier. Une entrée et une sortie, plus une horloge, suffisent dans beaucoup de cas !

Le seul problème à résoudre est donc de diffuser avec un bon rendement un très grand nombre de transistor MOS.

Ainsi on peut imaginer la réalisation d'une mémoire à accès séquentiel utilisant un module 6 fois 1024 bits par boîtier ce qui avec des cartes de circuits imprimés composées de 32 boîtiers constituerait une capacité de 7144 mots de 32 bits, soit 228640 bits. Avec 10 cartes on arrive à 2,3 M bits ! Quant à la vitesse d'échange (lecture ou écriture) et au temps d'accès ils pourraient être naturellement séduisants.

IV-4-1) TRANSMISSION EN SERIE D'UNE INFORMATION BINAIRE

Dans de nombreux cas il y a obligation à transmettre l'information binaire (n bits) à l'aide d'une ligne, ou deux lignes suivant le type de modulation utilisé, avec la possibilité de faire appel à une ligne bifilaire pour des transmissions différentielles à haute immunité.

Il en est ainsi quand on veut réaliser un gain sur le poids ou le volume de cablage. Trois exemples typiques peuvent être cités :

1) A bord d'avions : pour le gain en poids et volume.
2) Pour des transmissions à longue distance : économie ou adaptation à un réseau déjà existant.
3) Dans des systèmes électroniques miniatures (1 fil remplace n fils).

Si l'information est disponible à l'origine sous la forme parallèle (n accès) il faut assurer une conversion parallèle série pour commander la ligne de transmission. Le système émetteur comprend nécessairement un registre à décalage, un compteur pour commander les séquences de l'émission et divers circuits associés qui élaborent le bit de parité, les signaux de début et fin de transmission et éventuellement l'adresse du périphérique ou de la voie concernée par le message. Cette adresse sera placée en tête derrière le signal début de transmission qui peut lui-même à la limite être un code.

Il se peut en effet que la ligne de transmission desserve en cascade plusieurs périphériques ou bien un seul périphérique mais comportant plusieurs voies.

Pour résoudre l'évacuation d'un très grand nombre de fils dans un volume très réduit, la solution sera de faire cette transformation parallèle-série au plus près de l'information, c'est-à-dire à sa source même (capteur). Dans le cas où ce capteur est en circuit intégré le registre à décalage a donc tout intérêt a être diffusé également dans le module (convertisseurs A/N).

Principaux types de modulation

Il est intéressant de rappeler les principaux types de modulation couramment utilisés en émission d'information série (appelé également signal en bande de base).

Le mode RZ (retour à zéro) donne un niveau haut (+V) durant une demi-période ($\frac{T}{2}$) pour 1 Logique et un niveau nul pour un 0 Logique.

Le mode NRZ (non retour à zéro) donne un signal haut (+V) ou nul durant toute la période (T) suivant que le bit d'information est 1 ou 0.

Le mode bipolaire fait correspondre à 1 Logique une impulsion durant $\frac{T}{2}$ mais la polarité est alternée (amplitude + V et - V) pour deux 1 Logique successifs. Dans ce cas la composante continue du signal tend vers zéro pour un message suffisamment long et en moyenne.

Le code biphase donne une transition négative (passage de 1 à 0) pour 1 Logique et une transition positive (passage de 0 à 1) pour un 0 Logique.

Enfin le code ternaire donne lieu à l'émission simultanée de deux signaux A et B, où B est l'inverse de A au sens des polarités. Dans ce mode un 1 Logique se traduit pour la voie A par une impulsion positive et un 0 Logique par une impulsion négative (durée des impulsions : $\frac{T}{2}$). La figure IV-15 rassemble les diagrammes des temps de ces types de modulation.

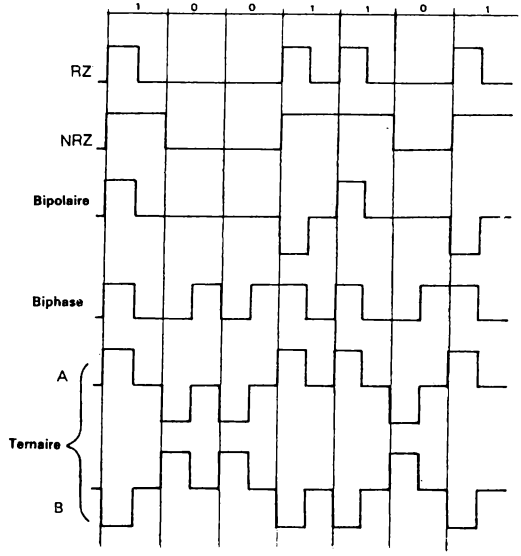


FIGURE IV-15. — *Différents types de modulation (signal en bande de base).*

Quelques remarques peuvent être faites :

Les deux types RZ et NRZ exige la transmission de la composante continues pour l'émetteur et le récepteur. Par contre le type biphase qui joue sur les fronts ne nécessite pas de liaison continue. Quant au cas du type bipolaire cette composante continue est très réduite en moyenne.

D'autre part pour ce qui est de la synchronisation donc de la restitution du signal d'horloge (ou rythmeur), on note la possibilité qu'offre le mode biphase. Pour le mode ternaire il faut exploiter les voies A et B qui permettent à l'aide de circuits logiques simples de restituer l'horloge et l'information. De plus un parasite engendré avec la même polarité sur les voies A et B peut être éliminé.

IV-4-2) MEMOIRE CIRCULANTE

On peut réaliser aisément une mémoire circulante à l'aide des registres à décalage comme l'indique la figure IV-16 qui représente une mémoire pour N mots de n bits. Si l'entrée E/C (écriture-circulation) est à 1, l'information I peut être rentrée. C'est le chargement classique en série à chaque impulsion d'horloge H. Si l'entrée E/C est à 0, les portes OU transmettent à chaque entrée l'information de sortie. C'est le fonctionnement bouclé (circulation synchrone avec H).

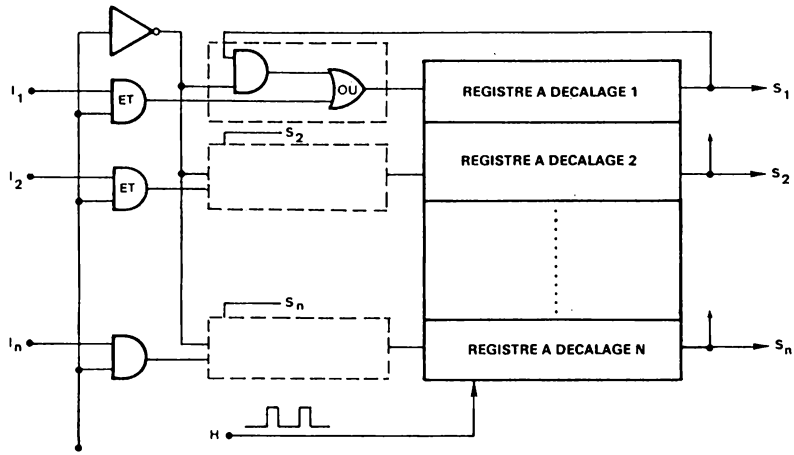


FIGURE IV-16.— *Mémoire circulante pour n bits.*

On peut réaliser à partir de ce module une mémoire à lecture-écriture mais dont l'accès est séquentiel (et non aléatoire). Ceci convient chaque fois que l'information doit être lue dans un ordre une fois pour toute déterminé.

IV-4-3) EXEMPLES D'APPLICATION D'UNE MEMOIRE CIRCULANTE

On peut citer de suite le cas général d'une mémoire tampon entre un organe de calcul rapide pressé d'exécuter un grand nombre de sorties dans le minimum de temps pour se consacrer à d'autres tâches et un périphérique lent c'est-à-dire nécessitant un temps relativement élevé pour exploiter le paquet d'information qui lui est destiné. Un cas similaire peut se présenter si au lieu d'un périphérique lent on est en présence d'un grand nombre de périphériques en communication avec le même organe de calcul.

Une mémoire circulante peut également résoudre le problème des systèmes qui demandent un rafraîchissement continuel de l'information, soulageant ainsi les échanges avec l'ordinateur. Dans ce dernier cas se rangent les générateurs de fonction point par point et un exemple va permettre de mettre en relief, au moyen d'une réalisation simple, la puissance et le gain en fiabilité, volume, coût de fabrication, apportés par les circuits intégrés MSI.

Soit à réaliser un générateur de fonction $f(\tau)$ restituée point par point avec obtention simultanée de la fonction $f(t-\tau)$, τ étant le déphasage désiré exprimé à l'aide de n bits.

Un module "registre à décalage de 8 bits à sorties parallèles" permet une réalisation.

Si l'amplitude de la fonction $f(\tau)$ est à exprimer avec 10 bits, donc à 10^{-3} environ, et si le déphasage τ est exprimé à l'aide de 5 bits ce qui donne une résolution de $\frac{T}{32}$, T étant la période de $f(\tau)$, on est conduit à utiliser 40 modules de 8 bits.

Pour que la fonction $f(t-\tau)$ soit simultanément disponible il faut de plus choisir une sortie parmi 32 et ceci pour les 10 bits. Il faut par conséquent réaliser un multiplexeur (voir chapitre suivant) de 1 mot de 10 bits parmi 32. L'organisation de ce générateur est représentée à la figure IV-17

Si on fait le point du nombre d'interconnexions à réaliser entre le registre à décalage et le multiplexeur on constate qu'il est relativement élevé (deux fois 350 points environ de soudure ou de cablage). Et ceci malgré l'emploi de circuits intégrés, registre à décalage de 8 bits et multiplexeur de 1 parmi 16.

Un net progrès peut être réalisé si on intègre davantage de circuits et surtout si on sait créer un module de base, si possible d'usage répétitif, qui demande un petit nombre d'accès afin de limiter la dimension du boîtier.

Or on peut organiser le schéma de la figure IV-17 d'une autre manière. En effet les 32 sorties du registre n'ont pas besoin d'être accessibles simultanément mais seulement une parmi ces 32 (ou plus généralement 1 parmi 2^n). Dans ces conditions si l'organe de multiplexage est également intégré sur le chip du registre à décalage un grand nombre d'interconnexions vont être éliminées.

Cet avantage important est apporté par le module SFF 40032 K (Sescosem) dont la constitution est précisée à la figure IV-18. C'est un module "registre à décalage de 32 bits". De plus sont intégrés un décodeur d'adresse (5 bits) et un réseau de sélection (multiplexeur).

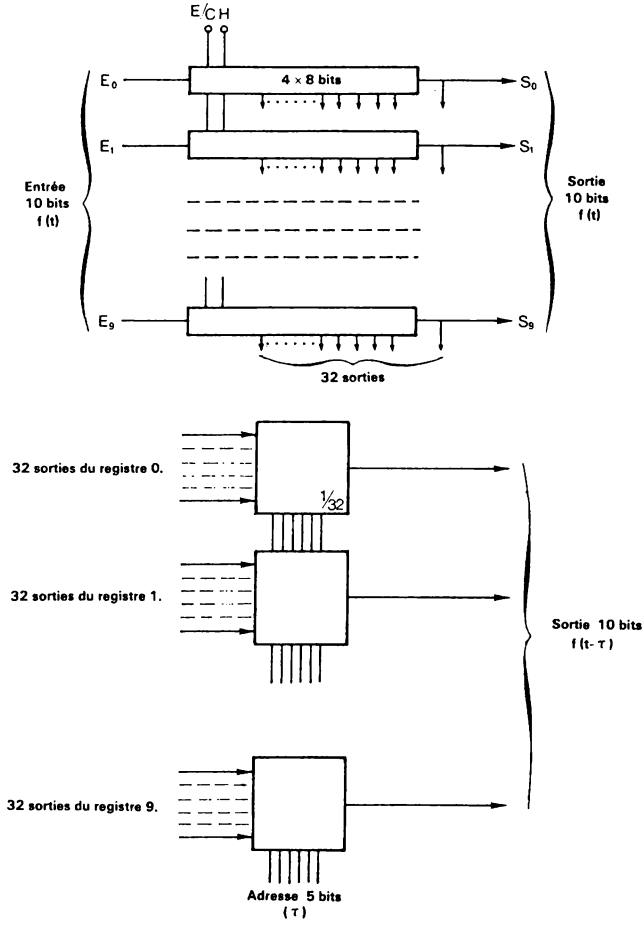


FIGURE IV-17. — *Générateur des fonctions f(t) et f (t-τ).*

L'ensemble permet de sélectionner sur une sortie supplémentaire (V_{sp}) l'état logique de l'un des 32 étages du registre.

En utilisant ce module le schéma de la figure IV-17 devient celui de la figure IV-19 et on peut constater le progrès réalisé non seulement pour le volume mais surtout pour les interconnexions donc pour la fiabilité.

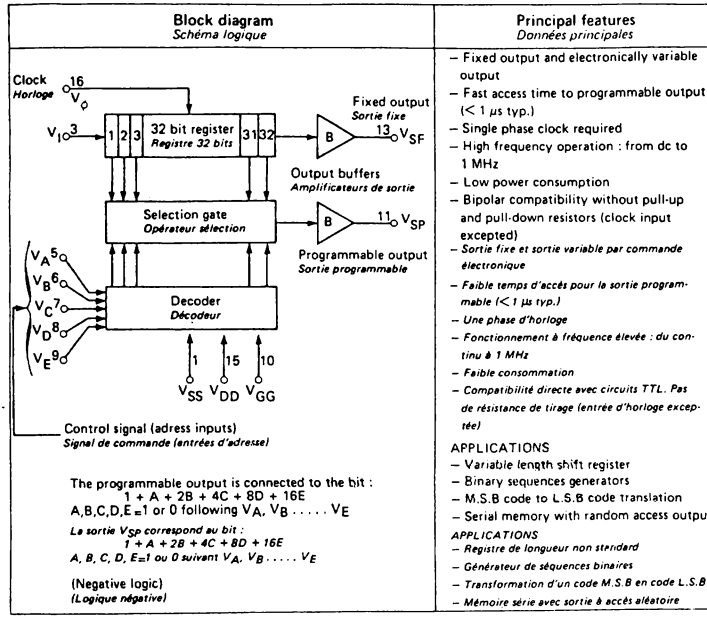


FIGURE IV-18. (Doc Sescosem)

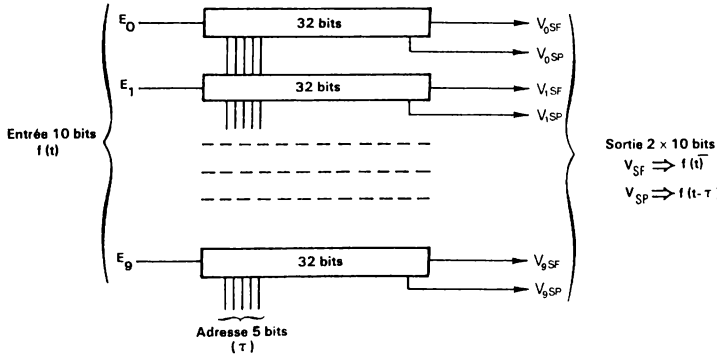
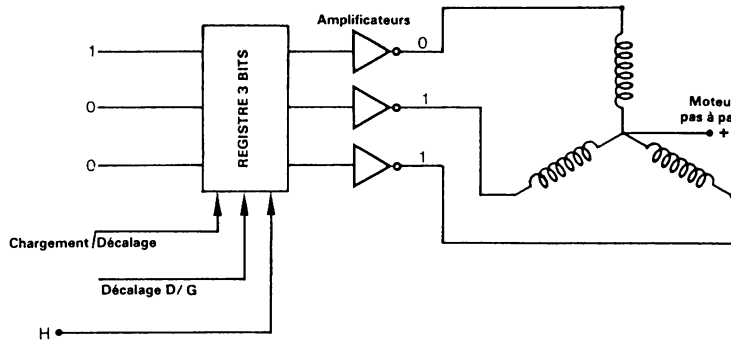


FIGURE IV-19. — *Générateur des fonctions f(t) et f(t-τ).*

Le système obtenu à présent étant relativement simple on peut chercher à augmenter ses performances. Si on place 8 modules de 32 bits en chaîne, donc en utilisant 80 modules au lieu de 10, il est possible de définir la fonction f(τ) à l'aide de 256 points ce qui après restitution analogique (voir chapitre conversion N/A) et lissage permettra d'obtenir finement une fonction quelconque. Un sélecteur de 1 mot de 10 bits parmi 8 (mots) devra simplement être ajouté pour délivrer f(t-τ) et τ pourra être contrôlé avec une résolution de 8 bits (1/256).

IV-4-4) COMMANDE DE MOTEUR PAS A PAS

Un moteur pas à pas à trois enroulements occupe une position connue, soit qu'il vient d'être initialisé soit qu'il occupe le dernier état commandé. Pour le faire avancer ou reculer d'un certain nombre de pas, il faut commander ses trois bobines selon une séquence bien connue, une seule bobine étant alimentée. Un compteur en anneau faisant circuler un 1 est nécessaire.

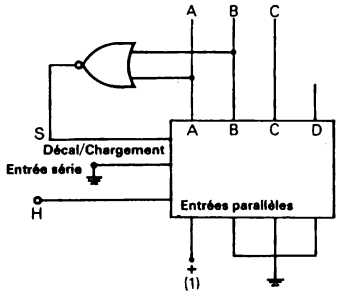


B_0	B_1	B_2	POSITIONS
1	0	0	P
0	1	1	P+1
0	0	1	P+2
1	0	0	P+3
	etc..		etc...

FIGURE IV-20.—*Commande de moteur pas à pas.*

On peut également utiliser un registre à décalage "auto-correcteur" qui trouve après la mise sous tension, lui-même son état convenable après un nombre limité de pas. Pour un compteur en anneau 3 étages utilisant un registre à décalage, on obtient le schéma de la figure IV-21.

L'entrée série applique toujours 0. L'entrée parallèle reçoit 1000 (le 4ème étage ne sert pas dans l'ensemble d'un 3 étages). Donc après deux pas au maximum A et B seront à ZERO. Alors S = 1, valeur qui autorise le chargement parallèle (S = 0 autorise le décalage). A partir de cet instant le compteur en anneau délivre le cycle désiré.



		H	A	B	C	D	
Phase initiale			1	1	1	0	Mise sous tension par exemple
	1		0	1	1	1	
	2		0	0	1	1	S = 1
Phase opérationnelle	3		1	0	0	0	Chargement parallèle
	4		0	1	0	0	
	5		0	0	1	0	S = 1
	6		1	0	0	0	Chargement parallèle
	7		0	1	0	0	
				etc...			

FIGURE IV-21.—*Compteur en anneau auto-correcteur.*

V - MULTIPLEXEURS DIGITAUX

V-1- PRINCIPES

Un multiplexeur est généralement un organe qui reçoit N entrées et transmet par sa sortie S une de ces entrées au choix. Pour sélectionner cette entrée le multiplexeur reçoit une adresse codée (n fils si $N = 2^n$) et en général on traite un nombre $N = 2^n$ d'entrées pour pouvoir utiliser toutes les combinaisons données par n bits. On pourra de plus trouver une entrée de validation V. Par exemple si V = 1, la sortie S = 1, et ce quelle que soit l'adresse appliquée et quels que soient les niveaux des N entrées. Si V = 0, le multiplexeur délivre sur sa sortie S l'état de l'entrée adressée (ou son complément).

La représentation fonctionnelle de ce circuit est alors celle de la figure V-1.

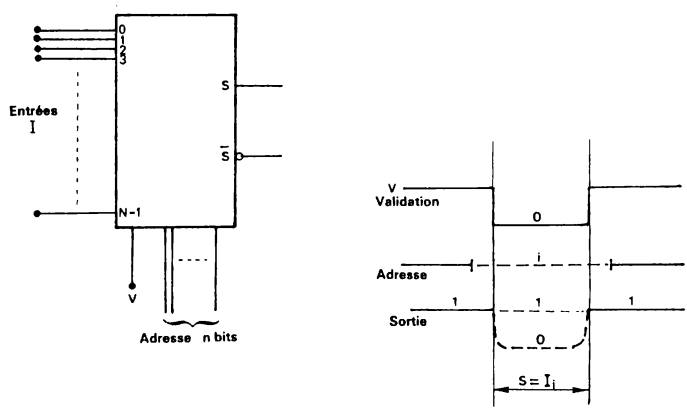


FIGURE V-1.—*Multiplexeur n entrées.*

EXEMPLE

Réalisation d'un multiplexeur de 4 entrées. Deux bits d'adresse sont nécessaires : E et F. Il faut réaliser la fonction suivante :

$S = I_0$ (entrée n° 0) si $E = F = 0$ (adresse 00)
ou I_1 si $E = 1$ $F = 0$ (adresse 10)
ou I_2 si $E = 0$ $F = 1$ (adresse 01)
ou I_3 si $E = 1$ $F = 1$ (adresse 11)

Cela s'écrit :

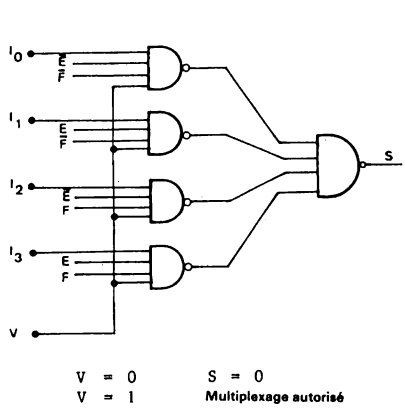
$$S = \overline{E}.\overline{F}.I_0 + E.\overline{F}.I_1 + \overline{E}.F.I_2 + E.F.I_3$$

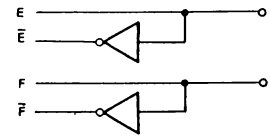
soit puisque $\overline{VXYZ} = \overline{V} + \overline{X} + \overline{Y} + \overline{Z}$ (théorème de Morgan)

et donc : $V + X + Y + Z = \overline{\overline{V}.\overline{X}.\overline{Y}.\overline{Z}}$

Il vient : $S = \overline{(\overline{E}.\overline{F}.I_0).(\overline{E}.\overline{F}.I_1).(\overline{E}.F.I_2).(E.F.I_3)}$

S est une condition ET-NON à 4 entrées, celles-ci étant les sorties de 4 ET-NON à 3 entrées. D'où le schéma de la figure V-2 où la validation V a été ajoutée.





	E	F
ADRESSE de I_0	0	0
ADRESSE de I_1	1	0
ADRESSE de I_2	0	1
ADRESSE de I_3	1	1

FIGURE V-2.—*Multiplexeur de 4 entrées.*

On voit à l'aide de cet exemple le nombre déjà assez élevé de connexions à réaliser pour multiplexer seulement 4 entrées. De plus, il faut cinq portes NAND à 4 entrées, et deux inverseurs. Aussi une plus grande intégration donnant lieu à des modules normalisés et d'usage courant apporte un net progrès tant au point de vue de la fiabilité que de l'économie (prix, volume, poids etc...).

Exemples de multiplexeurs digitaux MSI :

Multiplexeur de 8 entrées
Multiplexeur de 16 entrées

Ces multiplexeurs peuvent être considérés à juste titre comme des éléments de base.

La table de vérité suivante est celle du multiplexeur de 8 entrées. Pour ce circuit (série 54/74151), le niveau d'inhibition est 1 : si V = 1, on obtient S = 0 quelles que soient les adresses et les entrées. Par contre, si V = 0, la sortie recopie l'entrée E sélectionnée grâce à l'adresse 3 bits A B C (A bit de plus faible poids).

ADRESSE				ENTREES								SORTIE
C	B	A	V	E_0	E_1	E_2	E_3	E_4	E_5	E_6	E_7	S
X	X	X	1	X	X	X	X	X	X	X	X	0
0	0	0	0	0	X	X	X	X	X	X	X	0
0	0	0	0	1	X	X	X	X	X	X	X	1
0	0	1	0	X	0	X	X	X	X	X	X	0
0	0	1	0	X	1	X	X	X	X	X	X	1
0	1	0	0	X	X	0	X	X	X	X	X	0
0	1	0	0	X	X	1	X	X	X	X	X	1
0	1	1	0	X	X	X	0	X	X	X	X	0
0	1	1	0	X	X	X	1	X	X	X	X	1
1	0	0	0	X	X	X	X	0	X	X	X	0
1	0	0	0	X	X	X	X	1	X	X	X	1
1	0	1	0	X	X	X	X	X	0	X	X	0
1	0	1	0	X	X	X	X	X	1	X	X	1
1	1	0	0	X	X	X	X	X	X	0	X	0
1	1	0	0	X	X	X	X	X	X	1	X	1
1	1	1	0	X	X	X	X	X	X	X	0	0
1	1	1	0	X	X	X	X	X	X	X	1	1

X = état indifférent

On pourra trouver quelques variantes :

- sortie S et/ou sortie complémentée $\overline{S}$
- sortie en collecteur ouvert permettant la connexion en OU des sorties.

Dans ce cas, on réalise l'inhibition (V = 1) en imposant S = 1 (transistor de sortie à l'état OFF).

La figure V-3 donne l'organisation d'un multiplexeur de 16 entrées (Série 54/74150) avec 4 bits d'adresse et une entrée de validation. Le nombre de portes étant finalement assez réduit on pourrait très bien songer à un module multiplexeur de 32 bits. Il y a malheureusement un problème technologique à résoudre : la définition et l'utilisation d'un boîtier miniature de 41 accès au moins !

MULTIPLEXEUR DE MOTS D'ENTREE

Un multiplexeur de mot travaille simultanément sur plusieurs bits. Il peut donc être regardé comme un ensemble de multiplexeurs de 1 parmi N

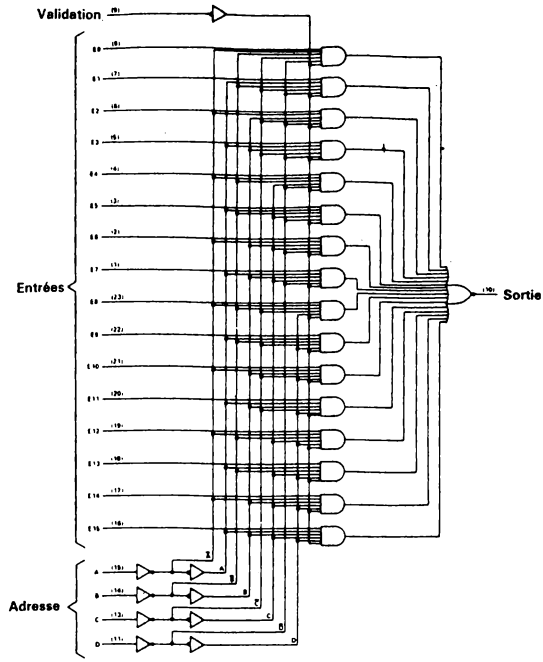


FIGURE V-3. — *Multiplexeur de 16 entrées (SN 54 150).*

fonctionnant simultanément (avec la même adresse). Ce type de multiplexeur accepte N groupes d'entrées (ou mots) de x bits. En sortie sur x accès on dispose du mot (un parmi les N d'entrée) qui est sélectionné grâce à l'adresse (n fils si $N = 2^n$). Le schéma fonctionnel est celui de la figure V-4.

Dans cette famille de multiplexeur on pourra trouver par exemple :

- multiplexeur de 2 nombres de 4 bits
- multiplexeur de 3 nombres de 4 bits
- multiplexeur de 4 nombres de 2 bits

La densité est là également essentiellement limitée par le nombre de connexions des boitiers standards (14 - 16 - 24).

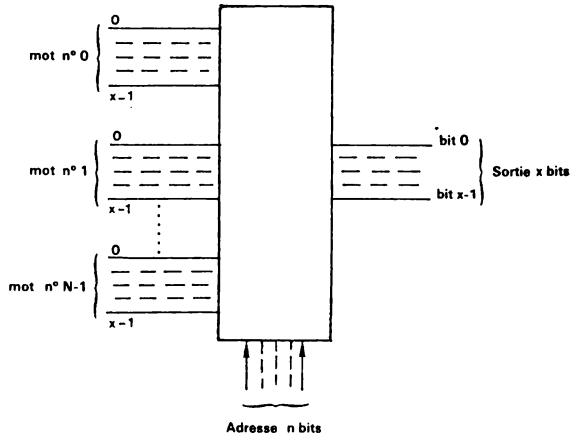


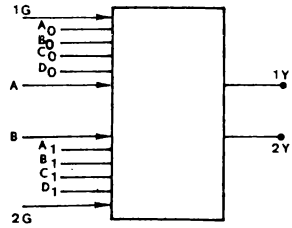
FIGURE V-4.— *Multiplexeur de N mots de x bits.*

EXEMPLE

Multiplexeur de 4 nombres de 2 bits (série 54/74153)

Une adresse 2 bits (AB) permet de sélectionner en sortie (1Y et 2Y) un des 4 mots binaires présents à l'entrée : $(A_0A_1)(B_0B_1)(C_0C_1)$ et (D_0D_1).

Ce fonctionnement en multiplexeur n'a lieu que si les signaux de validation 1G et 2G sont en 0.



La figure V-5 donne l'organisation de ce multiplexeur ainsi que sa table de vérité.

ENTREES												SORTIES	
ADRESSE		VALID					VALID						
A	B	1G	A_0	B_0	C_0	D_0	2G	A_1	B_1	C_1	D_1	1Y	2Y
X	X	1	X	X	X	X	1	X	X	X	X	0	0
0	0	0	0	X	X	X	0	0	X	X	X	0	0
0	0	0	1	X	X	X	0	1	X	X	X	1	1
0	1	0	X	0	X	X	0	X	0	X	X	0	0
0	1	0	X	1	X	X	0	X	1	X	X	1	1
1	0	0	X	X	0	X	0	X	X	0	X	0	0
1	0	0	X	X	1	X	0	X	X	1	X	1	1
1	1	0	X	X	X	0	0	X	X	X	0	0	0
1	1	0	X	X	X	1	0	X	X	X	1	1	1

Table de vérité

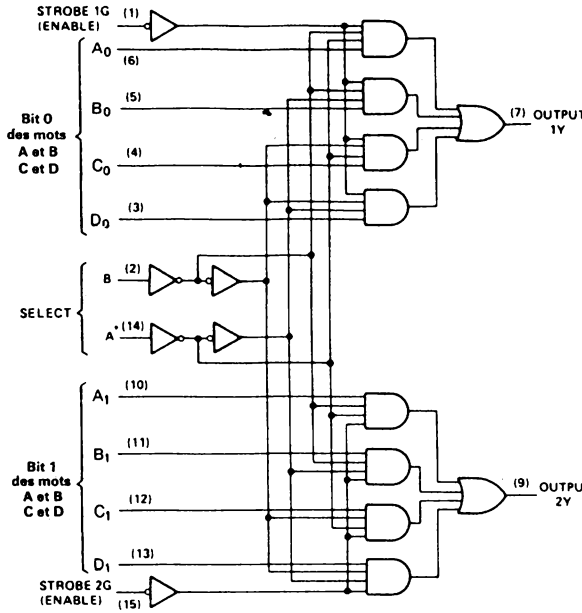


FIGURE V-5.— *Multiplexeur de 4 mots de 2 bits (SN 54 153).*

V-2- APPLICATIONS

V-2-1) CONVERSION PARALLELE-SERIE

On peut également réaliser une transformation parallèle-série grâce à un multiplexeur digital associé à un compteur binaire.

Soit par exemple à convertir en mode série une information composée de 32 bits disponibles en parallèle. Un compteur binaire de 5 étages peut délivrer jusqu'à 32 adresses. Il est mis au ZERO au début et chaque impulsion fait progresser de UN le compteur donc l'adresse envoyée.

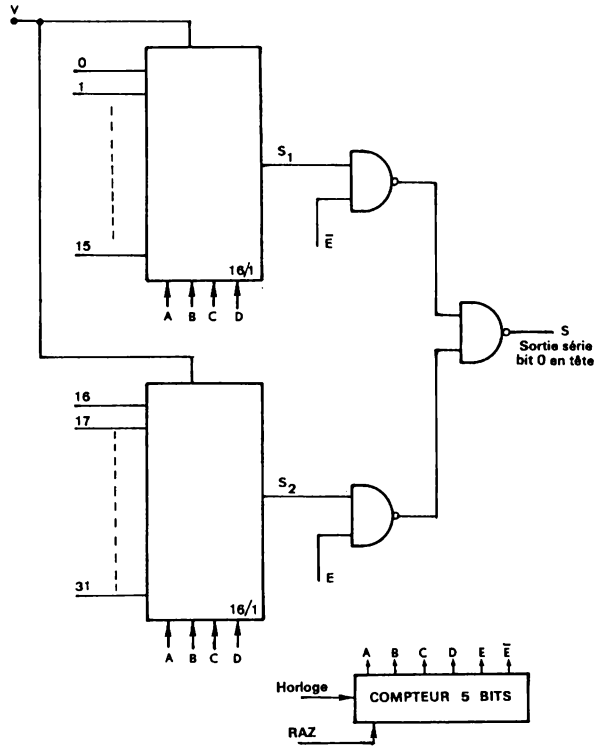


FIGURE V-6.—*Conversion parallèle-série de 32 bits.*

La figure V-6 montre une organisation possible. On recueille en sortie S l'information série, le premier bit présenté étant celui qui est connecté à l'entrée n° 0. La sortie E du 5ème étage compteur (poids le plus fort)

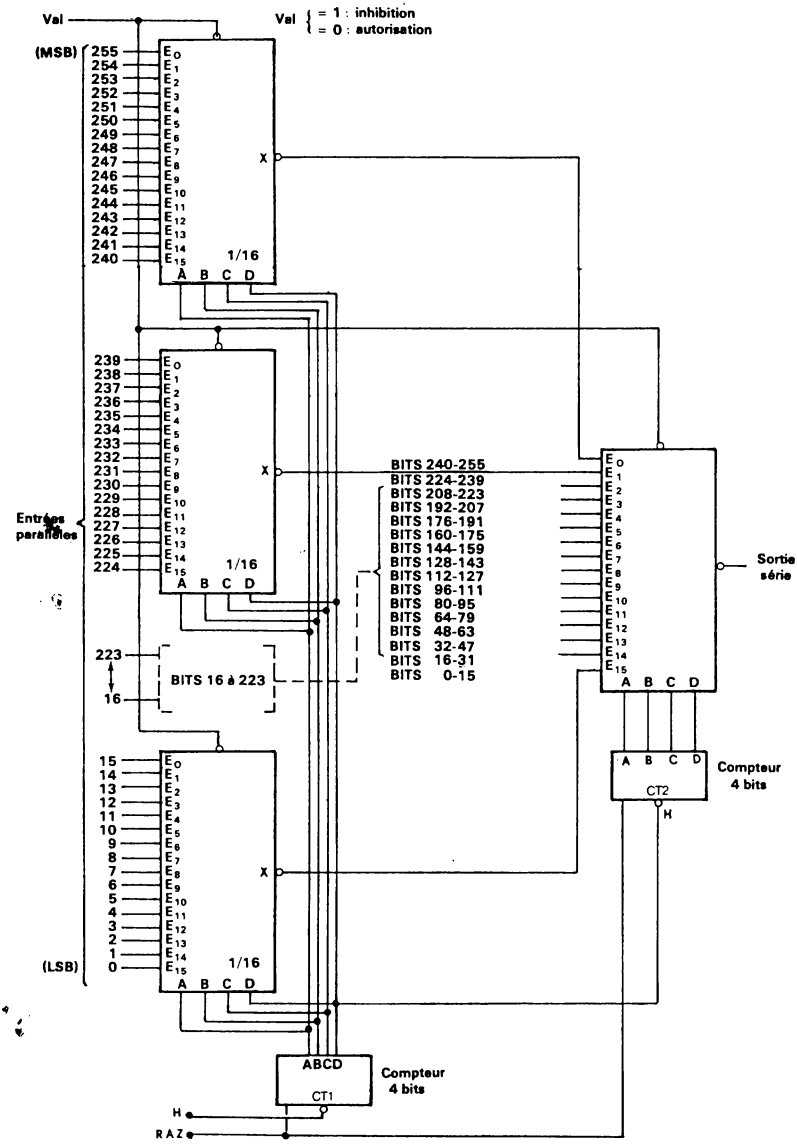


FIGURE V-7.— *Conversion parallèle-série d'un mot de 256 bits.*

sert à sélectionner soit la sortie S_1 soit la sortie S_2. Ces deux sorties sont elles-mêmes le résultat du choix de 1 entrée parmi 16 effectué grâce à l'adresse 4 bits fournie par les 4 premiers étages du compteur. Ainsi, quand le compteur occupe l'état A = 1, B = 0, C = 0, D = 0, E = 1, c'est le bit connecté à l'entrée 17 qui est transmis. La validation V peut être utilisée en sélection supplémentaire s'il y a plusieurs blocs. On pourrait aussi utiliser les 2 entrées V pour la sélection entre les deux modules et mettre les sorties S_1 et S_2 en connexion OU.

La figure V-7 montre l'organisation d'un système capable de traiter 256 bits.

1°) Sans compteur, ce système recevant directement les 8 fils d'adresse A B C D A'B'C'D', on obtient un concentrateur de données (multiplexeur de 256 entrées).
2°) Avec un compteur 8 bits, comme cela est représenté sur la figure V-7, on réalise une conversion parallèle-série d'un mot de 256 bits au rythme de l'horloge H. Les compteurs étant tout d'abord remis à ZERO, à cette adresse 0000 0000 correspond en sortie le bit n° 255 (MSB). A la première impulsion, le compteur CT1 passe à 0001 (A = 1) tandis que le compteur CT2 reste à 0000 et cette adresse sélectionne le bit n° 254 qui est donc présenté en sortie, etc...

La figure V-8 présente un concentrateur de mots. Avec 32 modules "multiplexeurs de 16 entrées", on réalise un multiplexage de 16 mots de 32 bits.

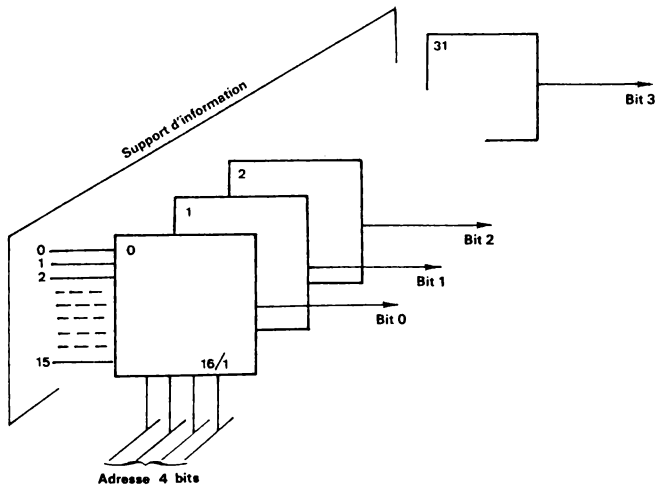


FIGURE V-8.—*Exemple de sélection d'un mot de 32 bits parmi 16 mots.*

Si le support d'information est facilement programmable (matrice à diodes, carte perforée + lecture photoélectrique etc...) le système de la figure V-8 représente un générateur de séquences programmées.

V-2-2) CONCENTRATION DE DONNEES ET TRANSMISSION PARALLELE

PROBLEME :

Regrouper N mots de x bits (par exemple 16 bits) issus de systèmes numériques occupant des positions géographiques très différentes, pour les concentrer sur une ligne omnibus de x bits.

Solution n° 1

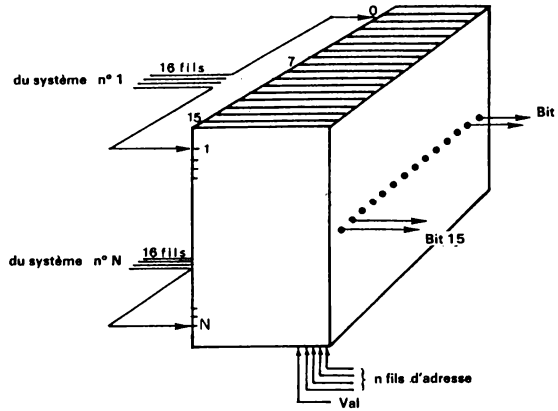


FIGURE V-9.—*Concentrateur de données numériques.*

$N = 2^n$ est le nombre d'information 16 bits à regrouper dans le concentrateur (fig. V-9) qui reçoit en outre n fils d'adresse et une validation. Si les N systèmes numériques sont proches les uns des autres, le concentrateur est placé au milieu de ces systèmes et l'information est délivrée à la ligne omnibus 16 bits, au moyen de 16 amplificateurs de ligne. Cette ligne omnibus ira généralement à une unité d'entrée-sortie d'un calculateur numérique par l'intermédiaire d'un coupleur. Il est donc nécessaire dans ce cas d'utiliser :

- 16 fils pour la donnée
- n fils pour sélectionner le système
- 1 fil de validation.

Mais le concentrateur doit accepter à l'entrée N x 16 fils. Supposons que N = 64. La constitution d'un tel concentrateur est vue à la fig. V-10. Il utiliserait par exemple 4 x 16 boîtiers MSI "sélecteurs d'une voie parmi 16" et les sorties de ces sélecteurs seraient OU connectables. Les

64 boîtiers peuvent occuper un volume relativement petit mais les 1024 fils d'entrée à accepter interdisent toute miniaturisation. De plus ce grand nombre de fils finit par poser des problèmes d'encombrement et de poids.

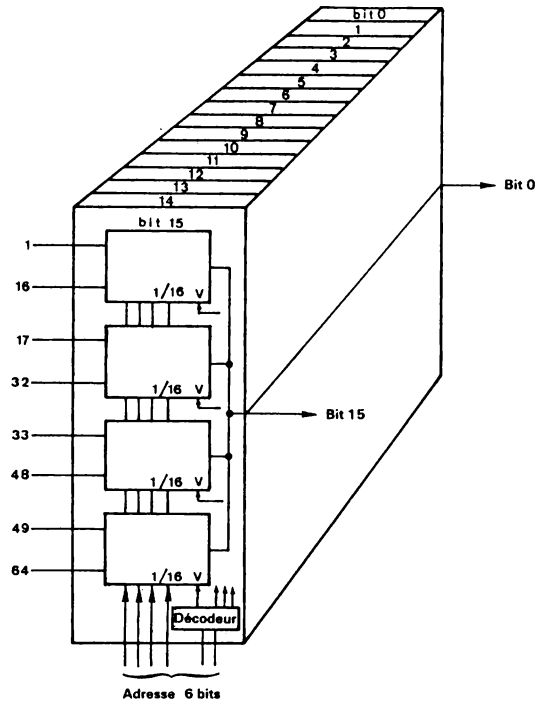


FIGURE V-10.—*Concentrateur de 64 mots de 16 bits.*

Solution n° 2

Chacun des N systèmes numériques délivre l'information x bits (x = 16 souvent) à l'aide d'étages de sortie OU connectable et possède naturellement une entrée de sélection. Ces étages de sortie pourront être simplement des portes NAND de puissance à collecteur ouvert comme on le voit sur la fig. V-11.

Les bits de même rang (i) de chacun des N systèmes numériques sont reliés par un cablage série comme le montre la fig. V-12.

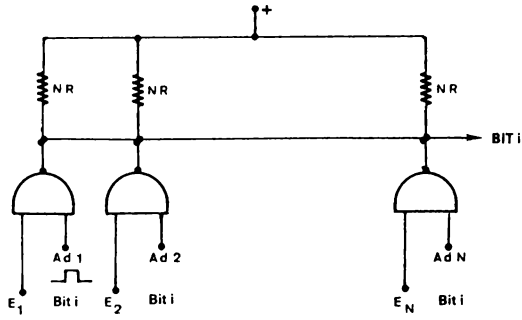


FIGURE V-11.

On a donc une ligne omnibus de x fils qui court de système en système et après le n° N, si le trajet pour arriver à l'unité centrale est encore long, on peut placer des amplificateurs de ligne. Il y en aura x. Le décodage d'adresse reçoit toujours n fils pour l'adresse codée et sélectionne une des N voies de sortie.

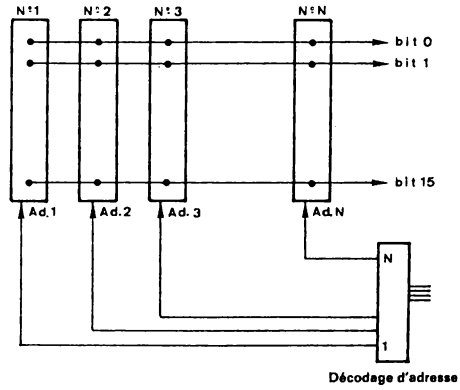


FIGURE V-12.—*Connection de sorties numériques en OU sur ligne omnibus.*

Dans le cas où cette configuration est jugée préférable à la solution n° 1, on remplace, à peu de chose près, N.x fils par x fils seulement.

REMARQUE

Si R est la résistance minimum que peut accepter le circuit de sortie OU connectable on devra cabler une résistance de valeur N.R.

-La vitesse de fonctionnement sera limitée car diminuer la valeur de R en deça de 100 Ω présentera de sérieures difficultés (impulsions de courant de 50 mA sous 5 volt et utilisation de portes de forte puissance).

Par contre si R a une valeur élevée, 1000 Ω par exemple, les parasites seront plus difficiles à combattre notamment ceux qui résultent d'un couplage capacitif (lignes voisines).

Solution n° 3

Dans ce domaine les circuits dits à 3 états (rappelons qu'il faut comprendre : à troisième état bloqué) apportent une amélioration. Celle-ci est due au fait qu'ils présentent une sortie basse impédance aux deux états 0 et 1 logiques et que leur 3e état (OFF) leur permet d'être tous réunis sur une ligne commune (ou unibus). On remarquera de plus que si les interrogations sont peu fréquentes la consommation est minimisée.

En conséquence si chaque système numérique à multiplexer est équipé de circuits 3 états la configuration est celle représentée à la figure V-13.

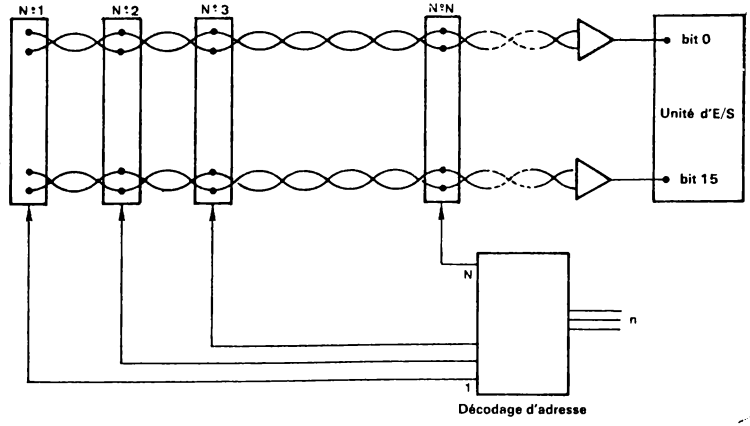


FIGURE V-13.

Enfin dans le cas de lignes de transmissions d'une certaine longueur (plusieurs mètres) on pourra utiliser des émetteurs récepteurs différentiels de ligne (figure V-14).

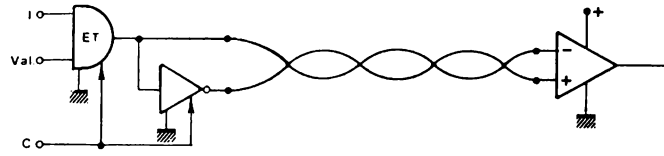


FIGURE V-14. — *Emetteur-récepteur différentiel.*

L'étage émetteur est constitué de deux étages de sortie déphasés de 180°, l'un tire le courant quand l'autre le pousse. A l'extrémité de la ligne un récepteur différentiel restitue les niveaux logiques habituels. La ligne de transmission est bifilaire et les courants qui circulent dans ces deux fils torsadés, égaux et de sens opposé, n'engendreront qu'une induction très faible.

Parallèlement la ligne sera l'objet de f.e.m. induite parasite mais le récepteur différentiel pourra atténuer ces tensions de mode commun. D'où un gain en immunité aux bruits très appréciable.

Finalement l'évolution de la technologie rend possible une nouvelle configuration qui permet une amélioration des performances et un gain d'interconnexion par exemple comme cela apparaît à la figure V-15 où sont rassemblées les 3 solutions qui viennent d'être évoquées.
A savoir :

1) Pas de possibilité de connecter en bus unique les informations sources, d'où l'utilisation de multiplexeurs.

2) Pas de possibilité de connecter en bus unique les informations sources, mais utilisation de portes 3 états pour la connexion sur unibus.

3) Les informations sources sont délivrées à l'aide de circuits 3 états et sont connectées directement sur l'unibus.

On observe que dans le cas 1 l'adresse de sélection est envoyée sous forme codée aux étages multiplexeurs et dans les cas 2 et 3 un décodeur d'adresse valide une parmi les n sorties 3 états.

D'une façon générale il est certain que le choix de la solution pour un problème donné sera nettement influencé par les paramètres suivants :
- la distance systèmes numériques-unité de traitement.
- la dispersion des systèmes numériques.
- la quantité des systèmes numériques.
- le nombre de bits à transmettre en parallèle.
- la rapidité des signaux échangés.
- l'encombrement et le poids acceptés.

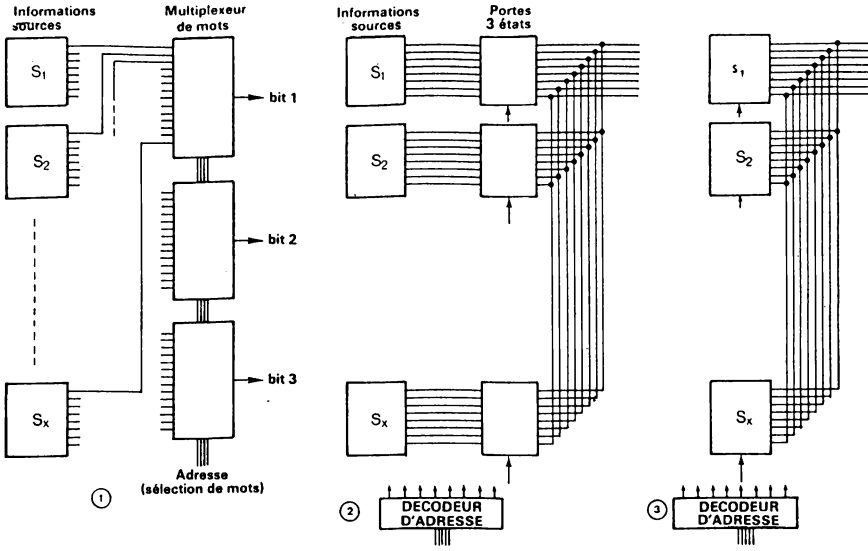


FIGURE V-15. —*Multiplexage d'un grand nombre de données numériques.*

V-2-3) CONCENTRATION D'UN GRAND NOMBRE DE DONNEES

Dans le cas extrême où en différents endroits sont rassemblés un grand nombre d'informations numériques (2^Y) et où une certaine distance sépare les organes, la configuration du système de multiplexage devient celle de la figure V-16 et il est intéressant de faire les observations suivantes :

1) La distance est importante mais les échanges sont effectués à l'aide de circuits 3 états à faible impédance de sortie OU, si cela est nécessaire, par émetteur-réception différentiel de ligne.

2) Le nombre de regroupements (blocs) étant élevé, l'adressage de chaque bloc est envoyé sous forme codée. L'adresse reconnue par le bloc donne lieu à une autorisation d'émission (sinon les circuits émetteurs sont à l'état OFF).

3) L'adresse du mot, 1 parmi 2^Y, appelé dans un bloc est indiquée en parallèle à tous les blocs. Mais seul le bloc sélectionné émet le mot adressé.

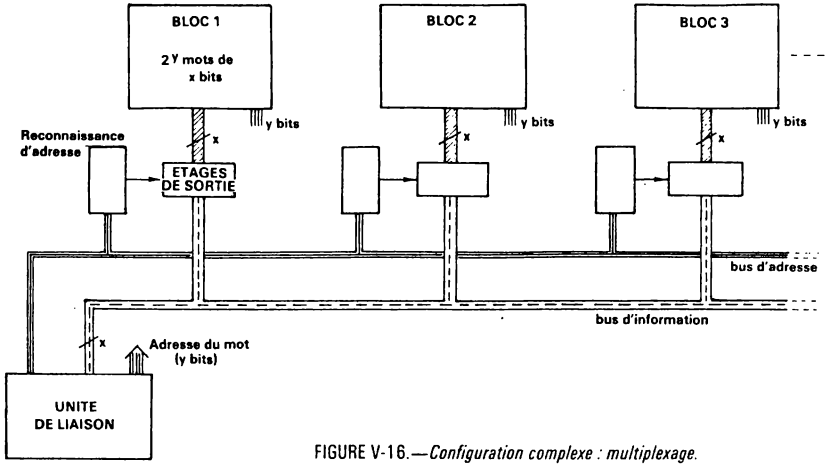


FIGURE V-16.—*Configuration complexe : multiplexage.*

EXEMPLE TYPIQUE

Plusieurs postes de commande ou de mesure sont supposés disséminés géographiquement et l'information est présentée en sortie sous forme numérique (codée BCD par exemple) à l'aide de circuits 3 états. Cette information codée peut être délivrée par un capteur numérique, une roue codeuse, un clavier etc...

Un poste de contrôle désire connaître à tout instant la position, ou le choix, de n'importe quel de ces postes de commande ou de mesure. L'organisation des liaisons est alors celle qui est représentée à la figure V-17 dont on peut constater la simplicité. Les modules qui permettent aux postes de commande de visualiser l'information BCD seront étudiés aux chapitres VI et IX.

V-2-4) UN MULTIPLEXEUR MONOLITHIQUE DE 2500 POINTS SUR UN CHIP ?

Dans ce domaine du multiplexage ou de concentration de données on rencontre donc un problème difficile : celui posé par de très nombreuses interconnexions.

L'exemple qui suit montre comment, pour une application précise, une intégration à grande échelle sur un même chip bouleverse les données du problème.

Une société américaine, Reticon Corporation, a pû intégrer une matrice de photodiodes (de 16 à 2500 !) pour former un rectangle de quelques

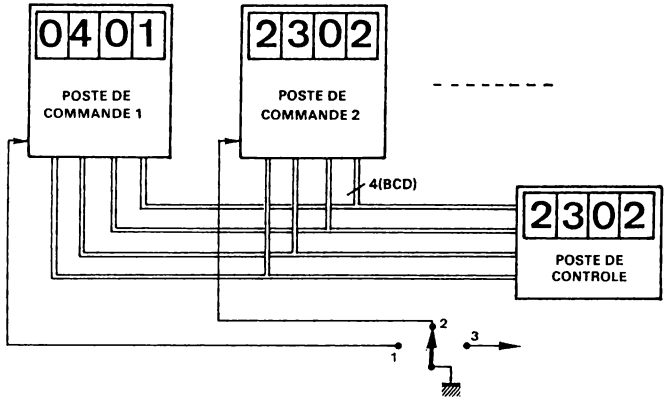


FIGURE V-17.

millimètres de côté. On est donc en présence d'un organe de lecture point par point de haute résolution (50 µm en moyenne).

Encore faut-il pouvoir exploiter le courant disponible à la sortie de ces photodiodes. Or il ne peut être question d'extraire de cette pastille 2500 fils. La transformation parallèle-série sur le chip lui-même s'impose donc pour tirer tout le bénéfice de cette grande intégration.

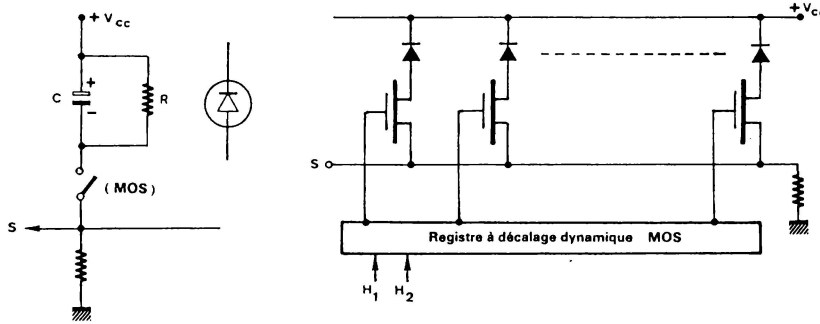
Un registre à décalage de x positions, pour x photodiodes, va permettre d'analyser tour à tour la situation de chaque photodiode en série avec laquelle un interrupteur MOS a été placé. Toutes les sorties de ces interrupteurs sont reliées à une résistance de charge commune afin d'assurer le multiplexage.

FONCTIONNEMENT

La photodiode est équivalente à une capacité et une résistance en parallèle, la valeur de cette dernière étant inversement liée à l'éclairement (de valeur élevée dans l'obscurité et de faible valeur pour un fort éclairement).

Toutes les cathodes des photodiodes étant reliées à un potentiel positif, si on commute chaque photodiode à une fréquence donnée, le réseau RC est soumis à un courant de charge (courant inverse de la photodiode) suivi d'un courant de décharge de C dans R qui est fonction de R donc de l'éclairement. L'intégration des charges électriques réalisée dans C dépend donc de l'éclairement (et de la fréquence d'interrogation). A chaque interroga-

tion on recueille sur la résistance de sortie une impulsion de courant fonction de la charge accumulée dans C donc de l'éclairement. Ces impulsions délivrées en série constituent le signal video du secteur analysé par la matrice de photodiodes. De plus, en fonction de la vitesse de balayage (scanning) adoptée, on modifie la sensibilité du systèmes puisque le temps d'intégration varie, cette sensibilité étant inversement proportionnelle à la vitesse de balayage. La figure V-18 rassemble le schéma équivalent du circuit de base, le schéma synoptique de l'ensemble photo-diodes registre à décalage et deux exemples de réalisation : un module de 2500 éléments (50 × 50) et un module de 512 (2 lignes de 256).



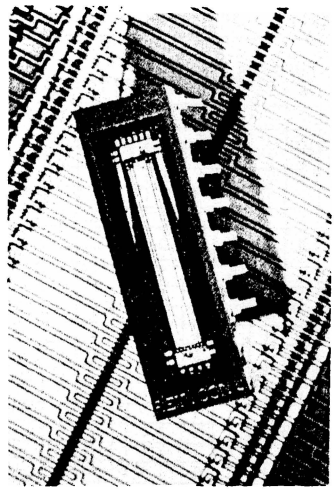


FIGURE V-18.
Solid state image sensors (Reticon Corporation).

VI- DECODEURS DIGITAUX

VI-1- INTRODUCTION

Un décodeur digital est un circuit combinatoire à l'entrée duquel on applique un code binaire de n bits. Deux variantes de circuit se présentent.

Dans la première le décodeur a N sortie avec en général $N = 2^n$. C'est le décodeur de n bits et sa particularité est de délivrer pour chaque valeur du code d'entrée, une seule sortie à l'état inverse de celui de toutes les autres ; par exemple : 1011...11.

La deuxième variante est plus générale : c'est le transcodeur ou convertisseur de code. A un code d'entrée de x bits correspond un code de sortie de y bits.

VI-2- DECODEUR n BITS OU SELECTEUR DE SORTIES

VI-2-1) PRINCIPES

Avec n bits on peut avoir 2^n combinaisons et donc désigner 2^n directions ou symboles. Décoder une information binaire de n bits c'est restituer à partir de ces n bits l'information discrète. On pourra ainsi sélectionner un chiffre, une lettre, un symbole, etc... parmi 2^n.

Prenons le cas où n = 2 (information AB). Le système comporte donc 4 sorties, S_0 S_1 S_2 S_3, et si on choisit un 0 Logique pour une voie validée (ou décodée) qui provoquera une action, la table de vérité est la suivante :

code (entrée)		sorties			
A	B	S_0	S_1	S_2	S_3
0	0	0	1	1	1
1	0	1	0	1	1
0	1	1	1	0	1
1	1	1	1	1	0

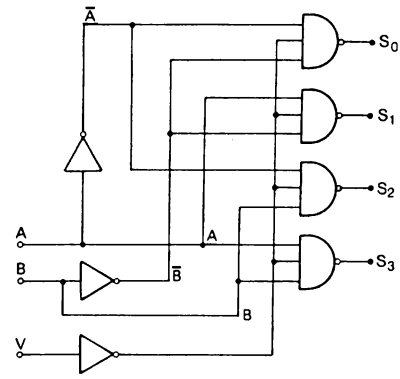


FIGURE VI-1.—*Décodeur 1 parmi 4.*

On peut donc écrire :

$$S_0 = A + B = \overline{\overline{A} \cdot \overline{B}}$$

$$S_1 = \overline{A} + B = \overline{A \cdot \overline{B}}$$

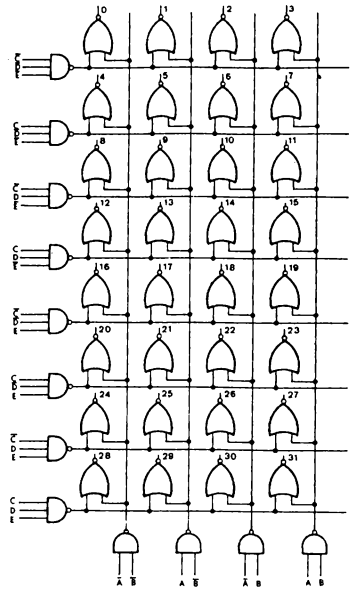
$$S_2 = A + \overline{B} = \overline{\overline{A} \cdot B}$$

$$S_3 = \overline{A} + \overline{B} = \overline{A \cdot B}$$

Avec des portes NAND, cela conduit au schéma de la fig. VI-1.

Enfin si une entrée de validation est désirée il suffit d'amener un niveau V (ou $\overline{V}$) sur chaque porte de sortie. Si on applique V à travers un inverseur, à V = 0 correspond l'autorisation de décoder et à V = 1 toutes les sorties sont à 1, quelque soit le code AB d'entrée.

Notons que si on décode des mots de plusieurs bits, l'utilisation d'une configuration en XY conduira à un système plus simple présentant surtout l'avantage de ne pas faire appel à des portes NAND à nombre d'entrées élevé (fig. VI-2).



DEC	A	B	C	D	E
0	0	0	0	0	0
1	1	0	0	0	0
2	0	1	0	0	0
3	1	1	0	0	0
4	0	0	1	0	0
5	1	0	1	0	0
6	0	1	1	0	0
7	1	1	1	0	0
8	0	0	0	1	0
9	1	0	0	1	0
10	0	1	0	1	0
11	1	1	0	1	0
12	0	0	1	1	0
13	1	0	1	1	0
14	0	1	1	1	0
15	1	1	1	1	0
16	0	0	0	0	1
17	1	0	0	0	1
18	0	1	0	0	1
19	1	1	0	0	1
20	0	0	1	0	1
21	1	0	1	0	1
22	0	1	1	0	1
23	1	1	1	0	1
24	0	0	0	1	1
25	1	0	0	1	1
26	0	1	0	1	1
27	1	1	0	1	1
28	0	0	1	1	1
29	1	0	1	1	1
30	0	1	1	1	1
31	1	1	1	1	1

FIGURE VI-2. — *Matrice de décodage 5 bits.*

Le schéma fonctionnel d'un décodeur de n bits est donné à la fig. VI-3 où on distingue :

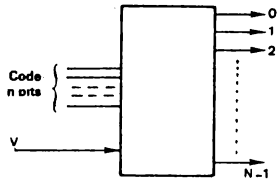
n entrées (code)

$N = 2^n$ sorties au maximum

une entrée validation V pouvant servir de sélection

Si V = 1 aucune sortie ne peut être validée

Si V = 0 le décodage est autorisé



$N = 2^n$ (en général)

FIGURE VI-3.
Décodeur n bits ou décodeur 1 parmi N.

Les circuits MSI permettent de réaliser simplement des décodages de mot binaire assez important en offrant des modules décodeur 4 bits.

VI-2-2) DECODEURS MSI

Les deux modules de base sont les décodeurs 3 et 4 bits présentant respectivement 8 et 16 sorties. Le décodeur 1 parmi 16 (54/74154) représenté à la figure VI-4 possède deux entrées de validation V_1 et V_2 mise en condition OU-NON ($V=\overline{V_1+V_2}$). Il faut que $V_1 + V_2 = 0$ pour autoriser le décodage c'est-à-dire que V_1 et V_2 doivent être à ZERO. La table de vérité est la suivante :

ENTREES						SORTIES S															
Validation		Adresse																			
V_1	V_2	D	C	B	A	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0	0	0	0	0	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1
0	0	0	0	1	0	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1
0	0	0	0	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1
0	0	0	1	0	0	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1
0	0	0	1	0	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1
0	0	0	1	1	0	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1
0	0	0	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1
0	0	1	0	0	0	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1	1
0	0	1	0	0	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1	1
0	0	1	0	1	0	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1	1
0	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1	1
0	0	1	1	0	0	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1	1
0	0	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1	1
0	0	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0	1
0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	0
0	1	X	X	X	X	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1	0	X	X	X	X	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
1	1	X	X	X	X	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1

X = état indifférent

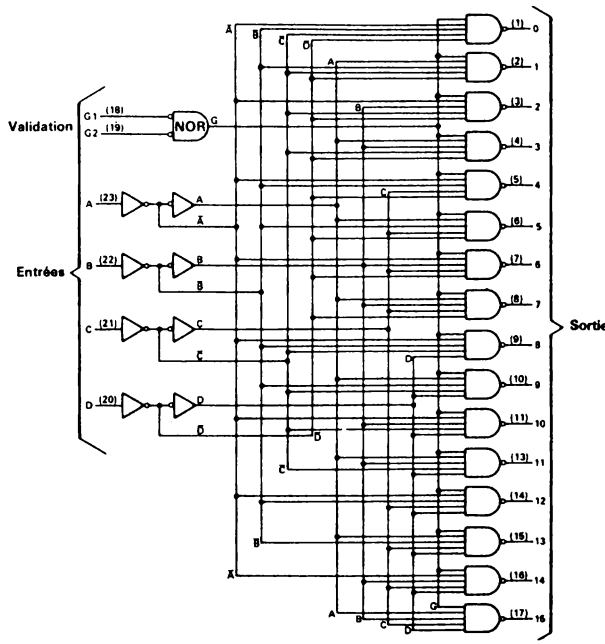


FIGURE VI-4. — *Décodeur 1 parmi 16 (54/74154).*

Les deux entrées de validation V_1 et V_2 augmentent notablement la capacité du système. C'est ainsi que l'on peut grâce à elles effectuer un décodage de 1 parmi 32, comme l'indique la figure VI-5 à l'aide de 4 modules de 1 parmi 8, ou bien un décodage de 1 parmi 64 avec 4 modules de 1 parmi 16. Dans le cas de la fig. IV-5, l'adresse est fournie sur 5 fils dont 3 pour sélectionner la voie dans le module et 2 fils pour sélectionner le module parmi les 4. Puisque $V_1 + V_2$ doit être égal à ZERO pour que le décodage soit possible, les 8 premières sorties dont le code s'étend de 00000 à 00111 sont données par le module qui reçoit $V_1 = 0$ et $V_2 = 0$, c'est-à-dire $V_1 = a$, $V_2 = b$. Les 8 suivantes dont le code s'étend de 01 000 à 01 111 appartiennent au module qui reçoit $V_1 = a$ et $V_2 = \overline{b}$, etc... Si on désire disposer d'une sélection pour l'ensemble 1/32, 4 portes ET-NON (1 boîtier), au lieu de deux inverseurs pour donner $\overline{a}$ et $\overline{b}$, sont nécessaires comme l'indique la fig. VI-5 (si la validation V = 0, on fait $V_1 + V_2 = 1$ pour tous les modules et aucun décodage n'est possible).

Les entrées V_1 et V_2 permettent également d'aiguiller une donnée. En effet, pour une adresse i donnée et si $V_1 = 0$, la sortie S_i correspondant à cette adresse i sera 0 si $V_2 = 0$, et elle sera 1 si $V_2 = 1$.

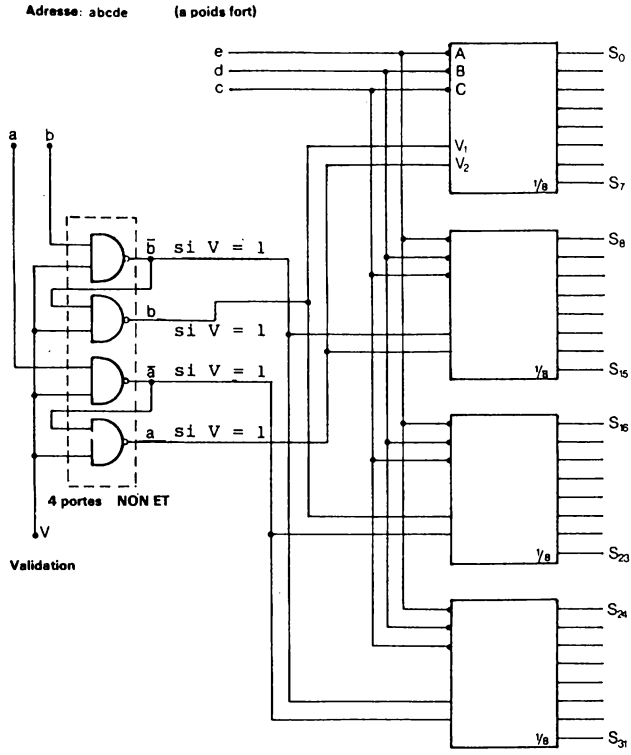


FIGURE VI-5.—*Décodeur 5 bits.*

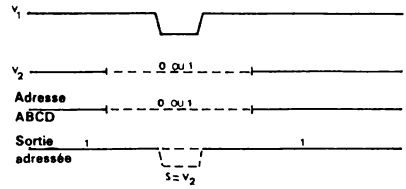
On peut donc considérer que la sortie S_i reproduit la valeur appliquée en V_2.

Un diagramme des temps est donné à la fig. VI-6.

VI-2-3) APPLICATIONS

- Circulation d'un état binaire (balayage séquentiel).

Un compteur et un décodeur tous deux de x bits (2^x positions) sont capables d'assurer un balayage séquentiel. Au départ le compteur (figure VI-7) est remis à zéro et seule la sortie n° 0 du décodeur est validée : elle occupe l'état ZERO. Le compteur est incrémenté au rythme de l'horloge H et passe par ses 2^x états successifs.



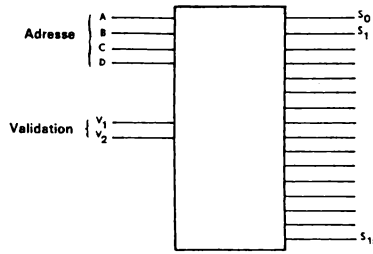


FIGURE VI-6.—*Décodeur 1 parmi 16.*

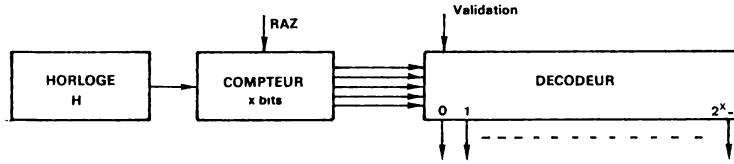


FIGURE VI-7.—*Balayage séquentiel.*

Il en est de même pour le décodeur : l'état binaire ZERO passe séquentiellement par toutes les sorties, de la sortie n° 0 à la sortie n°2^X-1, permettant un balayage séquentiel d'un système à 2^X voies reliées au décodeur.

- Multiplexage analogique

Pour réaliser un multiplexage analogique, on utilisera un décodeur dont chaque sortie commandera un interrupteur (à relais, à transistor, etc ...) qui laissera passer ou bloquera le signal analogique.

La figure VI-8 donne le schéma d'un multiplexeur analogique à 8 entrées (voies) dont les adresses sont exprimées par les bits A B C (3 bits)

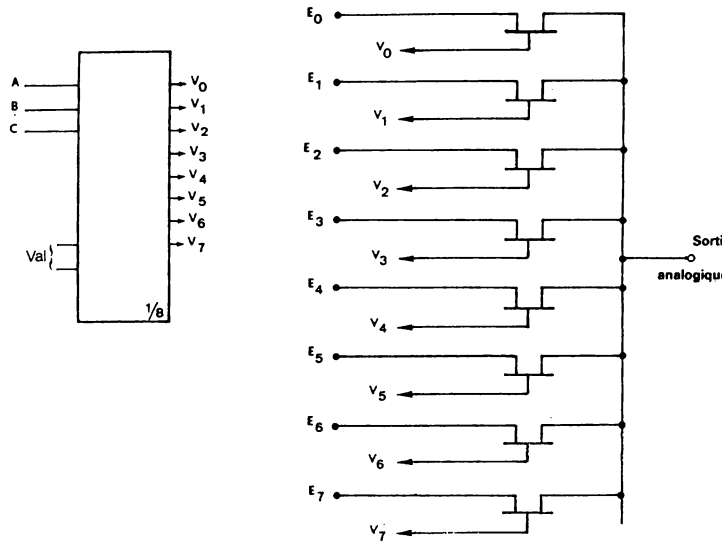


FIGURE VI-8.—*Multiplexeur analogique de 8 entrées.*

VI-2-4) CAS PARTICULIER : LE DECODEUR BCD

Un code BCD (binary coded décimal ou DCB = décimal codé binaire) est un code 4 bits dont 10 combinaisons sur les 16 possibles sont employées pour désigner les dix chiffres décimaux 0 à 9.

Un décodeur BCD est donc un décodeur qui a 4 entrées, plus une entrée de validation en général, et 10 sorties l'une d'entr'elles étant seule validée, à ZERO par exemple (on dit également active). Les autres sorties sont dans l'état inverse et ces différentes combinaisons, il y en a 10, sont naturellement reliées à la valeur numérique BCD appliquée à l'entrée. Quant aux 6 autres combinaisons non utilisées, si elles sont malgré tout appliquées au décodeur, celui-ci est conçu pour mettre toutes ses sorties sans exception à l'état non validé (UN par exemple).

Le tableau suivant rassemble quatre codes BCD exprimés respectivement selon le code binaire pur, le code à excès de 3, le code Gray et, le code Gray à excès de 3, dont les dix premières combinaisons désignent chacune un chiffre décimal.

L'emploi d'un décodeur BCD peut être généralisé.

Binaire pur				Excès 3				Gray				Excès 3 Gray				Décimal									
D	C	B	A	D	C	B	A	D	C	B	A	D	C	B	A	0	1	2	3	4	5	6	7	8	9
0	0	0	0	0	0	1	1	0	0	0	0	0	0	1	0	0	1	1	1	1	1	1	1	1	1
0	0	0	1	0	1	0	0	0	0	0	1	0	1	1	0	1	0	1	1	1	1	1	1	1	1
0	0	1	0	0	1	0	1	0	0	1	1	0	1	1	1	1	1	0	1	1	1	1	1	1	1
0	0	1	1	0	1	1	0	0	0	1	0	0	1	0	1	1	1	1	0	1	1	1	1	1	1
0	1	0	0	0	1	1	1	0	1	1	0	0	1	0	0	1	1	1	1	0	1	1	1	1	1
0	1	0	1	1	0	0	0	0	1	1	1	1	1	0	0	1	1	1	1	1	0	1	1	1	1
0	1	1	0	1	0	0	1	0	1	0	1	1	1	0	1	1	1	1	1	1	1	0	1	1	1
0	1	1	1	1	0	1	0	0	1	0	0	1	1	1	0	1	1	1	1	1	1	1	0	1	1
1	0	0	0	1	0	1	1	1	1	0	0	1	1	1	1	1	1	1	1	1	1	1	1	0	1
1	0	0	1	1	1	0	0	1	1	0	1	1	0	1	0	1	1	1	1	1	1	1	1	1	0
1	0	1	0	1	1	0	1	1	1	1	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1
1	0	1	1	1	1	1	0	1	1	1	0	1	0	0	1	1	1	1	1	1	1	1	1	1	1
1	1	0	0	1	1	1	1	1	0	1	0	1	0	0	0	1	1	1	1	1	1	1	1	1	1
1	1	0	1	0	0	0	0	1	0	1	1	0	0	0	0	1	1	1	1	1	1	1	1	1	1
1	1	1	0	0	0	0	1	1	0	0	1	0	0	0	1	1	1	1	1	1	1	1	1	1	1
1	1	1	1	0	0	1	0	1	0	0	0	0	0	1	1	1	1	1	1	1	1	1	1	1	1

Tout d'abord on peut observer qu'il peut être utilisé en tant que décodeur octal (3 bits). En effet quand le bit D = 0 le décodage du code CBA est exécuté et quand D = 1 aucune des 8 premières sorties (0 à 7) ne peut être validée et ce quelque soit CBA puisque la valeur numérique DCBA est égale ou supérieure à 8. L'entrée D sera donc utilisée en entrée de validation pour un fonctionnement en décodeur octal.

Si maintenant on désire n'utiliser qu'un seul type de décodeur BCD, correspondant au code binaire pur, et pourtant décoder les autres codes BCD, deux décodeurs utilisés comme le précise la figure VI-9 résoudront le problème. Le tableau de cette figure indique le numéro des sorties qui sont sélectionnées pour chaque code et où devra être connecté l'organe à commander

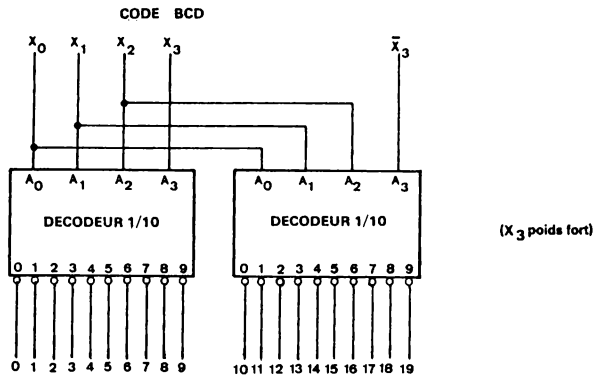


FIGURE VI-9.— *Décodeur tous codes BCD.*

Chiffre décimal	SORTIES SELECTIONNEES					
	CODE BCD					
	8421	5421	Excès de 3	4221	Gray	Gray excès 3
0	0,18	0,18	3	0,18	0,18	2
1	1,19	1,19	4	1,19	1,19	6
2	2	2	5	2	3	7
3	3	3	6	3	2	5
4	4	4	7	6	6	4
5	5	8,10	8,10	9,11	7	14
6	6	9,11	9,11	14	5	15
7	7	12	12	15	4	17
8	8,10	13	13	16	14	16
9	9,11	14	14	17	15	12

(par exemple une porte, un relais ou un chiffre à allumer). Ainsi pour le code à excès de 3 l'information binaire désignant le chiffre 5 (1000) sera telle que $X_0 = 0$, $X_1 = 0$, $X_2 = 0$, $X_3 = 1$ et puisque $X_3 = 1$, $\overline{X}_3 = 0$. L'ensemble de ces deux décodeurs validera les sorties numérotées 8 et 10. En effet, le premier décodeur comprend 8 et sélectionne donc sa voie n° 8 et le deuxième décodeur comprend 0 (0000). Il sélectionne donc sa voie n° 0 (numérotée 10). Par contre, l'information binaire 1010 qui désigne le chiffre 7 dans ce même code ne provoquera aucun décodage dans le premier décodeur (toutes ses sorties sont à 1) et le deuxième décodeur qui reçoit $\overline{X}_3 X_2 X_1 X_0$, c'est-à-dire 0010 valide sa voie n° 2 (numérotée 12) sur laquelle on connectera donc le chiffre 7.

VI-2-5) DECODEURS DE GRANDE CAPACITE

Quand le nombre N de sorties est élevé, par exemple 256 (16 x 16), on a recours à un décodage à deux niveaux, ou plus, suivant la possibilité des modules de base.

La figure VI-10 donne l'organisation d'un décodage à deux niveaux pour le cas général de X.N sorties. En général, on aura $X = 2^x$ et $N = 2^n$. Le code d'entrée est donc constitué de x+n bits. Le décodeur 1 parmi X reçoit les x bits et donne en sortie un signal de sélection qui est utilisé pour valider au deuxième niveau un module à N sorties. Il y en a naturellement X. Ces modules reçoivent tous les n bits restants et un seul, celui qui est validé, délivre la voie décodée. Un signal de validation générale V est appliqué au décodeur du premier niveau.

Si V = 0, le décodage est possible ; si V = 1, toutes les sorties du décodeur 1 parmi X sont à 1 et donc également toutes les sorties des X décodeurs du deuxième niveau. Le code de chaque sortie est donné par le tableau suivant (cas de 16 x 16 sorties) :

N° sortie	Codes	
	x	n
0	0 0 0 0	0 0 0 0
1	0 0 0 0	0 0 0 1
⋮	⋮ ⋮ ⋮ ⋮	⋮ ⋮ ⋮ ⋮
15	0 0 0 0	1 1 1 1
16	0 0 0 1	0 0 0 0
⋮	⋮ ⋮ ⋮ ⋮	⋮ ⋮ ⋮ ⋮
31	0 0 0 1	1 1 1 1
⋮	⋮ ⋮ ⋮ ⋮	⋮ ⋮ ⋮ ⋮
255	1 1 1 1	1 1 1 1

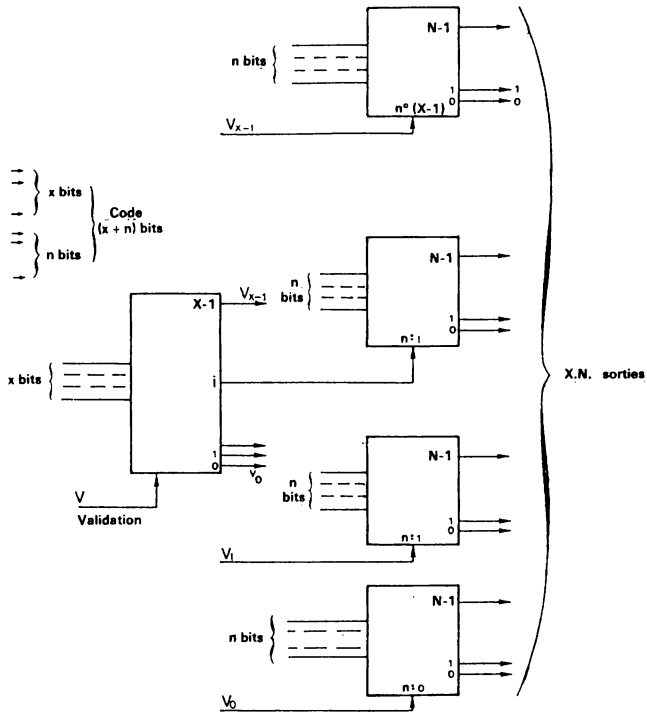


FIGURE VI-10. — *Décodage 1 parmi X.N .*

VI-2-6) ADRESSAGE ET TRANSFERT DE DONNEES

Les échanges d'information entre, par exemple, une unité centrale et des périphériques se font généralement à l'aide d'un ou de plusieurs octets (8 bits). Trois sortes de signaux sont échangés : des signaux de service et de reconnaissance, des signaux véhiculant l'information "donnée", des signaux véhiculant l'information "adresse".

Cette dernière partie, l'adresse, est nécessaire pour que chaque organe à qui est destinée l'information "donnée" présente, puisse être sélectionné, c'est-à-dire prendre en compte cette information "donnée". On trouvera généralement un registre tampon pour la donnée et pour l'adresse. Ce sont les registres A et D de la fig. VI-11-1. Le registre adresse A de n bascules (8 par exemple) va pouvoir désigner jusqu'à 2^n localisations. En fait, très souvent une unité péritphérique pourra être constituée de plusieurs voies, ou adresses. Une partie (X) désignera donc l'adresse de cette voie dans le périphérique et la deuxième partie (Y) désignera le périphérique concerné.

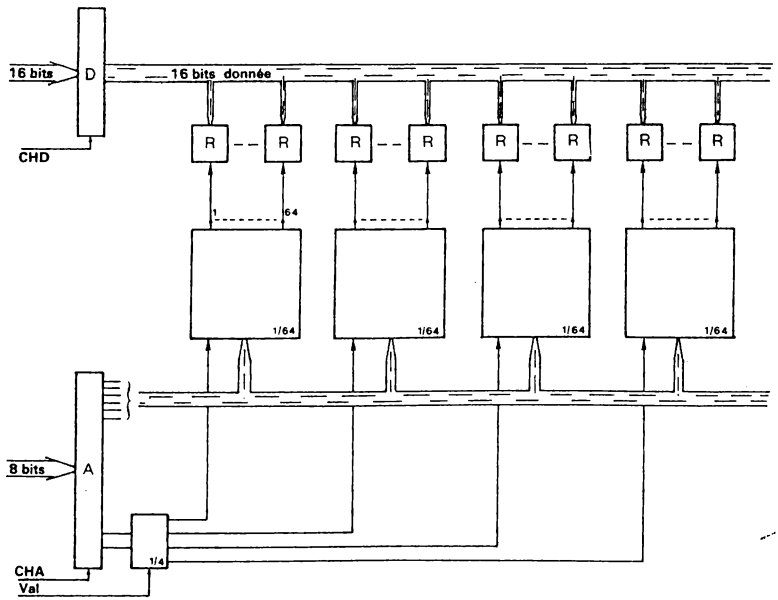


FIGURE VI-11-1.—*Organisation d'un système à 256 voies.*

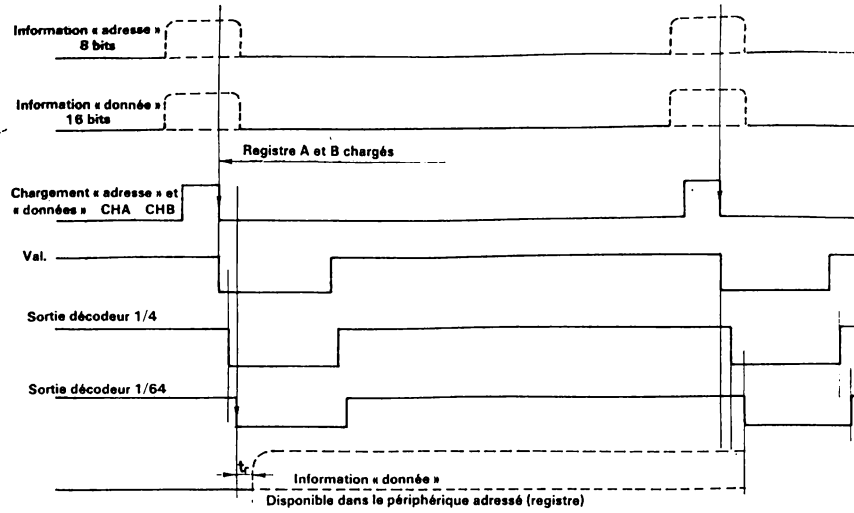
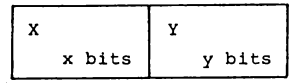


FIGURE VI-11-2.—*Diagramme des temps pour un transfert d'information.*



$x + y = n$

Adresse n bits

EXEMPLE : n = 8.

Supposons que quatre périphériques sont à commander. Chacun pourra posséder jusqu'à 64 localisations différentes. Les deux premiers bits ($x_0 x_1$) de l'adresse désigneront le périphérique et les 6 derniers y_0 à y_5 donneront les 64 adresses dans le périphérique sélectionné. Une ligne unibus présente l'information "donnée" à tous les registres du système. L'organisation d'un tel système est alors celui de la fig. VI-11-1 où on a supposé que la donnée était transmise sur 16 bits. La capacité du système réside dans sa possibilité de prélever à grande vitesse (1 µs) une information de 16 bits qu'il peut garder en mémoire le temps nécessaire et ceci pour 256 utilisations différentes fonctionnant simultanément. On notera tout de même que dans ce cas, compte tenu des capacités de transfert courantes pour les ordinateurs, on ne pourra pas renouveler l'information digitale d'un même registre à une fréquence supérieure à 1000 Hz (4 µs pour chaque transfert soit 1 ms au total). Néanmoins, les organes pour lesquels cette cadence serait insuffisante pourront être alimentés plus souvent au détriment des autres.

VI-3- TRANSCODEUR OU CONVERTISSEUR DE CODE

Ce type de décodeur est plus général que celui étudié au paragraphe précédent, en ce sens que plusieurs de ses sorties peuvent être simultanément validées toujours en relation avec le code d'entrée. Les deux applications les plus importantes sont :

- la conversion de code.
- l'affichage par segments ou par matrice de points

VI-3-1) CONVERSION DE CODE

Pour passer d'un code binaire à un autre, on utilisera un convertisseur de code. Exemple : convertisseur GRAY-BINAIRE. Pour bâtir le schéma de ce convertisseur, il y a lieu d'écrire la table de vérité et les équations logiques à l'aide des méthodes habituelles (simplification, tableau de Karnaugh etc...).

Prenons pour exemple la conversion du code Gray au code binaire. La table de vérité (pour 4 bits) montre que le bit de poids le plus fort est le même pour les deux codes ($S_3 = D$). On constate également que $S_2 = C$ si $D = 0$ ou $\overline{C}$ si $D = 1$, donc $S_2 = C\overline{D} + \overline{C}D = C \oplus D$.

	GRAY				BINAIRE			
décimal	D	C	B	A	S_3	S_2	S_1	S_0
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	1	0	0	1	0
3	0	0	1	0	0	0	1	1
4	0	1	1	0	0	1	0	0
5	0	1	1	1	0	1	0	1
6	0	1	0	1	0	1	1	0
7	0	1	0	0	0	1	1	1
8	1	1	0	1	1	0	0	0
9	1	1	0	1	1	0	0	1
10	1	1	1	1	1	0	1	0
11	1	1	1	0	1	0	1	1
12	1	0	1	0	1	1	0	0
13	1	0	1	1	1	1	0	1
14	1	0	0	1	1	1	1	0
15	1	0	0	0	1	1	1	1

$S_1 = B$ si $C = 0$ et si $D = 0$

$S_1 = \overline{B}$ si $C = 1$ et si $D = 0$

$S_1 = B$ si $C = 1$ et si $D = 1$

$S_1 = \overline{B}$ si $C = 0$ et si $D = 1$

Donc :

$S_1 = B\,\overline{C}\,\overline{D} + \overline{B}\,C\,\overline{D} + B\,C\,D + \overline{B}\,\overline{C}\,D$

$S_1 = B(\overline{C}\,\overline{D} + C\,D) + \overline{B}\,(C\,\overline{D} + \overline{C}\,D)$

$S_1 = B\overline{(C \oplus D)} + \overline{B}\,(C \oplus D)$

$S_1 = B\overline{X} + \overline{B}X$

soit :

$S_1 = B \oplus C \oplus D = B \oplus S_2$

On trouverait en raisonnant de même que :

$$S_0 = A \oplus B \oplus C \oplus D = A \oplus S_1$$

La réalisation de ce convertisseur peut donc se faire à l'aide de deux configurations (figure VI-12 (a) et (b)) :

La solution (a) offre le maximum de rapidité mais nécessite un OU exclusif à 4 entrées. La solution (b) est moins rapide, S_0 ne sera vrai que

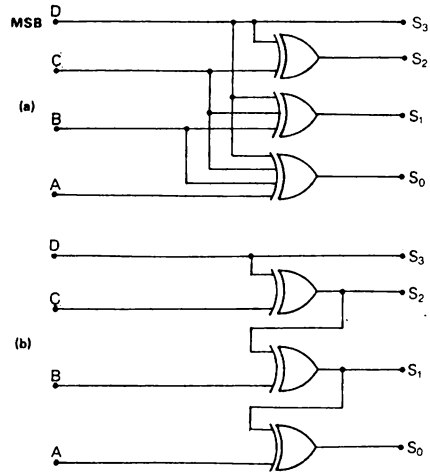
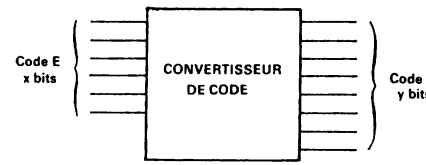


FIGURE VI-12.—*Convertisseur Gray-binaire.*

deux temps de retard après S_2, mais n'utilise que des OU exclusifs à 2 entrées.

D'une façon générale le code de sortie S composé de x bits est relié au code d'entrée E de y bits par les relations :



$S_0 = f_0(E)$

$S_1 = f_1(E)$

$S_2 = f_2(E)$

etc...

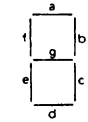
Pour chaque conversion de code ces fonctions S sont à calculer à partir de la table de vérité comme cela vient d'être fait.

Dans certains cas, comme la conversion binaire-décimal ou inversement, on est conduit à des circuits plus complexes et de plus le module doit permettre une extension facile pour traiter des mots binaires importants. Par exemple pour convertir 16 bits du code binaire pur au code BCD (résultat sur 20 bits) il faut un ensemble de 16 modules "convertisseur binaire à BCD série 54/74185 A" qui traite 6 bits binaire à l'entrée. Ces circuits combinatoires à haute densité d'intégration sont analogues à des systèmes cablés ou mémoires figées et peuvent finalement être rangés dans **la famille des mémoires mortes (voir chapitre VIII).**

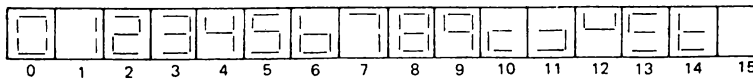
VI-3 2) DECODEUR B C D / 7 SEGMENTS

Avec 7 segments disposés comme le précise la figure VI-13 on peut afficher les 10 chiffres décimaux. Un décodeur B C D/7 segments fair correspondre au code B C D une information en sortie composée de 7 voies qui contrôlent chacune un segment. Si cette voie est à ZERO, le segment sera allumé et si elle est à 1, le segment sera éteint.

DECIMAL OR FUNCTION	INPUTS						BI/RBO†	OUTPUTS						
	LT	RBI	D	C	B	A		a	b	c	d	e	f	g
0	H	H	L	L	L	L	H	ON	ON	ON	ON	ON	ON	OFF
1	H	X	L	L	L	H	H	OFF	ON	ON	OFF	OFF	OFF	OFF
2	H	X	L	L	H	L	H	ON	ON	OFF	ON	ON	OFF	ON
3	H	X	L	L	H	H	H	ON	ON	ON	ON	OFF	OFF	ON
4	H	X	L	H	L	L	H	OFF	ON	ON	OFF	OFF	ON	ON
5	H	X	L	H	L	H	H	ON	OFF	ON	ON	OFF	ON	ON
6	H	X	L	H	H	L	H	OFF	OFF	ON	ON	ON	ON	ON
7	H	X	L	H	H	H	H	ON	ON	ON	OFF	OFF	OFF	OFF
8	H	X	H	L	L	L	H	ON	ON	ON	ON	ON	ON	ON
9	H	X	H	L	L	H	H	ON	ON	ON	OFF	OFF	ON	ON
10	H	X	H	L	H	L	H	OFF	OFF	OFF	ON	ON	OFF	ON
11	H	X	H	L	H	H	H	OFF	OFF	ON	ON	OFF	OFF	ON
12	H	X	H	H	L	L	H	OFF	ON	OFF	OFF	OFF	ON	ON
13	H	X	H	H	L	H	H	ON	OFF	OFF	ON	OFF	ON	ON
14	H	X	H	H	H	L	H	OFF	OFF	OFF	ON	ON	ON	ON
15	H	X	H	H	H	H	H	OFF	OFF	OFF	OFF	OFF	OFF	OFF
BI	X	X	X	X	X	X	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF
RBI	H	L	L	L	L	L	L	OFF	OFF	OFF	OFF	OFF	OFF	OFF
LT	L	X	X	X	X	X	H	ON	ON	ON	ON	ON	ON	ON



SEGMENT IDENTIFICATION



NUMERICAL DESIGNATIONS AND RESULTANT DISPLAYS

FIGURE VI-13.– *Table de vérité d'un décodeur BCD/7 segments et affichage 7 segments.*

La figure VI-13 présente également la table de vérité et la figure VI-14 le schéma d'un décodeur B C D/7 segments (série 54/7446).

Les entrées spéciales Lamp-Test (LT) BI/RBO et RBI ont la fonction suivante : si LT = 0 et BI/RBO = 1, tous les segments doivent s'allumer quel que soit le code d'entrée. Ceci correspond à une vérification de bon fonctionnement.

Si BI/RBO = 0, tous les segments doivent s'éteindre quelles que soient les entrées.

Enfin les entrées RBI et BI/RBO permettent d'éliminer la visualisation des zéros non significatifs d'un nombre de x chiffres décodé par un ensemble de x décodeurs et l'interconnexion à réaliser est celle de la figure VI-15. On note en effet sur la table de vérité que si l'entrée RBI

est à ZERO lorsque le code 4 bits ABCD est ZERO (décimal) les 7 sorties sont à 1 Logique et aucun segment ne sera allumé. De plus la sortie BI/RBO est à zéro dans ce cas là, d'où la liaison avec l'entrée RBI du module suivant.

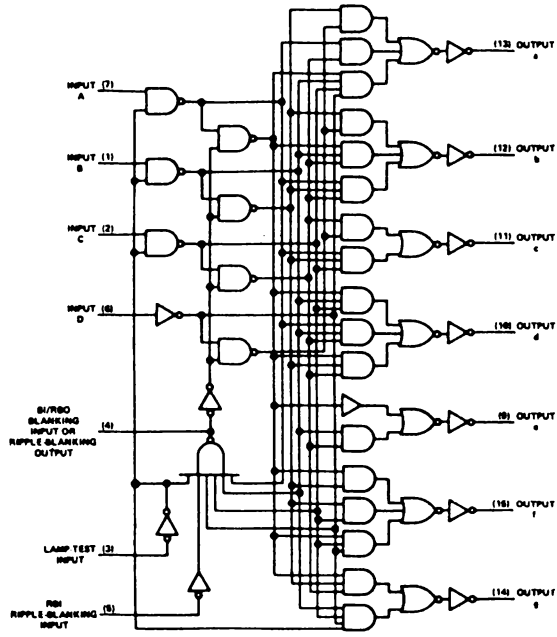


FIGURE VI-14.—*Décodeur BCD/7 segments (SN 5446 Texas).*

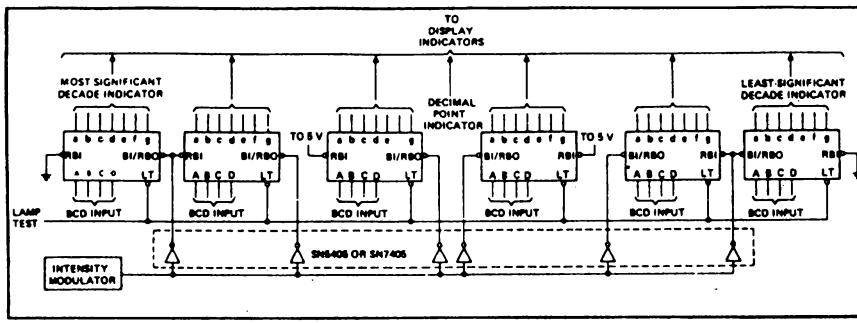
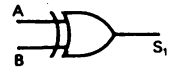


FIGURE VI-15.

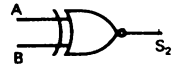
VII- COMPARATEURS ET GENERATEURS DE PARITE

VII-1- INTRODUCTION

Ces deux familles de circuits logiques exploitent la propriété de la fonction OU-exclusif ou de son inverse dont on rappelle la table de vérité et les équations logiques.



$S_1 = A \oplus B = A\bar{B} + \bar{A}B$



$S_2 = \overline{A \oplus B} = \bar{A}\bar{B} + AB$

$= \bar{A}\bar{B} + AB$

TABLE DE VERITE

A	B	$A \oplus B$	$\overline{A \oplus B}$
0	0	0	1
1	0	1	0
0	1	1	0
1	1	0	1

On peut également écrire :

$$S_1 = A \oplus B = (A + B)(\overline{A.B})$$

VII-2- COMPARATEURS

La comparaison de deux nombres digitaux (A_0 A_1...) et (B_0 B_1.....) est à faire dans de nombreuses opérations. On peut simplement demander une détection de l'égalité de ces deux nombres. Par exemple, on veut connaître (pour action immédiate) l'instant où un compteur atteint un niveau particulier. On peut aussi vouloir prendre une décision suivant que A est supérieur ou inférieur à B (séquences de programme dans l'unité centrale des ordinateurs).

VII-2-1) COMPARAISON : DETECTION D'EGALITE

Le comparateur dans ce cas est très simple. Comme l'indique la figure VII-1 les bits de même rang A_i et B_i des deux mots à comparer sont analysés par une porte OU-exclusif inverse pour donner en sortie l'indication d'égalité (f = 1) ou de non égalité (f = 0).

Les deux mots A et B sont égaux si tous leurs digits de même rang A_i et B_i sont égaux.

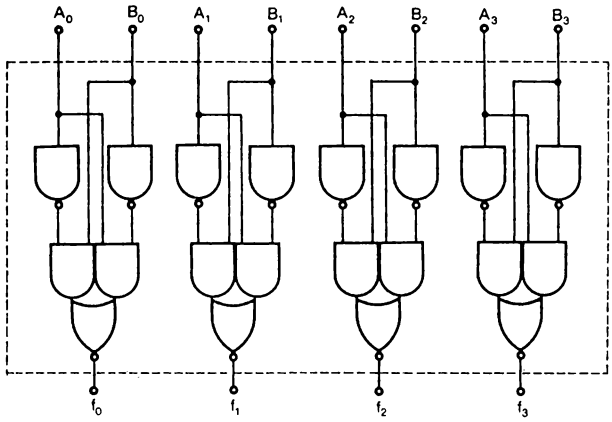


TABLE DE VERITE

A	B	f
0	0	1
1	0	0
0	1	0
1	1	1

FIGURE VII-1.—*Comparateur digital 4 bits.*

Pour obtenir l'information A = B, il suffit alors de mettre en condition ET les différents résultats. Un comparateur détecteur d'égalité de deux mots de 8 bits est donné à la figure VII-2 :

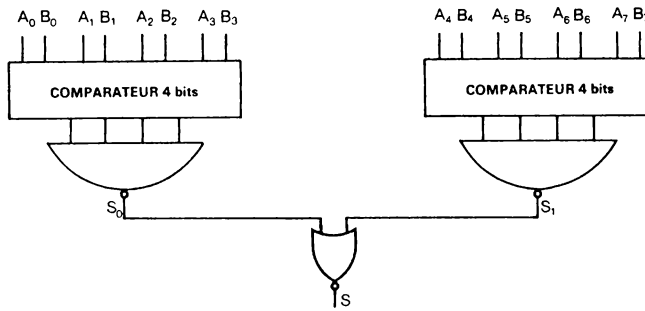


FIGURE VII-2.—*Comparateur 8 bits.*

La fonction réalisée est $S = \overline{S_0 + S_1}$ qui n'est égale à 1 que si S_0 et S_1 sont à ZERO. Ce qui est le cas si à la fois $(A_0A_1A_2A_3) = (B_0B_1B_2B_3)$ et $(A_4A_5A_6A_7) = (B_4B_5B_6B_7)$, donc si les deux nombres digitaux A et B sont égaux.

$A = B \qquad S = 1$

$A \neq B \qquad S = 0$

Pour 8 bits on peut également utiliser une seule porte ET à 8 entrées, au lieu des 2 portes NON ET à 4 entrées et de la porte NOR. Enfin si les portes de sorties délivrant les fonctions f(OU exclusif inverse) sont à collecteur ouvert il suffira de réunir toutes les sorties à une seule résistance ramenée à + V_{cc}.

S = 1 indique l'égalité. Il suffit qu'une seule fonction f soit à zéro pour faire S = 0 ce qui indique l'inégalité.

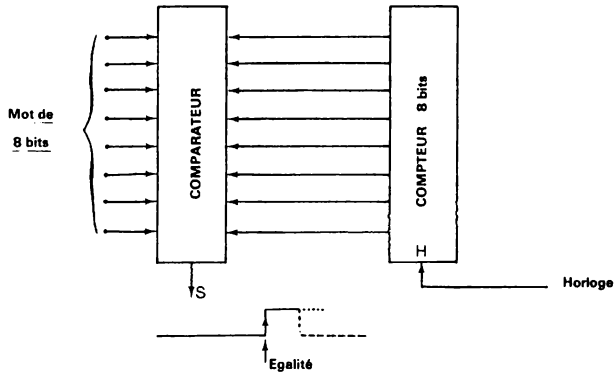


FIGURE VII-3.

Le signal de détection, passage de 0 à 1 tant que l'égalité est maintenue, pourra être utilisé de multiples façons ; par exemple, nouveau chargement du compteur à la prochaine impulsion d'horloge ou chargement asynchrone par les entrées R et S.

VII-2-2) COMPARATEURS DONNANT A>B, A<B, A=B

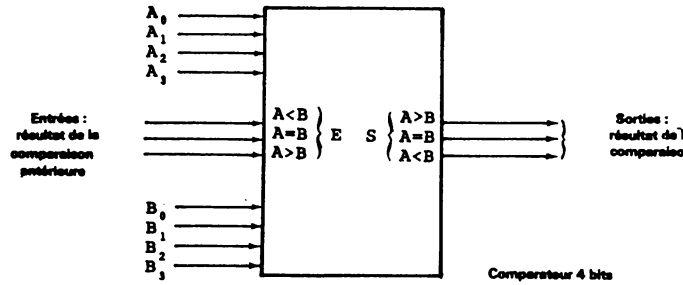
Soient deux nombres binaires a_0a_1 et b_0b_1 à comparer. On désire connaître s'il y a égalité ou sinon le sens de l'inégalité. Pour traduire les 3 possibilités on préfère délivrer le résultat à l'aide de 3 sorties, chaque sortie étant alors spécialisée, plutôt que de délivrer ce résultat sous forme codée auquel cas 2 bits donc 2 sorties auraient suffi. Dans ces conditions la table de vérité donnant les sorties (fonctions) : S_1 (A > B) S_2 (A < B) et S_3 (A = B) est la suivante (la fonction vraie se traduit par 1 Logique) :

a_1	a_0	b_1	b_0	A > B	A < B	A = B
				S_1	S_2	S_3
0	0	0	0	0	0	1
0	0	0	1	0	1	0
0	0	1	0	0	1	0
0	0	1	1	0	1	0
0	1	0	0	1	0	0
0	1	0	1	0	0	1
0	1	1	0	0	1	0
0	1	1	1	0	1	0
1	0	0	0	1	0	0
1	0	0	1	1	0	0
1	0	1	0	0	0	1
1	0	1	1	0	1	0
1	1	0	0	1	0	0
1	1	0	1	1	0	0
1	1	1	0	1	0	0
1	1	1	1	0	0	1

On peut en déduire les fonctions de commutation $S_1S_2S_3$ et dresser le circuit général. Des modules MSI ont été développés pour réaliser cette comparaison sur deux mots de 4 par exemple. La fig. VII-4 présente le schéma d'un comparateur 4 bits (série 54/7485). Ces comparateurs ont en général trois entrées supplémentaires qui leur permettent de tenir compte d'une comparaison effectuée sur des bits de rang inférieur et donc de traiter des mots de longueur quelconque. Ces entrées sont appelées : entrée A > B, entrée A = B et entrée A < B. La table de vérité est alors la suivante :

TABLE DE VERITE

	ENTREES			SORTIES		
Nombres A et B	A > B	A = B	A < B	A > B	A = B	A < B
A > B	1	0	0	1	0	0
A > B	0	1	0	1	0	0
A > B	0	0	1	1	0	0
A = B	1	0	0	1	0	0
A = B	0	1	0	0	1	0
A = B	0	0	1	0	0	1
A < B	1	0	0	0	0	1
A < B	0	1	0	0	0	1
A < B	0	0	1	0	0	1
A > B	1	1	1	1	0	0
A = B	1	1	1	0	1	0
A < B	1	1	1	0	0	1



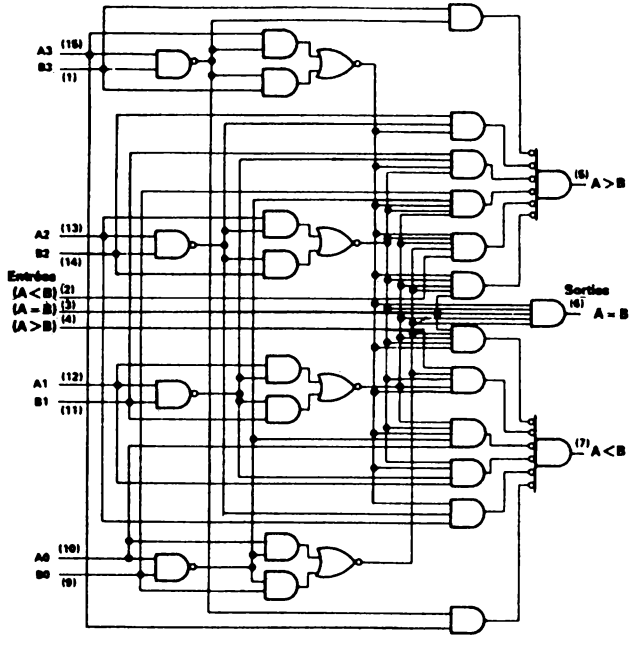


FIGURE VII-4. — *Comparateur 4 bits (Texas SN 54S85)*

Utilisation de comparateurs 4 bits dans le cas de deux nombres A et B de **4.k bits** (k quelconque) :

A_0 et B_0 sont les bits LSB

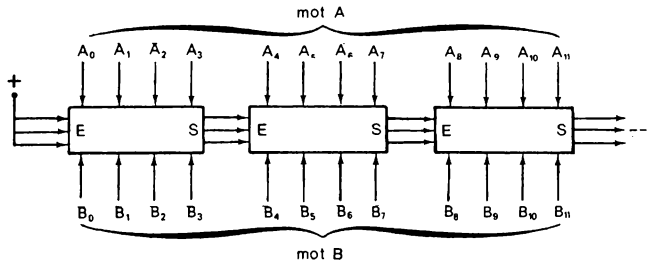


FIGURE VII-5.– *Comparateur de mots de n bits.*

La figure VII-5 montre le cas général d'une comparaison de 4.k bits où chaque module compare les quatre paires de bits A_iB_i de même rang. Le résultat est disponible sur les 3 sorties S et appliqué aux trois entrées E du module suivant qui traite les bits de rang immédiatement supérieur.

La comparaison des 4 premiers bits, $A_0A_1A_2A_3$ avec $B_0B_1B_2B_3$, de poids le plus faible se fait en appliquant 1 aux entrées des comparateurs. Il n'y a pas en effet de comparaison de rang inférieur et pour les 3 entrées à 1, le circuit effectue une comparaison normale de 4 bits comme le précise la table de vérité.

On remarquera que les comparaisons ainsi réalisées en cascade, ajoutent les temps de réponse de chaque module. Pour s'affranchir de cette propagation en cascade et augmenter la vitesse les différentes sorties A > B A < B peuvent être analysées par un module supplémentaire qui délivre le résultat (deux mots de 24 bits sont comparés en 22 ns).

VII-3- CONTROLEUR-GENERATEUR DE PARITE (parity checker/générator)

VII-3-1) PRINCIPE :

Soit un message composé de n bits plus un bit dit de parité. On désire que ce bit de parité soit 1 ou 0 selon que le nombre de 1 du message de n bits est pair ou impair. En d'autres termes, le bit de parité sera 1 ou 0, de façon à ce que le nombre de 1 du message complet (n bits plus le bit de parité) soit impair. On dira qu'il y a imparité (en anglais : odd parity). On peut aussi convenir de la combinaison complémentaire : le bit

de parité sera 1 ou 0 de façon à ce que le nombre de 1 du message complet soit pair. On dira alors qu'il y a parité (en anglais : even parity). Toutefois, ce dernier procédé n'est généralement pas utilisé car on ne peut savoir si une information ne contenant que des ZEROS est valable ou bien si elle est le résultat d'une absence d'alimentation ou d'information.

Si on veut transmettre un message de n bits, le contrôleur générateur de parité positionnera à l'émission le (n+1)e bit (bit de parité). En conséquence, il fonctionnera en générateur. Si on reçoit un message, le contrôleur générateur indiquera si le nombre de 1 est pair ou impair. Ce résultat pourra être comparé à ce qui est convenu et il sera déduit si le message est correct ou non. Le système fonctionne en contrôleur.

Le bit de parité est donc utilisé pour détecter les erreurs dues à la transmission. C'est le cas si un bit a changé de valeur en cours de traitement ou de transmission mais aussi quand un signal parasite vient modifier le contenu du message.

Toutefois, on ne peut ainsi détecter le changement simultané de deux bits du message. La probabilité de ce dernier cas est évidemment relativement plus faible. Et si une meilleure protection est désirée on fait appel à des codes détecteurs d'erreurs (x bits pour le message + n bits pour la détection d'erreurs).

Considérons la table de vérité du circuit logique OU exclusif. On constate que la sortie S est 0 si A et B sont tous les deux à 1 ou 0. (nombre pair) et à 1 si A *ou* B est à 1 (nombre impair).

A	B	$A \oplus B$	$\overline{A \oplus B}$
0	0	0	1
0	1	1	0
1	0	1	0
1	1	0	1

On peut donc bâtir un générateur de parité à partir de circuits OU exclusif.

Si on veut que le nombre de 1 du message complet soit impair, on utilisera la sortie $\overline{S}$ pour le bit de parité. A l'émission, le bit de parité aura la valeur $\overline{S}$ et à la réception on devra contrôler que $\overline{S} = 0$.

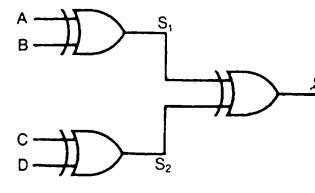
VII-3-2) EXEMPLES :

Prenons d'abord l'exemple d'une expression numérique de 4 bits : ABCD.

Si le module OU exclusif à 4 entrées n'existe pas on est conduit à traiter les bits 2 à 2. Il vient :

$S_1 = A \oplus B \qquad S_2 = C \oplus D$

et $S = S_1 \oplus S_2 = A \oplus B \oplus C \oplus D$



La table de vérité de ce OU exclusif à 4 entrées montre que l'on peut utiliser S ou $\overline{S}$ pour générer le bit de parité ou en rendre compte.

A	B	C	D	A ⊕ B	C ⊕ D	S	$\overline{S}$
0	0	0	0	0	0	0	1
0	0	0	1	0	1	1	0
0	0	1	0	0	1	1	0
0	0	1	1	0	0	0	1
0	1	0	0	1	0	1	0
0	1	0	1	1	1	0	1
0	1	1	0	1	1	0	1
0	1	1	1	1	0	1	0
1	0	0	0	1	0	1	0
1	0	0	1	1	1	0	1
1	0	1	0	1	1	0	1
1	0	1	1	1	0	1	0
1	1	0	0	0	0	0	1
1	1	0	1	0	1	1	0
1	1	1	0	0	1	1	0
1	1	1	1	0	0	0	1

On constate bien que :

- Si ABCD contient un nombre pair de 1 : S = 0
- Si ABCD contient un nombre impair de 1 : S = 1
- le message ABCDS présente toujours un nombre pair de 1
- le message ABCD$\overline{S}$ présente toujours un nombre impair de 1

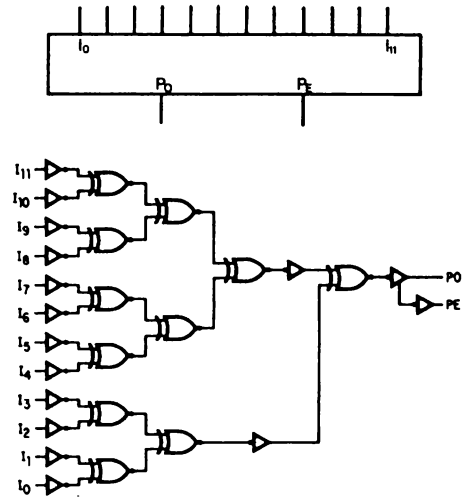


FIGURE VII-8.— *Générateur de parité pour mots de 12 bits.*

Pour traiter un grand nombre de bits quelques modules MSI ont été développés. Ainsi le type 9348 de Fairchild possède 12 entrées. Son équation logique est :

$$P_O = I_1 \oplus I_2 \oplus I_3 \oplus I_4 \oplus I_5 \oplus I_6 \oplus I_7 \oplus I_8 \oplus I_9 \oplus I_{10} \oplus I_{11} \oplus I_{12}$$

$$P_E = \overline{P_O}$$

La sortie P_0 est 1, si le mot contient un nombre impair de 1 et la sortie P_E est à 1 si ce nombre de 1 est pair. Si on veut contrôler un mot de moins de 12 bits on devra mettre les entrées inutilisées à 0. Si le mot a plus de 12 bits, on réalisera un contrôleur de parité à 2 niveaux.

La figure VII-7 montre le schéma logique du cicuit MSI SN 54180 de Texas. C'est un contrôleur-générateur de parité pour 8 bits. Toutefois, les entrées appelées "entrée paire" et "entrée impaire" permettent de tenir compte du résultat du contrôle effectué par un autre circuit dans le cas où le mot dépasse 8 bits.

Ces circuits peuvent donc être mis en cascade.

TABLEAU DE VERITE

ENTREES			SORTIES	
Nombre de 1 aux entrées	Entrée paire	Entrée impaire	Sortie paire	Sortie impaire
pair	1	0	1	0
impair	1	0	0	1
pair	0	1	0	1
impair	0	1	1	0
X	1	1	0	0
X	0	0	1	1

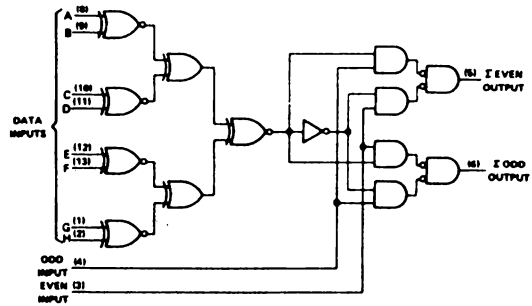


FIGURE VII-7.—*Contrôleur-générateur de parité pour 8 bits (54/74180).*

VIII- MEMOIRES

VIII-1- GENERALITES

Une expression digitale de n bits peut véhiculer toute sorte d'information : valeur numérique, instruction, adresse, symboles divers (lettres, chiffres, signes). Les valeurs de n sont très souvent 4, 8, 12, 16, 24 ou 32. Cette information doit en général être gardée en mémoire un certain temps sous cette forme codée binaire. De même qu'elle est souvent gardée, toujours pour son exploitation, en mémoire sous sa forme décodée (cas par exemple d'une impression sur papier...). Ainsi dans la mémoire centrale d'un ordinateur sont stockées d'une part une suite de séquences codées en langage machine (programme) et d'autre part un certain nombre de résultats de calcul, de valeurs numériques en provenance de l'extérieur ou destinées à y être transférées.

Pour effectuer ce stockage on utilise une mémoire à *lecture-écriture*. Elle doit de plus être à *accès aléatoire* (Random access memory) chaque fois que l'information doit être accessible en un temps très bref et indépendant de la position occupée dans la mémoire. Dans le cas où cette propriété n'est pas fondamentale cette mémoire pourra être à *accès séquentiel* ce qui permet de résoudre le problème des très grandes capacités à des prix convenables. C'est le cas des mémoires à disques, tambour, bandes magnétiques et des registres à décalage.

Dans le cas des mémoires à accès aléatoire une adresse de x bits désignera à chaque lecture ou écriture l'emplacement du mot à introduire (écriture) ou à extraire (lecture). Il y aura donc 2^x emplacements et ceux-ci pourront être constitués de n bits (capacité $2^x \times n$ bits). Par contre pour une mémoire à accès séquentiel on pourra se limiter à indiquer l'adresse de départ et le nombre d'opérations successives (lecture ou écriture) à exécuter.

Mais il existe une autre classe de mémoire digitale assez différente de par son utilisation. C'est la mémoire morte ou encore : figée, câblée, à lecture seule (en anglais : Read Only Memory : ROM). Dans ce cas on ne peut que lire l'information digitale contenue à l'adresse qui est précisée, étant entendu qu'il s'agit naturellement d'une lecture réalisée avec des moyens électroniques et donc à la grande vitesse propre à ces circuits.

Bien sûr l'information a tout d'abord été enregistrée dans cette mé-

moire. Cabler certains points d'un circuit logique à un potentiel V ou ZERO c'est déjà réaliser une mémoire figée mais encore faut-il pouvoir fabriquer à moindre coût des mémoires de grande capacité. C'est ce qui est possible grâce aux techniques modernes d'intégration.

Deux variantes seront à distinguer pour ce type de mémoire. Le premier type, la mémoire ROM, est entièrement et définitivement réalisée au stade de sa fabrication. C'est le constructeur qui en dessinant le masque du circuit à diffuser, réalise les différentes interconnexions et fige donc les potentiels des points de la mémoire. Pour cette raison et afin de lever toute ambiguïté, certains utilisent la terminologie : Mask programmed ROM. Le deuxième type, qui correspond à une idée plus récente, répond à un objectif un peu différent : donner la possibilité à l'utilisateur de réaliser à peu de frais rapidement et à partir d'un module standard la programmation de sa mémoire morte. Il n'est plus question de modifier des masques pour s'adapter chaque fois à une demande client, solution trop lourde et trop onéreuse pour quelqu'un qui ne désire que quelques modules comme cela peut être le cas au moment de l'étude du système ou même pour des fabrications en nombre très limité. Ce type de mémoire proposée en circuit intégré et généralisée à partir de 1970 a reçu le nom de PROM dont le P rappelle qu'il est possible pour l'utilisateur de la programmer lui-même. On trouve également : Electrically programmable ROM.

On notera simplement pour ce type de mémoire qu'une fois la programmation réalisée le contenu ne peut plus être modifié. Mais la créativité n'a pas de frontière. Aussi une variante de ces mémoires mortes programmables par l'utilisateur a été développé par la suite. La mémoire REPROM, reprogrammable ROM ou encore electrically reprogrammable ROM mais également RMM pour Read Mostly Memory, est réutilisable. Pour cela et par des moyens appropriés, l'utilisateur efface l'information précédemment introduite et peut alors recommencer une programmation.

On remarquera qu'une mémoire vive (RAM) et une mémoire REPROM peuvent se définir de la même manière et présenter les mêmes caractéristiques d'entrée-sortie. La seule différence qui les distingue, et elle est fondamentale, concerne la vitesse d'écriture. La première (RAM) est capable de modifier, sur ordre extérieur, son contenu à la vitesse électronique (de 1 µs à 10 ns suivant les technologies) et ce à une adresse quelconque. La deuxième (REPROM) ne peut le faire que si l'on met en oeuvre un processus à la fois électrique et mécanique ou l'homme intervient ce qui impose des vitesses bien plus lentes. De plus dans ce dernier cas pour effectuer une réécriture l'effacement du contenu du module doit être total. On recommence tout. Les deux types ne sont donc pas concurrents mais bien complémentaires.

On notera enfin que les mémoires PROM, module standard de grande dif-

fusion donc bon marché, présente tout comme la mémoire ROM la particularité de mettre l'information relativement bien à l'abri des perturbations.

Reste un dernier point qui caractérise les mémoires semi-conducteurs : celui de la volatilité de l'information (mémoire RAM uniquement). En effet une panne d'alimentation est fatale au contenu stocké dans la mémoire RAM ceci étant valable pour l'ensemble des technologies mises en oeuvre aujourd'hui (point de mémoire = bascule ou capacité). Mais cette situation peut changer.

On sait que dans de nombreuses applications l'information doit être conservée si une panne d'alimentation survient même si cette dernière se traduit simplement par une chute de tension très brève. C'est le cas d'un programme d'ordinateur ou d'une mémoire stockant des valeurs numériques en cours de traitement.

Les mémoires magnétiques, exclusivement utilisées jusqu'en 1971, résolvent ce problème. Comme de plus elles sont capables de présenter une solution économique même pour les très grandes capacités, elles se retrouvent partout : les tores magnétiques équipent la mémoire centrale d'un ordinateur et les unités mémoires périphériques de grande capacité sont des tambours magnétiques, des disques ou des bandes magnétiques.

On peut bien sûr contourner ce défaut de volatilité en utilisant une batterie tampon prête à prendre instantanément le relais du secteur. Encore faut-il que la consommation de ces mémoires soit suffisamment faible pour limiter la puissance de la batterie.

Mais demain peut-être verra-t-on des techniques, MOS par exemple, qui s'affranchiront de cet handicap par l'intermédiaire de circuits de très faible conductance (capacité pour le stockage et circuits d'écriture-lecture à très faibles fuites).

Dans cet ouvrage consacré principalement aux systèmes utilisant les circuits intégrés, les mémoires magnétiques ne sont pas abordées d'autant qu'il existe suffisamment d'écrits sur le sujet, pas plus que les mémoires magnétiques intégrées (magnetic bubble memories) et les mémoires optiques, à enregistrement holographique au moyen de laser, visant les capacités de 10^{10} à 10^{12} bits, toutes deux actuellement en plein développement.

Quant au schéma synoptique d'un ordinateur et de ses principaux périphériques représenté à la figure VIII-1, où sont précisés les types de mémoires semi-conducteur pouvant être envisagées, il illustre bien le grand espoir des fabricants de circuits intégrés.

En définitive une mémoire digitale se composera de :

1 - L'unité mémoire proprement dite où est stockée l'information

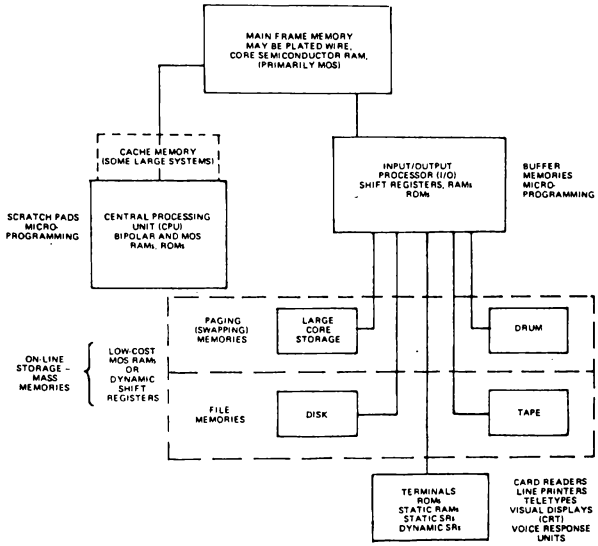


FIGURE VIII – 1. – *Organisation d'un ensemble de traitement numérique (Doc. Signetics).*

binaire, chaque élément de mémoire ne pouvant présenter que deux états électriques bien distincts.

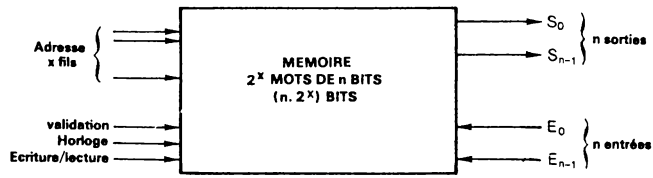
2 - Une adresse désignant au moyen de x fils la position de l'information, soit au total 2^x adresses possibles.

3 - n entrées et n sorties dans le cas des mémoires à lecture-écriture ou n sorties seulement dans le cas des mémoires mortes ; n est la longueur du mot ($n \geqslant 1$).

4 - Une entrée condition lecture-écriture pour les mémoires de ce type.

5 - Une entrée de validation.

6 - Une entrée horloge pour les mémoires du type à rafraichissement.



SCHEMA FONCTIONNEL D'UNE MEMOIRE VIVE

VIII-2- MEMOIRES ROM (A LECTURE SEULE OU MEMOIRE MORTE)

Une mémoire ROM peut être constituée très simplement. La figure VIII-2 montre une possibilité assez souple qui peut même être l'objet d'une intégration.

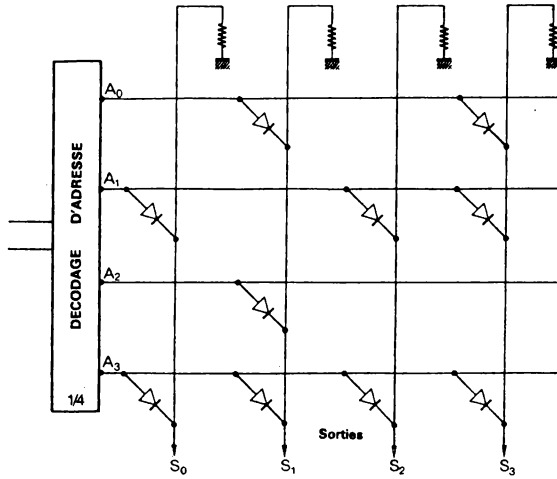


FIGURE VIII – 2. – *Mémoire morte (à diodes).*

L'exemple porte sur une mémoire de 4 mots de 4 bits. Un décodeur d'adresse 2 bits valide une des 4 adresses c'est-à-dire une des lignes Y en la portant au potentiel + V (1 Logique) les 3 autres lignes étant au potentiel 0. A chaque point de croisement où une diode a été placée on voit que l'on pourra lire un certain potentiel donc un 1 Logique alors que là où il n'y a pas de diode, il sera lu un potentiel 0. Par exemple, supposons que l'adresse 00 soit envoyée. Les sorties du décodeur d'adresse sont telles que : en A_0 on trouve un potentiel + V et en A_1A_2 et A_3 le potentiel 0 volt.

Dans ces conditions et avec les diodes cablées comme indiqué sur la figure VIII-2 on trouve :

sur la sortie S_0 : le potentiel 0 Volt

sur la sortie S_1 : le potentiel $V-V_D$

sur la sortie S_2 : le potentiel 0

sur la sortie S_3 : le potentiel $V-V_D$

Par exemple, V = +5 V et V_D = 0,7 V.
Soit 1 Logique : + 4,3 Volts.
On vient donc de lire le mot 0101.
Le contenu total de cette mémoire est donné par le tableau :

Adresses		Information			
0	0	0	1	0	1
0	1	1	0	1	1
1	0	0	1	0	0
1	1	1	1	1	1

Si le système utilise des composants discrets, le contenu de cette mémoire peut être modifié par cablage. C'est donc une mémoire reprogrammable (PROM). Si le système est diffusé dans un chip semi-conducteur, alors l'information ne pourra jamais être modifiée.

On remarquera que si la mémoire était à grande capacité, par exemple 1000 à 10 000 diodes, et s'il se trouvait que le nombre de 1 soit bien plus élevé que le nombre de 0, on aurait intérêt à mettre les diodes là où on veut un 0 Logique et non plus là où on veut un 1 Logique, et à inverser la lecture des sorties en utilisant n inverseurs logiques.

Pour transformer cette mémoire de 4 mots de 4 bits en 16 mots de 1 bit il suffira de lui adjoindre un circuit de sélection qui parmi les N sorties en choisira une. Dans l'exemple déjà vu, il faut un multiplexeur 1 parmi 4 et l'organisation est alors celle de la figure VIII-3.

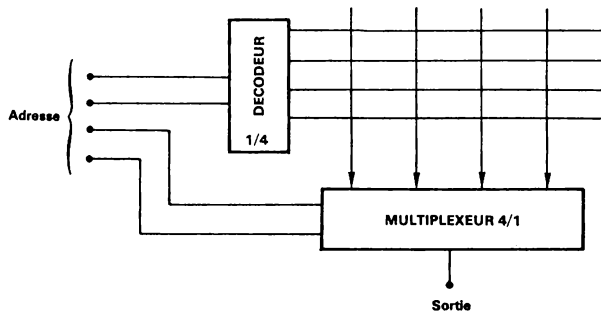


FIGURE VIII – 3. – *Mémoire ROM 16 mots de 1 bit.*

Pour atteindre individuellement chacun des 16 points de mémoire 16 adresses donc 4 bits d'adresses sont nécessaires.

Une autre configuration possible est donnée à la figure VIII-4.

On utilise dans ce cas des portes NON ET à deux entrées dont les sorties sont connectables en mode OU.

Si les lignes d'adresse Y sont au 0 Logique toutes les sorties sont au 1 Logique. Si une seule ligne Y_i est mise au 1 Logique, la série des n

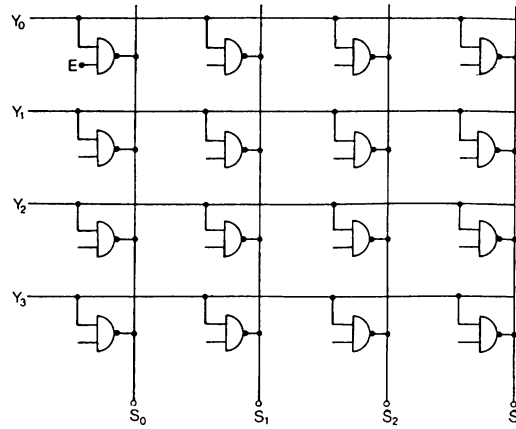


FIGURE VIII – 4. – *Mémoire morte 16 bits*

portes qui lui sont connectées va donner un mot de n bits (ici n = 4) disponible sur les n sorties. Chaque sortie aura en effet la valeur $\overline{E}$. A l'endroit où on veut stocker un 1, il faudra donc cabler E au potentiel 0, et au potentiel +V si on veut stocker un 0 Logique. Là également si on veut un mot de 1 bit seulement on validera une sortie parmi les n grâce à un circuit de sélection (ou multiplexeur digital).

Pour réaliser un mode d'adressage en XY il faudrait ajouter des lignes d'adresses verticales (X). Les portes NAND seraient alors à 3 entrées et toutes les sorties seraient mises en condition OU (sélection d'un bit i quand $X_i = Y_i = 1$).

En définitive, les mémoires ROM en technologie bipolaire ou MOS comporteront généralement les circuits de mémorisation, d'adressage et de sélection et leur fonction est traduite par le dessin de la figure VIII-5 :

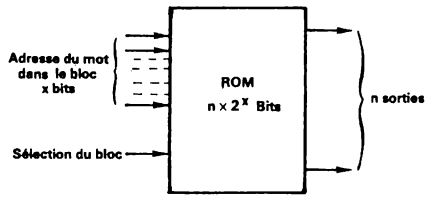


FIGURE VIII – 5.

Mémoire ROM 2^x mots de n bits.

VIII-3- MEMOIRE PROGRAMMABLE PAR L'UTILISATEUR (PROM)

Ce type de mémoire répond surtout à un besoin bien spécifique. Par exemple lors des études d'un système devant ultérieurement comporter une mémoire ROM (à lecture seule) et qui est à définir, il peut s'avérer utile voire obligatoire de fonctionner au stade du prototype avec une mémoire morte. Une mémoire PROM, universelle donc à bas prix, sera programmée par le projeteur lui-même. Ensuite une fois le système mis au point et pour une fabrication de série, une mémoire ROM sera réalisée industriellement par le fabricant de semi-conducteurs. Il ne faut pas oublier en effet que le masque spécial peut déjà faire à lui seul 5000 à 10 000 F.

Une telle mémoire en circuit intégré bipolaire fut proposée pour la première fois par la firme américaine Radiation Inc. aux environs de 1969. Actuellement des modules de 512 et 1024 bits sont industrialisés en technique bipolaire et jusqu'à 2048 bits en technique MOS.

Plusieurs procédés sont possibles pour l'enregistrement définitif de l'information binaire.

Dans les séries bipolaires on peut citer la technique fusible (rupture de métallisation). Ce fusible, un par bit, est détruit par un courant de quelques dizaines de mA. On peut également procéder à une destruction de jonction.

Le module est donc livré ne contenant que des zéros (aucun fusible, aucune jonction n'est détruite) et l'écriture d'un 1 à un endroit déterminé se fait en indiquant l'adresse de ce bit et en injectant le courant ou la tension nécessaire sur la sortie ainsi sélectionnée. On tire de suite la conclusion que cette technique ne peut pas conduire à des REPROM.

En technique MOS on peut mettre à profit la capacité à très faible fuite que présente un transistor MOS à grille flottante. L'injection de charges électriques dans cette capacité (une par bit) se fait au moment de l'écriture et les charges sont conservées longtemps...

Enfin on utilise également l'effet présenté par certains semi-conducteurs amorphes à savoir un changement d'état à la suite de l'application d'une tension, l'effet étant réversible.

Ces deux dernières techniques peuvent donc conduire à des mémoires REPROM puisque en ce qui concerne les charges accumulées dans une capacité elles peuvent être annulées en provoquant temporairement une fuite importante (par éclairage aux ultra-violets).

On notera également que certaines mémoires mortes en technique MOS peuvent fonctionner suivant un mode dynamique qui permet de diminuer la puissance consommée.

Enfin il est intéressant de signaler que certains constructeurs développent simultanément une mémoire ROM (programmable par masque) et une mémoire PROM (programmable par l'utilisateur) interchangeable broche à broche et bien entendu de même capacité. L'étude étant menée au stade du prototype avec une PROM il est ensuite possible sans changer les supports et le cablage (circuits imprimés) de passer à l'industrialisation du système et de mettre une mémoire ROM.

VIII-4- EXEMPLES DE MEMOIRES ROM

VIII-4-1) MEMOIRE BIPOLAIRE ROM SN 7488 TEXAS DE 256 BITS

C'est une mémoire TTL organisée en 32 mots de 8 bits. Il y a donc 5 fils d'adresse, qui sont décodés sur le chip. Une entrée de validation permet de lire (memory enable = 0) à l'adresse indiquée ou de ne pas lire (memory enable = 1). Dans ce cas, les 8 sorties occupent le niveau 1 et comme elles sont connectables en mode OU, une extension de la capacité est très facile. On peut également assembler plusieurs blocs recevant la même adresse et la même validation pour constituer des mots de k-8 bits. La fifure VIII-6 montre un assemblage de 4 blocs de 256 bits pour faire 64 mots de 16 bits et le diagramme des temps pour une lecture. La figure VIII-7 présente une mémoire de mots de 8 bits étendue à une capacité de 512 mots soit au total 4096 bits. Mais on remarquera le nombre élevé de liaisons à assurer.

La figure VIII-8 présente l'organisation théorique de cette mémoire où apparaissent les circuits de décodage d'adresse et la figure VIII-9 le schéma électrique d'une partie de cette mémoire. On y distingue deux fonctions :

Une porte ET à cinq entrées décode l'adresse en recevant 5 des 10 signaux A B C D E et leurs compléments. A chaque porte, 32 au total, est associé un transistor à 8 émetteurs. Chacun de ces émetteurs est relié ou non à l'étage de sortie qui lui correspond. Ainsi quand le mot de rang i est sélectionné le transistor 8 émetteurs n° i est rendu conducteur. Ses 8 émetteurs peuvent alors alimenter les 8 transistors de sortie à condition qu'il y ait une liaison. Dans ce cas, la sortie délivre un 0 Logique. Dans le cas où la liaison n'a pas été faite, la sortie est au 1 Logique (transistor bloqué avec entre sa base et son émetteur une résistance de 1KΩ). Donc au total 32 fois 8 liaisons à faire ou à ne pas faire suivant que l'on veut stocker un 0 ou un 1. On conçoit qu'à partir d'un masque standard il soit assez facile d'assurer une programmation particulière.

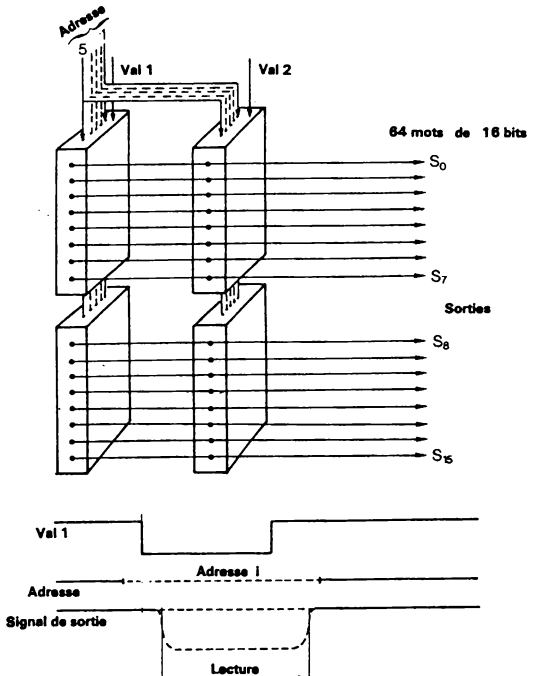


FIGURE VIII – 6. – *Mémoire ROM 64 mots de 16 bits.*

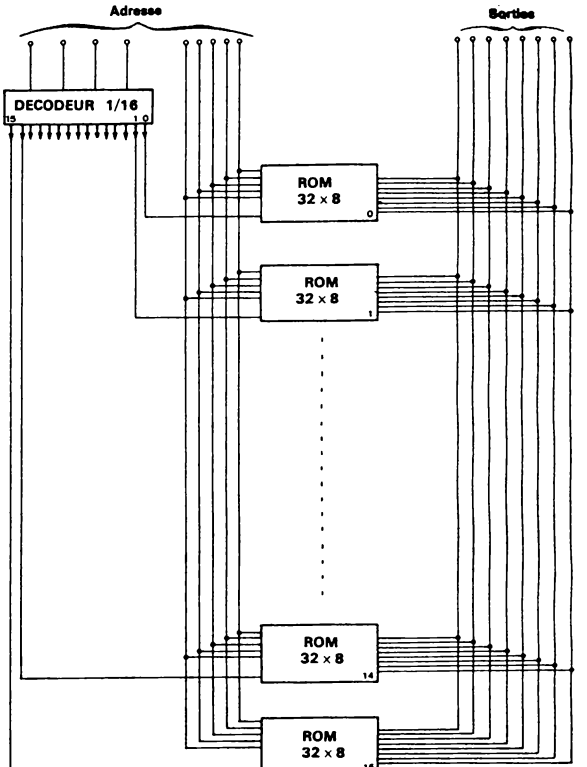


FIGURE VIII – 7. – *Mémoire à lecture seule 512 mots de 8 bits.*

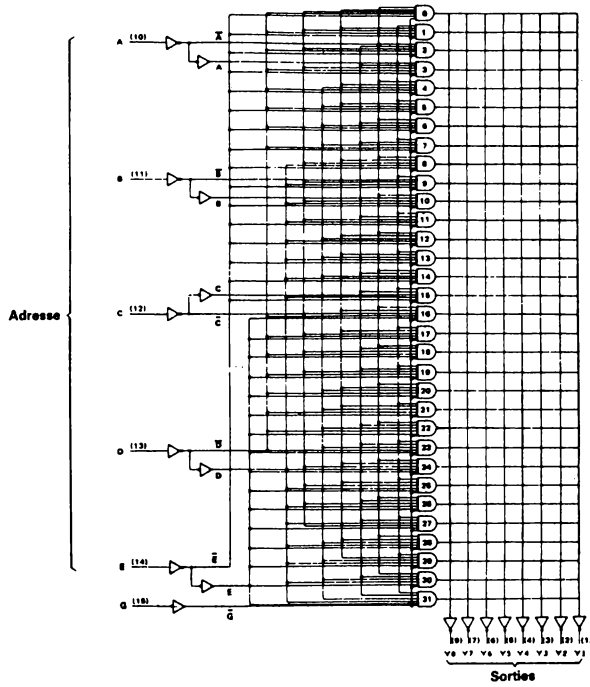


FIGURE VIII – 8. – *Mémoire morte 256 bits (SN7488 Texas).*

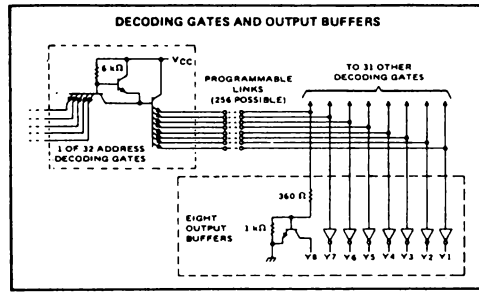


FIGURE VIII – 9.

Schéma partiel de la mémoire ROM SN7488 Texas.

VIII-4-2) EXEMPLE DE MEMOIRES ROM EN TECHNOLOGIE MOS

En technologie MOS les densités d'éléments intégrés peuvent être nettement plus élevées qu'en technologie bipolaire. Le nombre de points mémoires pour un chip donné est donc lui aussi plus élevé, la surface du chip étant elle surtout limitée par le rendement de fabrication. Un exemple typique de récentes réalisations en 1972 (une telle date signifiant que l'on est vraiment en face d'un produit industrialisé et non simplement annoncé) est donnée par le module 1302 de INTEL Corp.. Le fonctionnement de ce module 2048 bits, organisé en 256 mots de 8 bits, est décrit par les diagrammes de temps de la figure VIII-10.

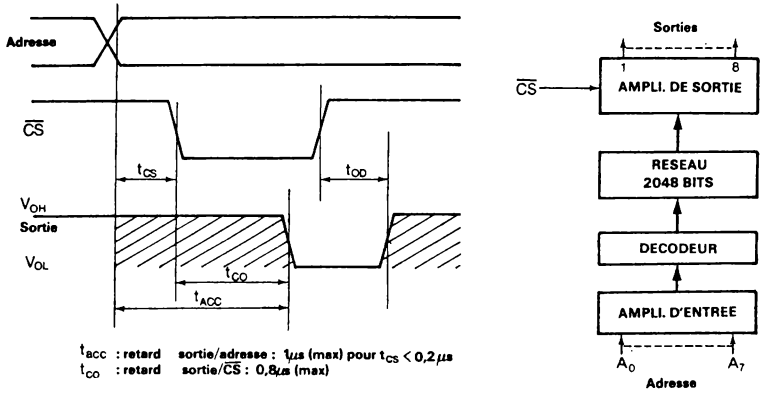


FIGURE VIII – 10.– *Organisation et diagrammes de temps de la mémoire ROM 1302 INTEL.*

Les divers signaux d'entrée-sortie sont respectivement :

$\overline{CS}$: entrée de validation (chip select) ;
si $\overline{CS}$ = 1 sortie OFF (3e état)
si $\overline{CS}$ = 0 sortie vraie
Sortie : 8 bits en parallèle
Adresse : 8 bits
Alimentation : V_{CC} = + 5V $V_{DD} = V_{GG}$ = -9V

L'adresse étant appliquée pour désigner le mot de 8 bits parmi les 256 ainsi que le signal de validation ($\overline{CS}$ au 0 Logique) la sortie est disponible, c'est-à-dire vraie, au bout d'un temps t_{ACC} de 1 µs au maximum (garanti) si le temps t_{CS} n'excède pas 0,2 µs (t_{CS} = retard du signal de validation par rapport à l'adresse). Ceci signifie que le retard de la sortie par rapport au signal de validation ($\overline{CS}$) est au maximum de 0,8 µs.

Pour diminuer la consommation sur les alimentations, ce module peut fonctionner suivant un mode "déclanché par horloge" (clocked operation). Ce mode consiste à modifier l'alimentation V_{GG} pendant le temps où la lecture de cette mémoire n'est pas désirée. Naturellement ceci est possible puisque l'information contenue dans cette mémoire est figée et n'est donc pas perturbée par les variations d'alimentation. Toutefois le temps d'établissement est un peu supérieur dans ce mode puisque l'adresse étant établie, la sortie présente un retard de 1 µs (maximum) par rapport au signal de validation $\overline{CS}$, contre 0,8 µs en opération statique (V_{GG} constamment à -9V).

La puissance consommée est fonction du rapport cyclique présenté par le signal qui découpe l'alimentation V_{GG}. Elle est de 50 mW environ pour une absence totale de lecture (V_{GG} est constamment au potentiel de V_{CC}) et monte linéairement jusqu'à 320 mW pour un fonctionnement permanent (V_{GG} est constamment à -9V). Ce mode sera donc utilisé si les fréquences de lecture ne sont pas voisines de la fréquence maximum et si l'augmentation du temps d'accès qui en résulte est acceptable. Bien sûr le gain en consommation ainsi réalisé est surtout sensible s'il y a plusieurs modules en fonctionnement.

Quant à la réalisation de capacité mémoire plus importante elle est facilitée par la possibilité de mettre en condition OU sur le même bus, les sorties (de même rang) de plusieurs modules. La figure VIII-11 montre l'organisation d'une configuration de 1024 mots de 8 bits.

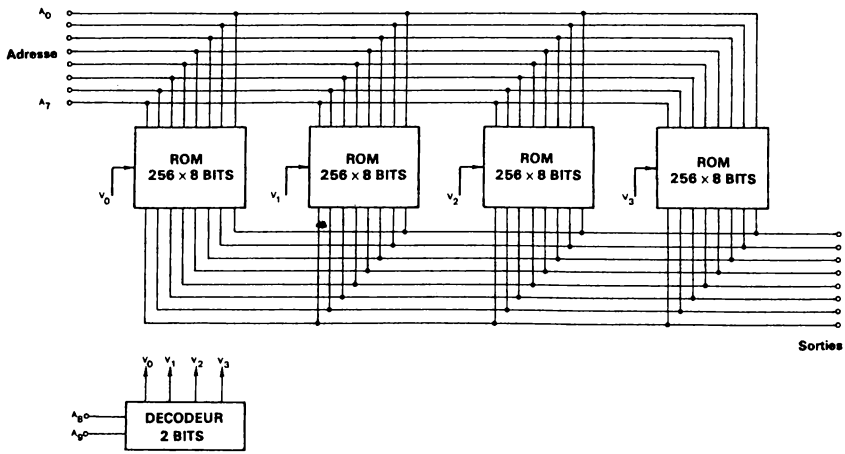


FIGURE VIII – 11.– *Organisation d'une mémoire ROM de 1024 mots de 8 BITS.*

VIII-5- APPLICATIONS DES MEMOIRES ROM

Une mémoire ROM est en définitive un générateur de mots programmés, et comme tel on peut l'utiliser à des fins multiples.

VIII-5-1) GENERATION DE FONCTIONS LOGIQUES

Soient x variables A_0 A_1 ... A_{x-1} et n fonctions f_0 f_1 ... f_{n-1} de ces variables. A chaque ensemble (ou combinaison) de ces x variables, il y en a 2^x, correspond une valeur binaire pour chaque fonction f_i. On peut dresser le tableau représenté à la figure VIII-12 et organiser une mémoire ROM de telle façon qu'à chaque adresse A_0 A_1 ... A_{x-1} on programme un mot de n bits qui rassemble les états logiques des n fonctions f_i, lesquels sont délivrés en sortie de la mémoire ROM.

Adresse	A_0 A_1 A_2... A_{x-2} A_{x-1}	f_0 f_1 f_2 ..... f_{n-1}
0	0 0 0 ... 0 0 0	× × × ..... ×
1	0 0 0 ... 0 0 1	× × × ..... ×
2	0 0 0 ... 0 1 0	× × × ..... ×
3	0 0 0 ... 0 1 1	× × × ..... ×
4	0 0 0 ... 1 0 0	× × × ..... ×
5	0 0 0 ... 1 0 1	× × × ..... ×
.	.....	.....
.	.....	.....
.	.....	.....
.	.....	.....

x = 0 ou 1

FIGURE VIII – 12. – *Fonctions logiques programmées.*

Si une fonction f_i parmi les n est désirée en sortie à un instant donné, un complèment d'adresse est nécessaire pour cette sélection. Soit par exemple le cas d'une fonction f de deux variables a et b. Aux 4 couples de valeurs binaires ab on peut faire correspondre jusqu'à 2^4 soit 16 combinaisons différentes et dresser le tableau de la figure VIII-13. Chaque ligne peut alors être considérée comme représentant les 4 états binaires d'une fonction f_i des deux variables a et b. Parmi ces fonctions f_i on reconnait des fonctions bien classiques. Pour réaliser ce générateur de 1 fonction parmi 16 de deux variables a et b on programmera une mémoire ROM de 64 bits. L'adresse de 6 bits sera composée de 4 bits pour désigner f_i et les 4 autres bits seront les variables a et b. Ainsi à l'adresse 011100 le bit programmé sera 0 (variable a et b = 0) etc...

Dans le cas où, avec x variables d'entrée, une partie seulement des 2^x combinaisons est utilisée, on pourra minimiser le circuit en exprimant la fonction de sortie en somme (OU) de produits partiels (ET) - (Principe des PLA = programmable logic arrays).

a	0	0	1	1	Fonction	
b	0	1	0	1		
f_0	0	0	0	0		= 0
f_1	0	0	0	1	a.b	
f_2	0	0	1	0	$a.\bar{b}$	
f_3	0	0	1	1		= a
f_4	0	1	0	0	$\bar{a}.b$	
f_5	0	1	0	1		= b
f_6	0	1	1	0	$a \oplus b$	
f_7	0	1	1	1	a + b	
f_8	1	0	0	0	$\overline{a + b}$	
f_9	1	0	0	1	f = 1 si a = b	$\overline{a \oplus b}$
f_{10}	1	0	1	0		$= \bar{b}$
f_{11}	1	0	1	1	$a + \bar{b}$	
f_{12}	1	1	0	0		$= \bar{a}$
f_{13}	1	1	0	1	$\bar{a} + b$	
f_{14}	1	1	1	0	$\overline{a.b}$	
f_{15}	1	1	1	1		= 1

f_{14} = fonction de Sheffer
f_6 = fonction dilemme ou module 2 (OU exclusif)
f_8 = fonction NI

FIGURE VIII – 13.– *Fonctions logiques de deux variables a et b.*

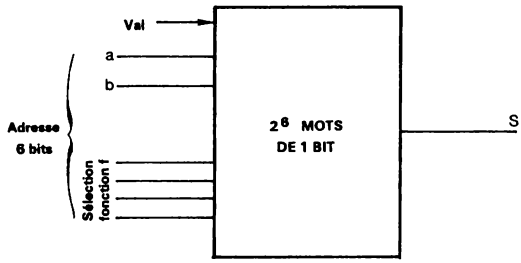


FIGURE VIII – 14. – *Générateur de 16 fonctions logiques f de deux variables.*

VIII-5-2) CONVERSION DE CODE

Exemple : on veut passer du code EBCDIC au code ASCII et inversement. Le code EBC DIC, (Extended Binary Coded Decimal Interchange Code) est à huit digits. En fait, la moitié seulement des 256 combinaisons possibles sont utilisées (chiffres, lettres, symboles et différentes indications, voir annexe 1).

Le code ASCII (American Standard Code for Information Interchange) est lui à 7 digits et les 128 combinaisons sont toutes utilisées (voir annexe 2). Pour une conversion ASCII → EBCDIC il faut donc 128 mots de 8 bits. Pour une conversion EBCDIC → ASCII il faut par contre 256 mots (2^8) de 7 bits. Il y a des conversions de code qui se font par contre assez simplement. Par exemple, si on veut passer du code Gray (binaire réfléchi) au code binaire pur, il faut utiliser, pour 12 bits, onze portes OU exclusif ce qui représente 3 boîtiers comportant chacun 4 portes OU exclusif. Si on voulait utiliser une mémoire ROM on serait conduit à prendre une capacité de 4096 mots de 12 bits ! Il faut donc bien vérifier que la fonction demandée à la mémoire ROM n'est pas réalisable par un circuit logique relativement simple.

Un autre exemple, important par le nombre de ces applications est la conversion binaire -BCD et BCD- binaire qui est réalisable aisément par des circuits combinatoires qui permettent par exemple de convertir 12 bits binaire pur en 15 bits BCD avec un retard de 200 ns max.

VIII-5-3) GENERATION DE CARACTERES ALPHANUMERIQUES

Le but est de reconstituer des caractères alphanumériques et même des signes quelconques à l'aide de bâtons lumineux ou de points lumineux. Exemple : affichage à l'aide de 16 segments. Si on veut reproduire N caractères différents, on devra faire appel à une mémoire de N mots de 16 bits ou deux mémoires de N mots de 8 bits. On étudiera plus en détail ces applications au chapitre IX "visualisation alphanumérique".

VIII-5-4) GENERATION D'UNE FONCTION NUMERIQUE F (u)

u est une variable à laquelle on veut faire prendre 2^x valeurs possibles. Cette variable u sera donc fournie par x bits qui constitueront l'adresse de la mémoire ROM. A chaque adresse correspond un mot de sortie de n bits qui représente la valeur numérique prise par la fonction f(u).

EXEMPLE : TABLE DE SINUS

Si on veut une précision légèrement meilleure que le degré, on choisit une mémoire de 128 mots. En effet dans ce cas, l'incrément d'angle sera de $\alpha° = \frac{90°}{128} = 0{,}703124$ degré.

Il est alors normal de prévoir 8 bits pour la valeur du sinus, éventuellement 9 bits. La valeur du sinus étant inférieure à 1, les poids des

bits du mot de sortie auront, par ordre décroissant les valeurs suivantes :

2^{-1}	soit	0,5	écriture :	10000000
2^{-2}		0,25		01000000
2^{-3}		0,125		00100000
2^{-4}		0,0625		00010000
2^{-5}		0,03125		00001000
2^{-6}		0,015625		00000100
2^{-7}		0,0078125		00000010
2^{-8}		0,00390625		00000001

A chaque angle, multiple de l'incrément α, correspond une valeur sinus théorique que l'on peut coder au 1/2 dernier bit près et mettre en mémoire. On obtient donc le tableau suivant :

Adresse k	Angle $k\alpha$ $\alpha = \frac{90}{128} \# 0,7°$	sin $k\alpha$ (théorique)	code	valeur décodée
0	0	0	00000000	0,0000
1	$\alpha \# 0,7°$	0,0123	00000011	0,0117
2	$2\alpha \# 1,4°$	0,0246	00000110	0,0234
3	$3\alpha \# 2,1°$	0,0368	00001001	0,0351
⋮	⋮	⋮	⋮	⋮
127	$127\alpha \# 89°.3$	0,99992	11111111	0,99961

On constate donc une erreur globale de l'ordre de ± 0,5 %.

Pour atteindre des précisions plus élevées il faut simultanément mettre en mémoire un plus grand nombre de mots et utiliser davantage de bits pour chaque mot. Ainsi l'obtention d'un sinus d'un angle exprimé à 1 minute d'arc près conduit à prendre 2^{12} mots (4096 parties pour 5400 minutes) et 12 bits pour numériser l'expression sin θ, soit un total de 49152 bits. Pour cela il faut par exemple 6 modules ROM de 8192 bits. Mais on peut chercher à minimiser l'information à mettre en mémoire en recherchant un calcul simple pour sin θ. Ceci pourra conduire à l'utilisation de modules complémentaires et finalement c'est un bilan que doit faire l'utilisateur où interviennent le prix, la rapidité et le volume mais également les possibilités offertes par les mémoires ROM.

Par exemple une technique assez courante est de décomposer l'angleθ en deux parties et d'écrire : $\theta = A + h$

h étant petit devant A ($h < 1°$)

Ainsi : $\sin \theta = \sin A \cos h + \cos A . \sin h$ et

si : $0 < h < 1°$ $\sin h \neq h$ rad. à 5.10^{-5} près

et $\cos h = 1$ à 10^{-4} près.

On écrit donc : $\sin \theta = \sin A + h(rd) . \cos A$.

On est ainsi conduit à stocker dans la mémoire morte 90 mots pour A (0 à 89°) et quelques mots, 10 à 20 environ, pour le complèment h selon la précision désirée (10^{-3} à 10^{-4}). Le processus de calcul sera :

1) extraire sin A
2) calcul de 90° - A (complèment à 2)
3) extraire sin (90°-A) = cos A
4) extraire h
5) multiplier h par cos A
6) additionner ce dernier résultat à sin A

VIII-5-5) MULTIPLICATION A L'AIDE DE MEMOIRE ROM

Soit deux nombres à multiplier, de n_1 et n_2 bits respectivement. Leurs valeurs maximum sont $2^{n_1}-1$ pour l'un et $2^{n_2}-1$ pour l'autre. Leur produit sera donc au maximum égal à :

$$P_M = (2^{n_1}-1)(2^{n_2}-1)$$

soit :

$$P_M = 2^{n_1+n_2} + 1 - (2^{n_1}+2^{n_2})$$

et donc :

$$P_M < 2^{n_1+n_2} - 1$$

EXEMPLE :

$n_1 = 4$ $\quad n_2 = 4$

$0 \leqslant X_1 \leqslant 2^{n_1} - 1$

$0 \leqslant X_2 \leqslant 2^{n_2} - 1$

	X_1	X_2	$X_1 . X_2$ binaire	$X_1 X_2$ décimal
16	0 0 0 0	0 0 0 0	0 0 0 0 0 0 0 0	0
	0 0 0 0	0 0 0 0	0 0 0 0 0 0 0 0	0
	- - - -	- - - -	- - - - - - - -	0
	- - - -	- - - -	- - - - - - - -	0
	0 0 0 0	1 1 1 1	0 0 0 0 0 0 0 0	0
16	0 0 0 1	0 0 0 0	0 0 0 0 0 0 0 0	0
	0 0 0 1	0 0 0 1	0 0 0 0 0 0 0 1	1
	- - - -	- - - -	- - - - - - - -	..
	- - - -	- - - -	- - - - - - - -	
	0 0 0 1	1 1 1 1	0 0 0 0 1 1 1 1	15
	- - - -	- - - -	- - - - - - - -	--
	- - - -	- - - -	- - - - - - - -	--
16	1 1 1 1	0 0 0 0	0 0 0 0 0 0 0 0	0
	1 1 1 1	0 0 0 1	0 0 0 0 1 1 1 1	15
	- - - -	- - - -	- - - - - - - -	--
	1 1 1 1	1 1 1 1	1 1 1 1 1 1 1 1	225

Dans ce cas il y a $2^{n_1+n_2}$ soit $2^8 = 256$ produits à prévoir, un résultat pouvant s'exprimer à l'aide de $n_1+n_2 = 8$ bits. Néanmoins, on peut remarquer que certains produits se retrouvent plusieurs fois, par exemple le résultat 0 qui est obtenu chaque fois que X_1 ou X_2 sont nuls.

Malgré tout pour une utilisation très simple, on range chaque produit à l'adresse qui lui correspond et qui est constitué par X_1 et X_2. Il faut utiliser dans ce cas une mémoire de 265 mots de 8 bits.

D'une façon générale pour prévoir tous les produits possibles d'un nombre de n_1 bits avec un nombre de n_2 bits, il faudra une mémoire ROM de $2^{n_1+n_2}$ mots de n_1+n_2 bits.

On atteint malheureusement assez vite une limite. En effet, pour multiplier deux nombres binaires de 8 bits, il faut une mémoire de 2^{16}, soit 64536 mots de 16 bits, soit pratiquement 10^6 bits ! Il est facile de voir que chaque fois que n_1 ou n_2 augmente de 1 on double le nombre de mots mémoire.

Pour minimiser le volume de la mémoire il faut donc faire appel à une organisation un peu plus originale. L'exemple qui suit concerne une multiplication de 8 bits par 8 bits et devient réalisable grâce à l'utilisation d'additionneurs (figure VIII-15).

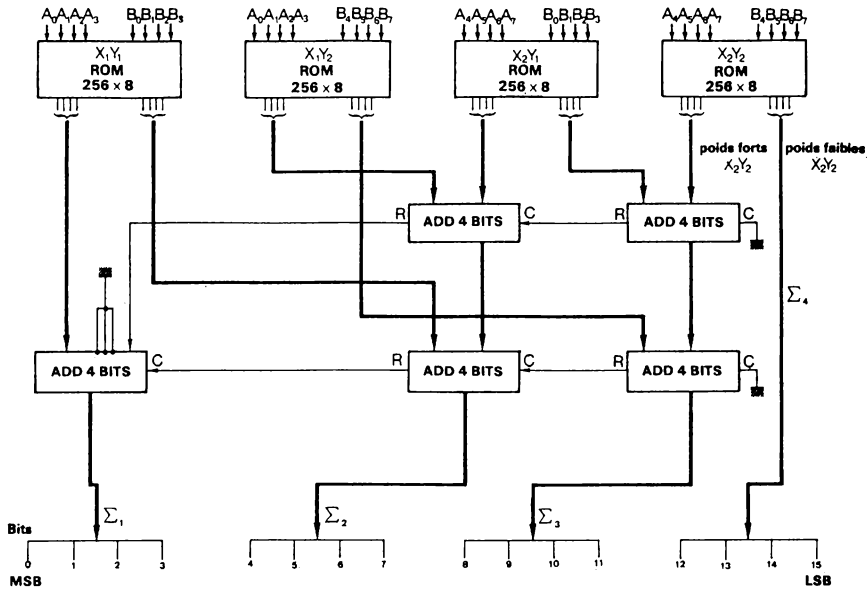


FIGURE VIII – 15. – *Multiplication de deux nombres de 8 bits.*

Fonctionnement :

Soit donc deux nombres A et B de 8 bits.

$A = (A_0A_1A_2A_3A_4A_5A_6A_7) = X_1 + X_2$

$B = (B_0B_1B_2B_3B_4B_5B_6B_7) = Y_1 + Y_2$

$(A_i = B_i = 0 \text{ ou } 1)$

Avec $X_1 = (A_0A_1A_2A_3\ 0\ 0\ 0\ 0)$

$X_2 = (0\ 0\ 0\ 0\ A_4A_5A_6A_7)$

$Y_1 = (B_0B_1B_2B_3\ 0\ 0\ 0\ 0)$

$Y_2 = (0\ 0\ 0\ 0\ B_4B_5B_6B_7)$

On peut écrire :

$$A.B = (X_1+X_2).(Y_1+Y_2) = X_1Y_1 + X_1Y_2 + X_2Y_1 + X_2Y_2$$

et dresser le tableau suivant :

BITS	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	
$X_1\ Y_1$ =	b	b	b	b	b	b	b	b	0	0	0	0	0	0	0	0	
$X_1\ Y_2$ =	0	0	0	0	b	b	b	b	b	b	b	b	0	0	0	0	b = 0 ou 1
$X_2\ Y_1$ =	0	0	0	0	b	b	b	b	b	b	b	b	0	0	0	0	
$X_2\ Y_2$ =	0	0	0	0	0	0	0	0	b	b	b	b	b	b	b	b	
$\sum$ =	$\sum_1$				$\sum_2$				$\sum_3$				$\sum_4$				

On constate que :

$\sum_4$ est constitué des 4 derniers bits du résultat de la multiplication des 4 derniers bits de A par les 4 derniers bits de B.

$\sum_3$ est la somme de 3 nombres de 4 bits. Ces bits sont ceux de rang 8, 9, 10 et 11 dans les résultats des produits suivants :

- 4 derniers bits de A par les 4 derniers bits de B (X_2Y_2)
- 4 derniers bits de A par les 4 premiers bits de B (X_2Y_1)
- 4 premiers bits de A par les 4 derniers bits de B (X_1Y_2)

Cette double somme fournit donc 2 retenues :

R_3 et R'_3

$\sum_2$ est la somme des deux retenues R_3 et R'_3 et de 3 nombres de 4 bits. Ces bits sont ceux de rang 4, 5, 6 et 7 dans les résultats des produits suivants :

- 4 premiers bits de A par les 4 premiers bits de B (X_1Y_1)
- 4 derniers bits de A par les 4 premiers bits de B (X_2Y_1)
- 4 premiers bits de A par les 4 derniers bits de B (X_1Y_2)

On peut avoir là également deux retenues R_2 et R'_2.

$\sum_1$ est la somme des retenues R_2 R'_2 et des 4 bits les plus forts (rang 0 1 2 et 3) du résultat du produit des 4 premiers bits de A par les 4 premiers bits de B ($X_1 Y_1$).

On remarquera que l'on utilise tout de même un additionneur 2 fois 4 bits, un type courant, qu'une retenue est introduite normalement et que l'autre retenue est appliquée à l'entrée de poids le plus faible, les trois autres entrées étant à zéro, pour constituer un chiffre OOR additionné alors aux 4 bits de poids forts du produit $X_1 Y_1$.

Avec un tel système on peut exécuter une multiplication 2 fois 8 bits en 2 µs maximum si on utilise des mémoires MOS 2048 bits.

VIII-6- MEMOIRES A LECTURE ET ECRITURE (READ-WRITE MEMORY)

Pour ce type de mémoire la lecture et l'écriture sont réalisées à très grande vitesse, l'élément de mémoire étant soit une bascule électronique soit une capacité. Une instruction (1 bit) supplémentaire peut être nécessaire suivant l'organisation du module pour lui préciser l'opération désirée, lecture ou écriture.

On peut distinguer deux domaines d'application qui conduisent chacun à une configuration différente.

1) Les mémoires tampon : ces mémoires ont autant de sorties que de bit mémoire. Ce sont généralement des modules de petite capacité, essentiellement limitée par le nombre d'accès.

2) Les mémoires blocs : ces mémoires sont réalisées à partir de modules circuits intégrés équipés de circuits d'aiguillage et de sélection afin de pouvoir accéder à un mot de x bits parmi les N contenus au total. Le nombre x est généralement petit (1 2 4 ou 8) de façon à limiter le nombre d'accès du boîtier et les N emplacements mémoires sont accessibles grâce à n bits d'adresse ($N = 2^n$). On notera qu'un bit de plus pour l'adresse permet de doubler la capacité de la mémoire.

Ces modules sont généralement appelés des mémoires RAM (Random access memory) et on doit dire pour être complet : mémoire à lecture-écriture et à accès aléatoire (Read-write RAM).

VIII-6-1) LES MEMOIRES TAMPONS

Une mémoire tampon peut être utilisée chaque fois que plusieurs informations accessibles séquentiellement, par exemple à partir d'une mémoire RAM, sont désirées en accès simultané. On fait également appel à une mémoire tampon quand une information digitale doit transiter entre un organe très rapide, par exemple une unité centrale d'ordinateur, et un périphérique qui n'est généralement pas le seul à être servi.

En bref on peut dire qu'une mémoire tampon est utilisée pour élargir l'accès (information en parallèle) ou le temps.

Par exemple on mettra en mémoire l'information BCD d'un nombre pouvant prendre les valeurs 0000 à 9999, pour être ensuite décodée et affichée. Cette information sera renouvelée avec une certaine fréquence fonction du phénomène observé et nécessite l'emploi de 4 informations BCD c'est-à-dire quatre fois quatre fils et donc une mémoire tampon de 16 bits.

La figure VIII-16 représente le cas le plus simple d'une information binaire en transit. L'information "donnée" et son "adresse" n bits au total, est destinée à un périphérique déterminé. Elle sera transmise par l'intermédiaire d'une ligne omnibus puis à l'arrivée reconnue, aiguillée (décodage de l'adresse) et utilisée.

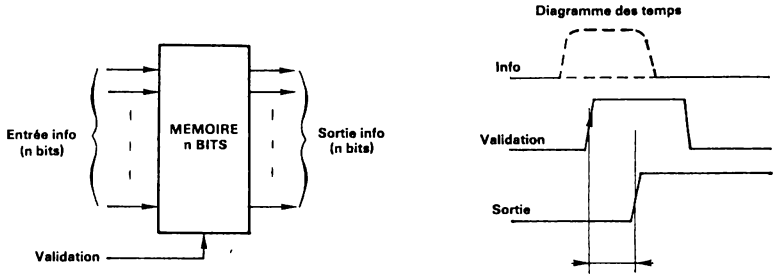


FIGURE VIII – 16. – *Mémoire tampon.*

Les bascules du type D à commande sur front ainsi que les bascules "latch" seront généralement employées.

La figure VIII-17 représente un cas très général où plusieurs périphériques sont connectés à un organe central numérique au moyen d'un canal. L'information binaire délivrée par le canal de sortie de cet organe central n'est généralement disponible qu'un temps très bref. Après aiguillage, cette information doit donc être mise en mémoire pour donner lieu à un traitement : calcul, décodage digital-analogique, affichage alpha-numérique etc.... L'adresse est envoyée en même temps que l'information "donnée", laquelle est distribuée à toutes les unités de mémoires tampons (de 16 bits par exemple).

L'adresse est traitée par un décodeur digital qui sélectionne la mémoire adressée grâce au signal "validation décodée" utilisée comme signal d'horloge. Mais, on se trouve vite devant un grand nombre d'interconnexions qui sont nécessaires malgré la mise en parallèle sur une ligne "unibus" des entrées de même rang de toutes les bascules. Cette mise en parallèle peut

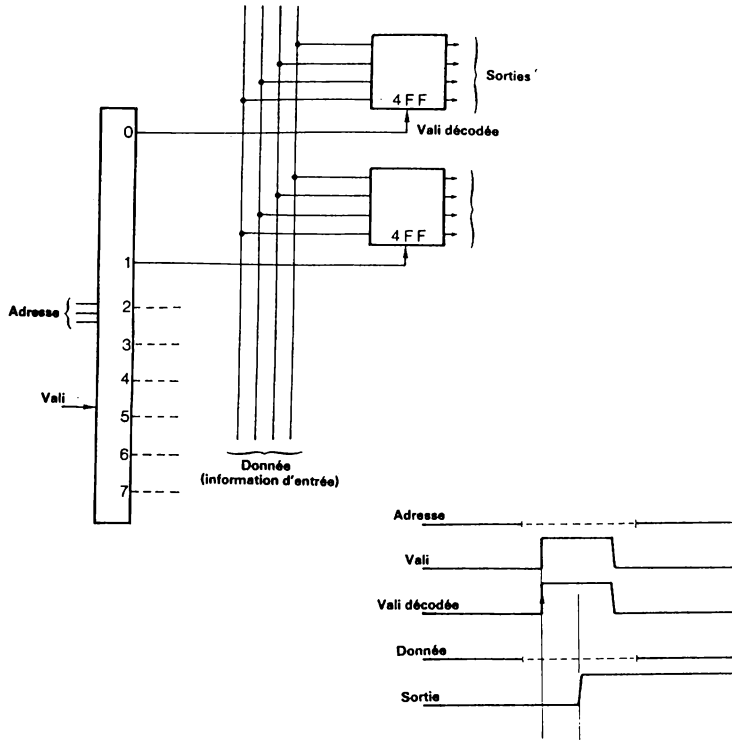
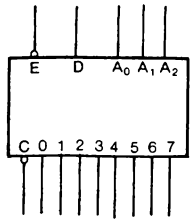


FIGURE VIII – 17. – *Distribution et mise en mémoire de l'information.*

d'ailleurs poser rapidement un problème de charge sur cette ligne et engendrer une commutation de forts courants (n × 1,6 mA en TTL normale) chaque fois que l'information véhiculée par cette ligne est modifiée. Il serait donc intéressant que ce type de bascule présente la propriété de ne débiter un courant à son entrée que si elle est adressée. Pendant le reste du temps où elle n'est pas sélectionnée le courant d'entrée, que le niveau soit 0 ou 1 sur la ligne, devrait rester égal à quelques µA (courant de fuite habituel). On retrouve là une propriété qui ressemble fort à celle présentée par la sortie d'un circuit 3 états, et rares sont les circuits qui présentent cette caractéristique pour les entrées. Mais revenons au problème d'interconnexions, qui nécessite une soudure ou un cablage, abaisse la fiabilité et augmente l'encombrement et le coût de fabrication. C'est là un domaine favori pour le circuit intégré qui doit apporter un progrès. Pour ce faire

il faut revoir l'organisation des circuits dans un esprit différent de manière à mettre en évidence l'utilisation des circuits intégrés plus complexes.

Supposons que l'ensemble de mise en mémoire présenté à la figure VIII-17 ait une capacité de 8 mots de 16 bits (128 bits) et cherchons à utiliser un module de 8 bascules. Pour limiter le nombre de broches du boîtier (16 si possible) et d'autre part réaliser le maximum d'interconnexions



A_0 A_1 A_2 entrées d'adresse
D entrée donnée
$\overline{E}$ entrée de validation
$\overline{C}$ entrée de remise à 0
0 à 7 sorties

$\overline{E}$	$\overline{C}$	mode
L	H	bascule sélectionnée
H	H	fonctionnement en mémoire
L	L	fonctionnement en démultiplexeur
H	L	CLEAR (remise à 0).

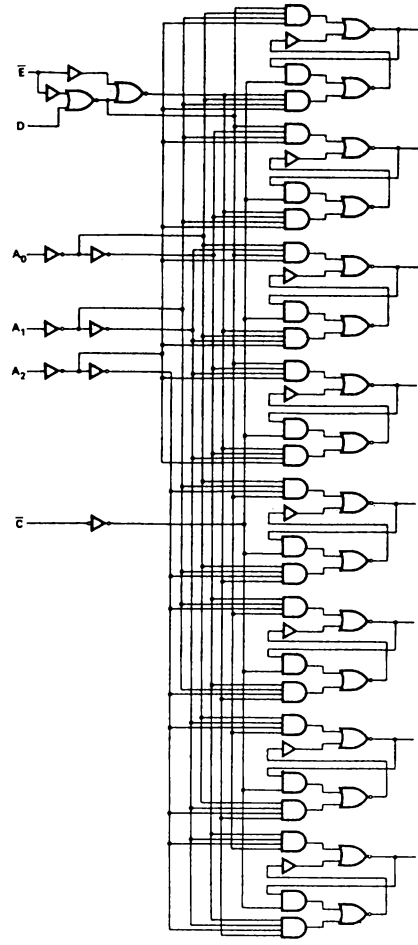


FIGURE VIII – 18.

8 bascules adressables
(8 bits Adressable Latch 9334 Fairchild).

en fabricant le circuit intégré on est amené à intégrer le décodeur (3 bits d'adresse pour désigner les 8 bascules). Enfin une seule entrée (au lieu de 8) commune aux 8 bascules est nécessaires. Ce module existe. C'est par exemple le type 9334 "8 bits adressable latch" de Fairchild. Et si le marché était important le module 16 bits existerait tout aussi bien en boîtier 24 broches (16 sorties + 2 alimentations + 4 adresses + 1 entrée + 1 sélection = 24 pins.

Le schéma du cicuit 9334 est représenté à la figure VIII-18 avec un tableau pour préciser ses divers modes de fonctionnement. La figure VIII-19 présente l'organisation d'un ensemble : mise en mémoire de 128 bits avec accès simultané et permanent aux 128 sorties. Le nombre d'interconnexions

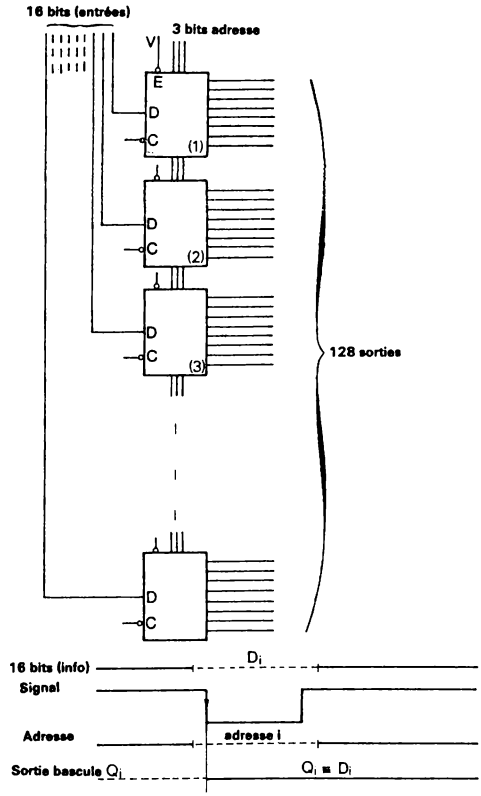


FIGURE VIII – 19. – *Mémoire tampon de 128 bits et diagramme de temps.*

est réduit d'une centaine environ par rapport au circuit de la figure VIII-18 et 16 boîtiers de 16 broches sont seulement nécessaires au lieu de 32 (cas de 4 flip-flops) ou 16 boîtiers de 24 broches beaucoup plus encombrants (cas de 8 flip-flops avec 8 entrées et 8 sorties). L'avantage est réalisé simultanément sur tous les plans : encombrement, fiabilité, coût de fabrication.

VIII-6-2) LES MEMOIRES BLOCS

L'utilisation typique d'une mémoire bloc est la mémoire centrale d'un ordinateur (main frame memory). La capacité est assez grande et si le temps d'accès à un mot doit être faible (0,5 µs par exemple) par contre il n'est plus nécessaire d'avoir accès simultanément à tous les mots puisque le traitement numérique est séquentiel. Toutefois il n'est pas possible pour autant d'utiliser une mémoire séquentielle car alors le temps d'accès a un mot dépendant de son emplacement, le traitement en serait profondément ralenti.

L'accès à la mémoire bloc est donc obtenu par multiplexage, c'est-à-dire par sélection opérée par un système combinatoire, ce qui rend cet accès indépendant de la position ("aléatoire").

Dans ces conditions l'organisation de base d'une telle mémoire est celle donnée à la figure VIII-20.

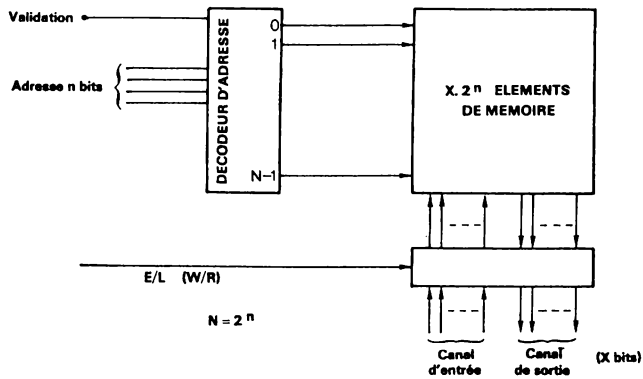


FIGURE VIII – 20. – *Vue d'ensemble d'une mémoire RAM à lecture-écriture de 2 n mots de x bits*

On distingue :

- un décodeur d'adresse (n bits)
- un canal d'entrée (x accès, x ⩾ 1)
- un canal de sortie (x accès)
- une commande lecture/écriture (R/W en anglais)
  ou éventuellement deux commandes séparées
- une entrée "sélection du module" ou entrée de validation (memory enable)
- le bloc mémoire proprement dit constitué de $x.2^n$ éléments de mémoire (bascules ou capacités)
- une entrée horloge pour les mémoires à rafraîchissement.

Enfin dans certains cas les accès d'entrée et de sortie sont confondus en un seul canal d'entrée-sortie bidirectionnel (canal I/0).

Une réalisation de mémoire bloc à partir de modules de base, flip-flop décodeur et portes de puissances, peut être faite comme l'indiquent les figures VIII-21 et VIII-22.

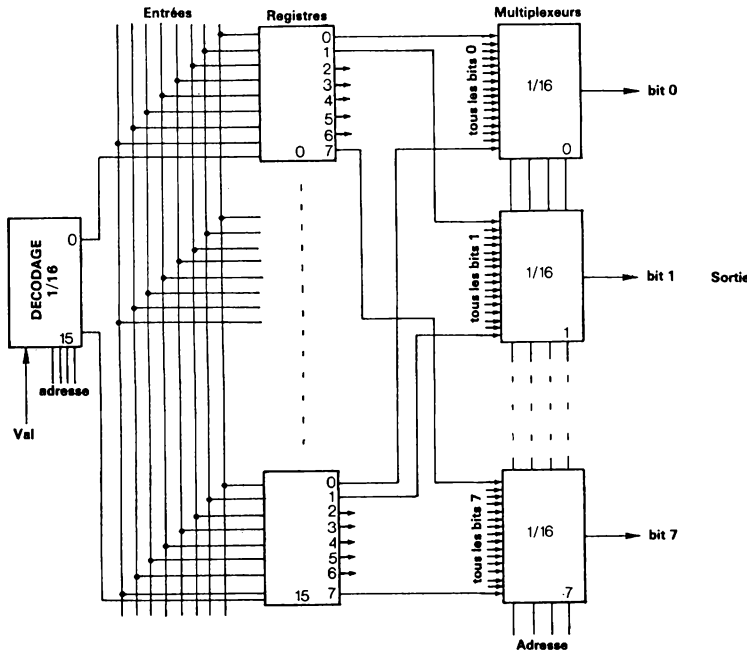


FIGURE VIII – 21. – *Mémoire bloc de 16 mots de 8 bits.*

Dans le premier cas (fig. VIII-21) un décodeur d'adresse sélectionne pour l'écriture un des 16 registres de 8 bits numérotés de 0 à 15. Cette sélection (signal de validation plus l'adresse) sert de signal d'horloge pour le registre adressé. Pour effectuer une lecture (sortie d'information), l'adresse est envoyée à 8 multiplexeurs de 16 entrées. On dispose donc d'un ensemble de 8 sorties délivrant le mot de 8 bits demandé.

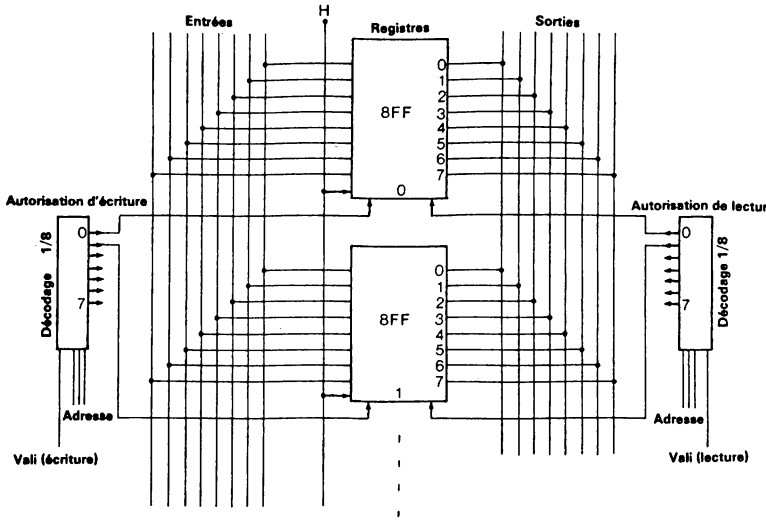


FIGURE VIII – 22. – *Mémoire bloc de 8 mots de 8 bits.*

Dans le deuxième cas (fig. VIII-22) on utilise des registres dont les sorties peuvent être mises en parallèle (sorties à 3 états par exemple). Le signal d'horloge H est distribué à tous les registres mais n'aura effet, pour l'écriture, que lorsque l'autorisation d'entrée sera donnée. Cela est fait par un décodeur d'adresse à partir de l'information "adresse" (n bits) et du signal de validation. Pour la lecture un deuxième décodeur sélectionne le mot de sortie en appliquant au registre convenable le signal "autorisation de sortie" (ou autorisation de lecture), les autres registres occupant l'état OFF. On remarquera qu'avec cette organisation on peut écrire à une certaine adresse tout en lisant à une autre adresse.

Ces deux exemples permettent d'apprécier l'immense progrès réalisé par l'intégration à grande échelle (LSI). En effet ces deux configurations font ressortir une particularité importante d'une structure mémoire qui est

le nombre très élevé d'interconnexions alors que les liaisons avec le monde extérieur (accès) sont faibles. Un premier pas est certes franchi quand on utilise les circuits 3 états (figure VIII-22) mais seule l'intégration monolithique du décodeur d'adresse et d'un grand nombre de cellules mémoire ouvre vraiment aux semi-conducteurs le domaine des mémoires de capacité moyenne (16 K bits à 10^6 bits) en offrant un produit fiable et qui n'exige pas un câblage trop complexe donc vulnérable. Les techniques modernes de circuits imprimés multicouche apportent, il est vrai, une contribution non négligeable à cette nouvelle voie.

VIII-6-3) ELEMENTS DE MEMOIRE SEMI-CONDUCTEUR A LECTURE ET ECRITURE

En 1970 les utilisateurs disposaient d'un module circuit intégré d'une capacité de 64 bits en technique bipolaire et d'un module de 256 bits, toujours intégré sur un seul chip, en technique MOS. Trois ans plus tard des capacités de 256 bits (bipolaire) et 1024 bits (MOS dynamique) sont industriellement fabriqués. Parallèlement on peut considérer comme certains l'utilisation pour fin 1973 début 1974 d'éléments mémoire de 1024 bits (bipolaire ou MOS statique) et de 4096 bits (MOS dynamique). On notera donc le rapport de 4 qui semble se maintenir entre les capacités obtenues avec la technique MOS dynamique d'une part et les techniques bipolaire ou MOS statique d'autre part. C'est là une première caractéristique assez nette, le prix par bit en étant la deuxième, qui se dégage de cette large panoplie présentée par les mémoires semi-conducteurs.

Car à l'intérieur de ces deux familles, bipolaire et MOS, l'amélioration des processus de fabrication et l'utilisation de différents semi-conducteurs, oxydes, isolants, etc... conduisent à de nombreuses variantes (Silicon on saphire, Silicon gate, implantation ionique, MOS complémentaire ...).

Le but à atteindre est en effet soit de créer une mémoire possédant les principales qualités exigées ou tout au moins un aussi grand nombre que possible ou bien de viser une performance élevée sur quelques points précis (par exemple : grande vitesse ou très faible consommation) au détriment des autres.

Or, les principales qualités d'une mémoire sont assez nombreuses : la vitesse de fonctionnement, la densité du chip de base ce qui a des répercussions sur les coûts de fabrication et la fiabilité, la consommation, le mode de fonctionnement avec ses contraintes sur les signaux échangés, les tensions d'alimentations nécessaires et enfin la compatibilité plus ou moins réalisée avec la logique TTL universellement employée.

La gamme de produits peut finalement être large puisque les utilisations sont fort différentes, allant des petites unités très rapides (scratch-pad memory) jusqu'aux capacités importantes généralement moins rapides.

Ainsi dans la famille bipolaire les techniques ECL et TTL Schottky visent essentiellement les hautes vitesses et l'effort consiste à augmenter la densité. Quant à la technique TTL low-power Schottky elle se réserve les vitesses moyennes avec de faible consommation.

De même à l'intérieur de la grande famille MOS on distingue la technologie CMOS utilisant conjointement des transistors MOS canal N et des transistors MOS canal P dont la caractéristique principale et la très faible consommation (µW) et les familles P-MOS où tous les transistors sont du type canal P, N-MOS où tous les transistors sont du type canal N, et des mariages intéressants comme par exemple celui de la technologie SOS (silicon on saphire) C MOS qui donnent des circuits très performants (simultanément grande vitesse et très faible consommation).

Mais pour l'instant il est indiscutable que la vitesse sépare les deux familles principales. La technique bipolaire offre des temps de l'ordre de 50 à 60 ns (TTL Schottky) et même 15 à 20 ns (ECL). Quant à la technique MOS avec plus spécialement la technologie N-MOS elle promet d'approcher ces hautes vitesses mais elle offre pour le moment des performances très variables en fonction des compromis réalisés, s'étalant de 150 ns à 1 µs.

Avant de présenter quelques exemples de réalisation il est bon de rappeler la définition de deux paramètres importants :

Temps de cycle : durée minimum séparant l'application successive de deux adresses. Il donne la fréquence maximum de fonctionnement.

Temps d'accès : durée qui sépare l'instant où l'adresse est appliquée de l'instant où l'information est disponible (vraie) en sortie.

Enfin, le tableau de la figure VIII-23 rassemble les différentes technologies actuelles en faisant apparaître leurs performances, densité/vitesse. On remarquera l'avantage assez net qui se dégage pour les technologies TTL et N-MOS dynamique.

VIII-6-4) MEMOIRES RAM STATIQUES

VIII-6-4-1) MEMOIRE RAM 256 BITS BIPOLAIRE

L'organisation de cette mémoire (SN 74200 Texas) est représentée à la figure VIII-24. On distingue l'élément mémoire de 256 mots de 1 bit (256 bascules), le circuit de décodage d'adresse (8 bits) et les circuits d'entrée sortie. Pratiquement l'organisation interne est faite par groupe de 8 bits (32 rangées de 8 bits) ce qui nécessite donc un décodage de 1 parmi 32 puis un multiplexeur de 1 parmi 8 pour extraire le bit adréssé. Un temps d'accès de 40 ns typique est possible (70 ns max). Le diagramme des

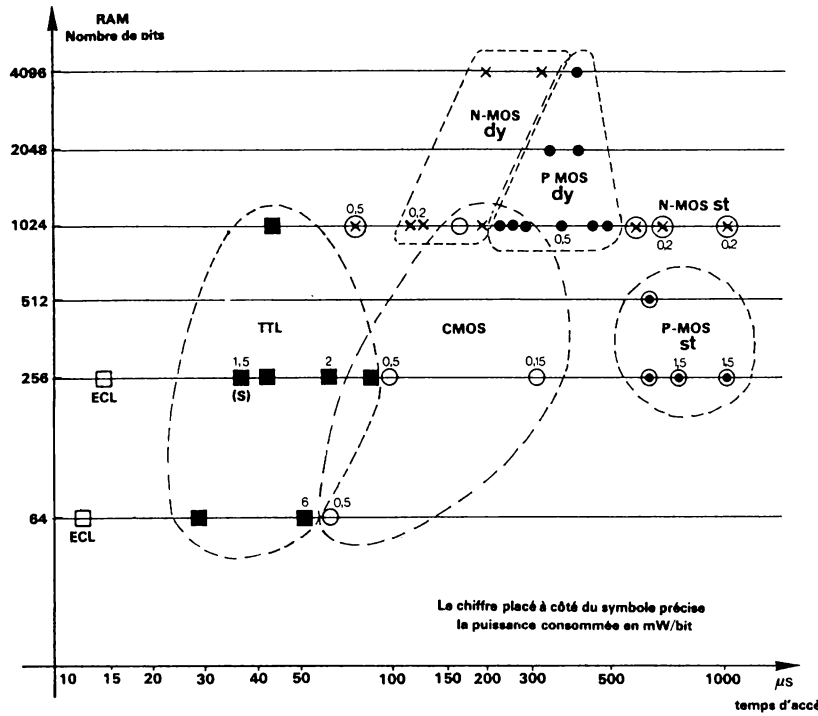


FIGURE VIII – 23. – *Les mémoires RAM : densité/vitesse*

temps représenté à la figure VIII-24 précise la position respective des quelques signaux échangés. L'adresse, l'information et la validation mémoire sont appliquées un temps $t_{set\text{-}up}$ avant l'autorisation d'écriture (W/E). Dès que W/E = 0 la bascule latch est en relation avec l'entrée et quand W/E revient à UN la bascule est isolée. L'adresse et l'information peuvent changer (t_{hold} > 10 ns). La tension de sortie réagit avec un délai de t_{LZ} ou t_{HZ} suivant qu'elle passe de 0 à 1 (cas n° 1) ou de 1 à 0 (cas n°2).

Fonction	Etat des entrées		Etat
	memory enable ME	write enable WE	des sorties
écriture ($\overline{\text{bit}}$)	L	L	haute Z
lecture	L	H	bit mémoire
inhibition	H	X	haute Z

L = Low (0 logique)
H = High (1 logique)
haute Z = haute impédance
X = état indifférent

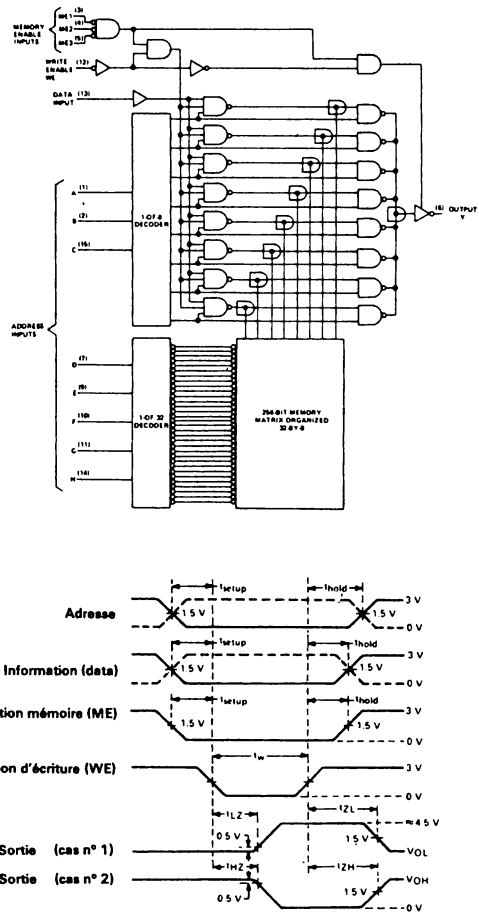


FIGURE VIII – 24. – *Mémoire RAM 256 bits bipolaire SN 74200 Texas.*

On remarque l'état de haute impédance (3e état) occupé par la sortie pendant un cycle d'écriture ou si le module n'est pas validé (memory enable = 1). Ce dernier point permet à plusieurs modules de délivrer leur information sur la même ligne de sortie laquelle peut être aussi la ligne où transite l'information d'entrée (connexion sur ligne unibus d'entrée-sortie). Enfin on notera la puissance consommée : 700 mW max. pour 256 bits soit pratiquement 2,7 mW/bit max.

VIII-6-4-2) MEMOIRE MOS STATIQUE 1024 BITS

La technologie N-MOS a permis récemment d'atteindre cette densité de 1024 bits, l'élément de mémoire étant toujours le circuit croisé bien connu (flip-flop).

La consommation est bien plus faible (0,2 mW/bit max) mais le temps d'accès garanti est supérieur à 500 ns. Toutefois ce dernier paramètre doit être amélioré dans les années à venir.

Un exemple récent est le type 2102 de Intel compatible TTL (5V) utilisant la technologie N-MOS silicon gate. Ce module est également fabriqué par Signetics (2602 et 2602-1 version rapide 500 ns).

Le diagramme des temps illustré à la figure VIII-25 n'est pas différent

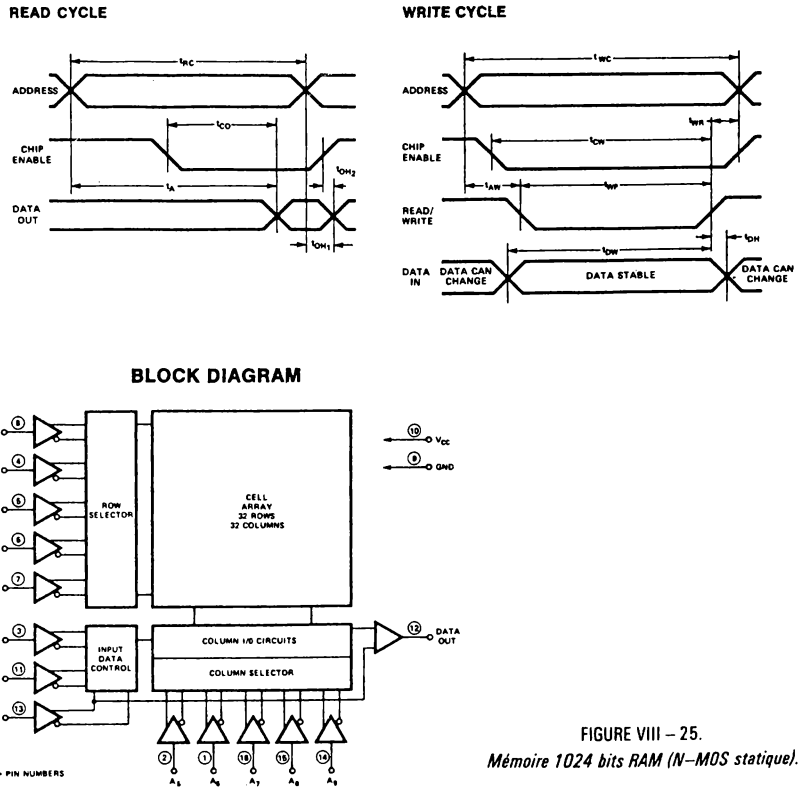


FIGURE VIII – 25.
Mémoire 1024 bits RAM (N–MOS statique).

dans son principe à celui nécessaire pour la mémoire bipolaire. Les temps t_A pour la lecture et t_{AW} pour l'ordre d'écriture sont référencés par rapport à l'instant où l'adresse est établie et tous les temps indiqués ont une durée minimum garantie au-dessous de laquelle on ne peut plus garantir le bon fonctionnement.

VIII-6-5) MEMOIRES RAM DYNAMIQUES

Pour augmenter la densité d'intégration on peut mettre en oeuvre une nouvelle technologie. Mais pour aller plus loin on peut chercher à simplifier les circuits habituels si cette technologie le permet. Et dans le cas des mémoires ce sont les circuits de mémorisation qu'il faut pouvoir simplifier. Or il existe naturellement une capacité même minime, entre la grille isolée et le canal d'un transistor MOS. Et, puisque les courants d'entrée de ces transistors MOS sont très faibles cette capacité peut être utilisée comme élément de mémoire. Un rafraîchissement de l'information (refresh cycle) sera tout de même nécessaire mais à une fréquence raisonnable (2ms en général). Ceci a donné naissance aux mémoires MOS dynamiques.

En technique MOS ce circuit de mémorisation est actuellement l'objet de simplifications plus ou moins poussées suivant les constructeurs. Il peut être réduit à la limite à un transistor (et sa capacité) ou bien sensiblement voisin du montage croisé bien connu (figure VIII-26). Dans ce dernier cas les capacités parasites sont toujours utilisées pour stocker l'information binaire et les résistances de charge sont externes et communes à tous les éléments mémoire. Dans ces conditions un signal d'horloge connecte la cellule adressée aux résistances de charges externes quand on veut lire ou écrire. En l'absence d'écriture ou de lecture (stand by mode) les transistors MOS de la cellule sont chargés par de très hautes impédances (MOS à l'état OFF) et la consommation, donc la puissance dissipée sur le chip, est nettement abaissée. C'est là également un paramètre important qui permet une plus haute densité d'intégration. A mi-chemin, le circuit à 3 transistors MOS semble être un compromis assez souvent adopté.

Dans tous les cas, il faut assurer le rafraîchissement de l'information et ceci est réalisé au moyen de circuits annexes permettant la réécriture du contenu, de chaque capacité avant que celui-ci n'ait trop varié, c'est-à-dire avant qu'un 1 Logique ne soit devenu un 0 Logique et inversement à la suite des charges apportées ou extraites par les courants de fuite.

Ce cycle de rafraîchissements doit se faire en général à une fréquence de l'ordre de 500 Hz (2 ms) et il impose donc une séquence supplémentaire qui consiste à adresser tous les bits stockés soit séquentiellement par groupe soit à la limite, tous simultanément. Pour le module 1103 maintenant standard (P-MOS 1024 bits) le rafraîchissement se fait par groupe de 32 bits donc 32 séquences doivent s'insérer en 2 ms parmi les cycles

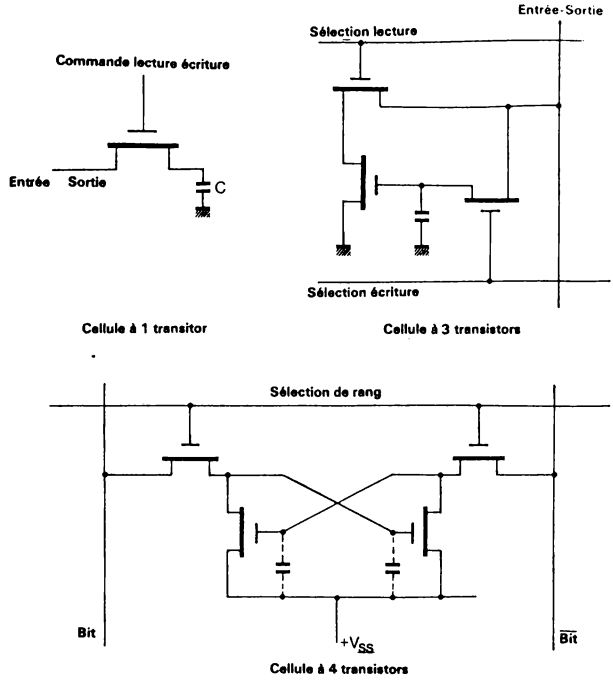


FIGURE VIII – 26. – *Différents types de cellule mémoire MOS dynamique.*

d'écriture ou de lecture. Ces 3 modes de fonctionnement, lecture, écriture, rafraîchissement, sont gérés par des circuits de commandes et le tout prend généralement la forme d'une carte modulaire comme celle représentée à la figure VIII-28 qui est une carte mémoire de 4096 mots de 18 bits utilisant le module RAM 1024 bits MOS dynamique.

Exemple de mémoire MOS dynamique : La mémoire N-MOS 1024 bits. EA 1500

Cet élément N-MOS dynamique récemment introduit par la firme Electronic Arrays Inc. apporte avec la technologie N-MOS une amélioration sur plusieurs points. Des fréquences de fonctionnement élevées sont déjà possibles : temps d'accès 85 ns. max., durée du cycle d'écriture 270 ns. La puissance consommée à la fréquence maximum est de 0,2 mW/bit mais en mode d'attente (stand by mode) cette puissance consommée descend à 0,05 nW/bit. Ce mode d'attente est d'ailleurs une caractéristique essentielle des mémoires MOS dynamiques ; il correspond à une absence de lecture ou d'écriture, seulement le cycle de rafraîchissement est généré.

Enfin ce module ne demande qu'un pulse de rafraîchissement toutes les 2 ms, les 1024 bits étant rafraîchis simultanément. La cellule de base est la cellule à 3 transistors MOS.

VIII-6-6) MEMOIRES SEMI-CONDUCTEURS DE CAPACITE ELEVEE ET TECHNIQUE MICRO-ELECTRONIQUE

A partir des modules standards de 256, 1024 bits etc... il est possible de réaliser des modules mémoire plus importants suivant une technologie de haute fiabilité.

Ainsi la mémoire de 4096 mots de 1 bit dont le schéma est vu à la figure VIII-27, utilise comme élément de base des modules mémoires MOS de 256 bits. On remarquera la connexion en OU 4 par 4 des sorties de manière à ne mettre que 4 capacités de sortie en parallèle au lieu de 16 (augmentation de la vitesse de fonctionnement), ce qui nécessite une porte NAND à 4 entrées pour achever la connexion OU des 16 sorties.

L'adresse 12 bits se décompose en 4 bits pour désigner le module parmi les 16 et les 8 derniers bits précisent le bit adressé parmi les 256. (CS = 0 : chip sélectionné. CS = 1 : chip inhibé, sa sortie est à 1 quelque soit l'adresse reçue). Enfin pour un cycle d'écriture le signal R/W doit être porté à 1 Logique.

Cet ensemble de 16 chips plus quelques uns pour les fonctions annexes interconnectés sur un substrat céramique le tout hermétiquement scellé dans un boîtier de 36 mm de côté, était réalisé aux environs de 1970 par la firme Computer Microtechnology Inc.

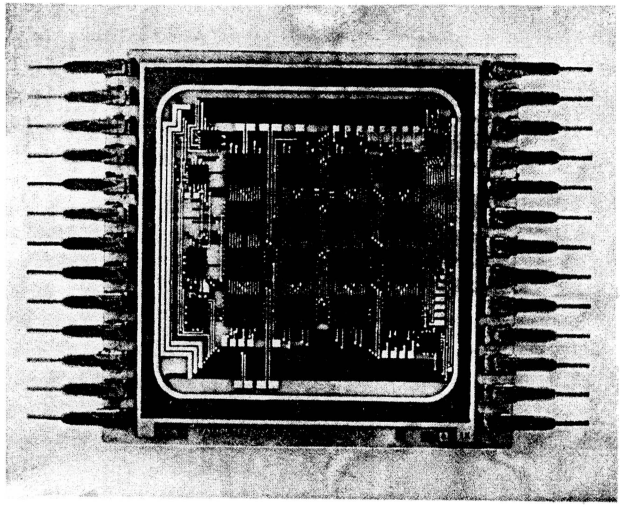
Actuellement des chips équipés de micro-pattes ou "poutres" (beam-lead chips) sont en voie de développement chez la plupart des grandes firmes de circuits intégrés tout au moins pour les circuits promis à un vaste marché et dissipant peu de puissance.

En effet, une très haute fiabilité peut être obtenue grâce aux micro-connexions (absence de fil) qui sont à réaliser avec un appareillage spécialisé par le fabricant de modules multi-chip (ou module hybride).

En utilisant cette technique on peut donc créer un module mémoire de densité telle que les grandes capacités de mémoire peuvent être atteintes.

En 1974 la réalisation suivant le schéma de la figure VIII-27 pourrait être de 16 × 1024 bits puisque le chip de base de 1024 bits est devenu un produit standard. A partir de ce boîtier de 16 K bits (K = 1024) et à l'aide des techniques habituelles de circuit imprimé, une carte de dimension 25 × 30 cm pourrait recevoir 16 de tels boîtiers plus les circuits annexes.

On pourrait donc aisément disposer de cartes modulaires d'une capa-



Mémoire R.A.M. 4096 bits C M 2400 – Document : COMPUTER MICRO TECHNOLOGIE INC.

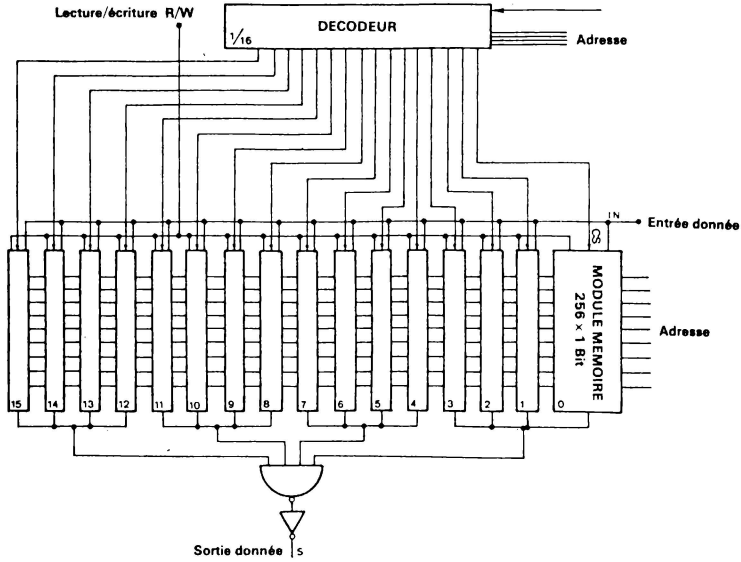


FIGURE VIII – 27. – *Organisation d'une mémoire 4096 mots de 1 bit.*

cité de 16 K mots de 16 bits. Et deux à quatre cartes de cette dimension suffisent pour équiper la mémoire centrale d'un mini-ordinateur ! On remarquera surtout l'amélioration importante de la fiabilité qui résulterait de l'utilisation de ce module multi chip de 16 K bits. En effet la carte de circuit imprimé supportant 16 de ces modules présente environ 300 points de soudure. Si par contre il faut réaliser cette unité mémoire de 16 K mots de 16 bits à l'aide seulement de modules circuit intégré de 1024 bits, il faut 256 boîtiers donc au moins 4 cartes en circuit imprimé semblables à celle représentée à la figure VIII-28 et qui doit nécessiter au moins 1000 points

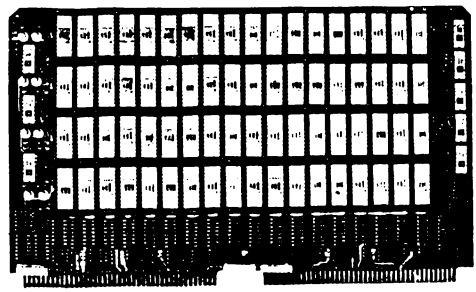


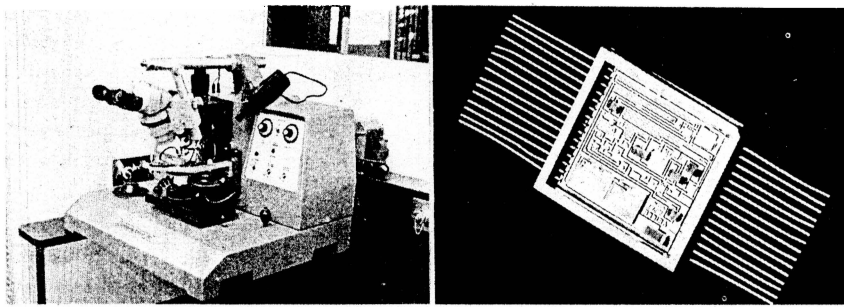
FIGURE VIII – 28. – *Carte mémoire 4 K mots de 18 bits utilisant un module RAM 1024 bits MOS dynamique (Doc. A.M.S.).*

de soudure (carte en circuit imprimée multicouche). C'est donc un total de 4000 points de soudure plus les interconnexions entre les cartes (liaison par fil ou circuit imprimé ou circuit souple) qu'il faut comparer aux 300 points de soudure de la carte 16 K mots de 16 bits.

On retiendra que ces techniques microélectroniques utilisant des chips (ou puces), beam-lead ou non, permettent d'aller au-delà des densités atteintes par les circuits MSI et LSI, d'autant plus qu'elles permettent soit d'associer des chips standards et des chips développés spécialement pour l'utilisation (LSI custom design) soit de créer un module composé de circuits logiques ou analogiques intégrés et des circuits passifs de haute qualité (obtenus en circuit couche mince).

A titre d'exemple de réalisation on peut se reporter à la figure VIII-29 qui présente un module hybride réalisé suivant les techniques modernes de microélectronique. Deux techniques d'assemblage y sont conjointement employées. D'une part, des circuits beam-lead sont reliés entr'eux par un réseau photogravé sur un substrat céramique (ou verre), les liasons du

beam-lead au substrat étant réalisées par thermo-compression et d'autre part, des chips classiques (identiques à ceux montés dans les boîtiers de circuit intégré) sont interconnectés au reste du circuit suivant des techniques un peu plus classiques déjà développées avant l'apparition du beam-lead, à savoir : fixation du chip par thermo-compression (chip bonding) et liaison par fils d'or et thermo-compression (ball-bonding).



Machine de soudure pour chip beam-lead.

Module hybride

Doc. L.M.T.

FIGURE VIII – 29.

IX- SYSTEMES LOGIQUES DE VISUALISATION

IX-1- INTRODUCTION

D'une façon générale un dispositif de visualisation (display) est un traducteur électro-optique qui transforme une quantité d'énergie électrique en énergie lumineuse ou, plus généralement, en information visible. Par extension on peut inclure dans cette définition des dispositifs électro-mécaniques ou magnétiques qui, comme on le verra plus loin par quelques exemples, peuvent eux aussi transformer une information électrique en une information visible.

Le domaine de l'affichage de caractères alpha-numériques (lettres, chiffres et symboles particuliers) est très varié car les qualités de cet affichage sont tributaires de plusieurs paramètres pouvant grandement varier d'une application à l'autre. Ces paramètres importants sont : la distance de lecture, le genre et le nombre de caractères différents, la densité du texte, l'ambiance lumineuse dans laquelle le texte est lu, le temps de réponse et la fiabilité !

Les solutions seront donc très différentes suivant qu'il s'agit par exemple d'un affichage d'horaires à réaliser dans un hall d'aérogare ou d'un display de communication avec un ordinateur. Dans le premier cas les dispositifs pourront être électroniques mais aussi électro-mécaniques ou électro-magnétiques. Dans le deuxième cas ils seront entièrement électroniques pour des raisons de densité et de rapidité.

Dans cet ouvrage il sera surtout question des displays entièrement électroniques mais les circuits de commande qui seront étudiés sont d'application générale et il sera fait mention de quelques dispositifs non électroniques.

Ces displays électroniques sont eux-mêmes très variés, chaque technique étant plus spécialement développée et adaptée en fonction d'un domaine particulier. Ainsi ce sont trois techniques de visualisation nécessairement différentes qui peuvent résoudre trois applications fondamentales telles que : l'affichage numérique horaire (surtout pour les montres !), l'instrumentation et les displays alphanumériques connectés à un ordinateur. Le tube à rayons cathodiques (cathode ray tube) est le traducteur électro-optique qui rassemble le maximum de qualités. Largement employé dans sa fonc-

tion principale pour laquelle il a été développé (reproduction de phénomènes liés au temps) ses qualités de rapidité d'inscription et de finesse le prédestinait à l'usage qui en est fait maintenant pour la visualisation alphanumérique et surtout graphique. D'autre part, des variantes simples mais efficaces ont vu le jour : les tubes à caractères préenregistrés (tube monoscope, tube nimo). Mais si les signaux électriques, véhiculant l'information à visualiser, sont exprimés sous forme numérique il faut assurer une conversion numérique-analogique pour le commander (tensions de commande X et Y et tension Wehnelt). C'est pourquoi ses applications seront étudiées au chapitre XIII après la conversion numérique-analogique.

Mais depuis quelques années une assez grande variété de visualisateurs a été développée pour répondre à l'immense besoin de l'informatique et des systèmes numériques qui lui sont associés. Il faut visualiser pour communiquer et l'information *doit si possible rester numérique* jusqu'au bout de la chaîne.

Pour qu'il en soit ainsi il faut que les visualisateurs soient de constitution discrète c'est-à-dire composés d'éléments individuels à 2 états (visible ou non visible, blanc ou noir, transparent ou non...). Le message doit alors être reconstitué à l'aide de ces éléménts juxtaposés un peu à l'image d'un puzzle.

Pour ne citer que des phénomènes physiques mettant en jeu l'électron ou l'atome, on peut citer les principales techniques maintenant bien maîtrisées ou en voie de l'être :

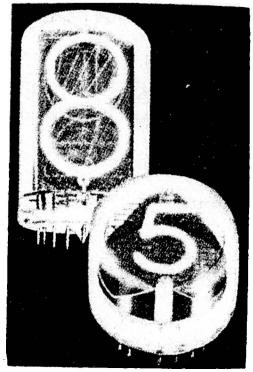
- Phénomène d'ionisation électroluminescente de mélange gazeux (visualisation à plasma)
- Emission lumineuse d'un composé à base de phosphore bombardé par des électrons
- Diodes semi-conducteur électroluminescentes (diodes à l'arséniure phosphure de gallium : As Ga P) en anglais : LED light emitting diode.
- Cristaux liquides à biréfingence électriquement contrôlée (propriété également présentée par certaines céramiques ferroélectriques transparentes).

Après ce rapide tour d'horizon abordons plus précisément la technique, d'une part en rappelant les principaux organes de visualisation et d'autre part les circuits électroniques logiques destinés à les commander.

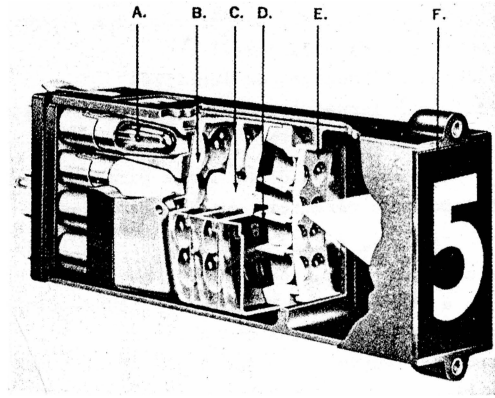
IX-2- ELEMENTS DE VISUALISATION ALPHA NUMERIQUE

IX-2-1) AFFICHAGE PAR SELECTION

Il convient avant tout de mentionner le tube indicateur Nixie (figure IX-1-a) d'usage très répandu même actuellement. Dans ce tube à gaz qui

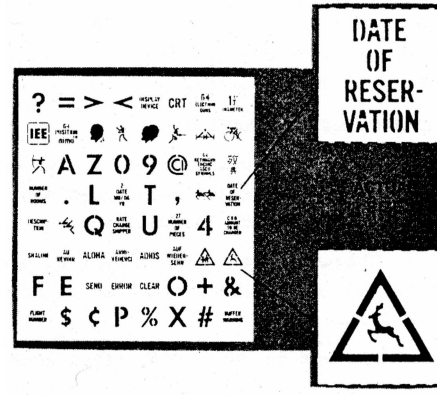


(a) Indicateur Nixie Burroughs



(b) Indicateur par projection-IEE

(c) Indicateur cathodique Nimo-IEE



Exemple de masque (Nimo)

FIGURE IX – 1. – *Affichage par sélection.*

peut avoir diverses formes, on a rassemblé un certain nombre de cathodes épousant le contour du caractère à visualiser. Le gaz contenu dans le tube est ionisé lorsqu'une tension (150 à 200 volts) est appliquée entre l'anode commune et une cathode. Cette ionisation enveloppe la cathode sélectionnée, mise à un potentiel bas, avec émission de lumière ce qui permet au caractère d'être visualisé.

Il a été développé par la suite d'autres dispositifs fonctionnant sur la même idée de base à savoir : sélectionner un caractère parmi n, ce caractère étant physiquement disponible parce que dessiné au stade de la fabrication.

Le visualisateur à projection par l'arrière (rear-projection read-out) est un dispositif électro-optique (figure IX-1-b) essentiellement constitué de (pour x caractères) :
- x lampes et systèmes de lentilles
- 1 film sur lequel sont imprimés les x caractères ou texte
- 1 écran situé à l'avant.

La sélection d'une lampe parmi les x a pour conséquence immédiate l'affichage du caractère qui lui fait face.

Le tube "nimo" (IEE) présenté à la figure IX-1-c est un mini-tube à rayons cathodiques dans lequel une grille matricielle de 8 lignes et 8 colonnes a été déposée. Un point d'intersection pour lequel la ligne et la colonne correspondantes ont été portées à un potentiel positif, autorise le passage d'électrons. Le faisceau électronique ainsi créé se dirige vers l'écran électroluminescent porté à un potentiel élevé (2000 volts). Sur le trajet est interposé un masque dans lequel on a découpé 64 caractères (symboles divers ou textes). L'un de ces 64 caractères se trouve "illuminé" par le faiseau éléctronique et celui-ci ne frappe l'écran qu'aux endroits correspondants à la découpe du masque. Il y a véritablement une projection du caractère (ou du texte) qui peut occuper ainsi la totalité de l'écran.

IX-2-2) AFFICHAGE PAR SEGMENTS

Comme cela est indiqué par le tableau de la figure IX-2, 7 et 16 segments, éventuellement 14, situés dans un même plan permettent de reconstituer respectivement les chiffres et les lettres et chiffres.

Chaque segment participant au dessin du caractère à visualiser doit être allumé (ou visible) et ceux qui ne participent pas doivent être éteints (ou invisibles).

Partant de cette définition générale différents visualisateurs par segments ont été développés. On distingue :

- Les tubes Néon 7 segments (figure IX-3 b et e) et 14 (ou 16) segments (figure IX-3-a) dans lesquels les cathodes sont les segments, l'anode étant commune.
- L'indicateur avec lampes à filament. A chaque lampe est associé un écran semi-transparent en forme de segment.
- L'indicateur à diodes semi-conducteur électroluminescentes : 4 à 5 diodes placées côte à côte et fonctionnant simultanément forment un segment (figure IX-3-c).

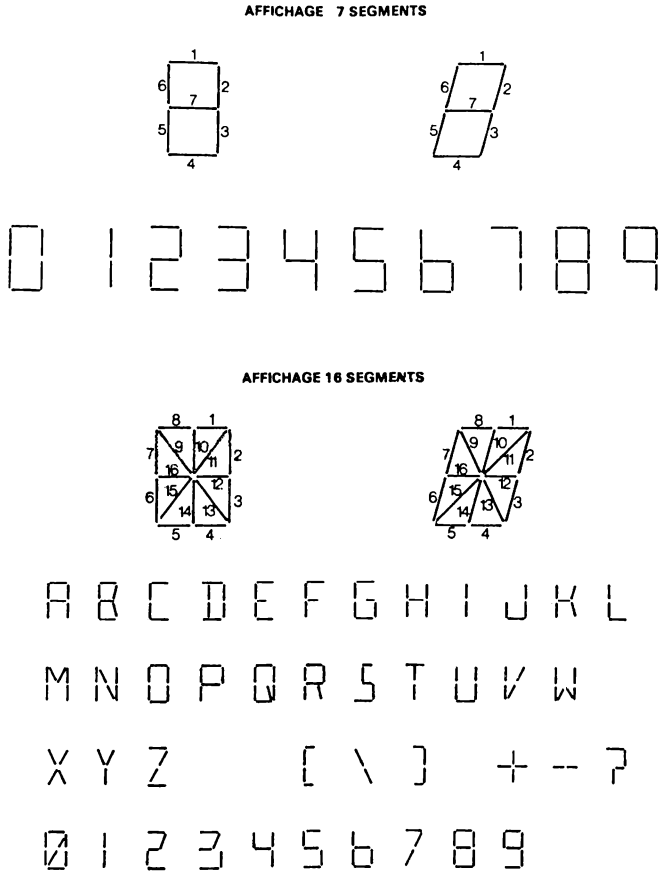
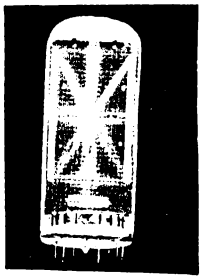


FIGURE IX – 2. – *Affichage par segments.*

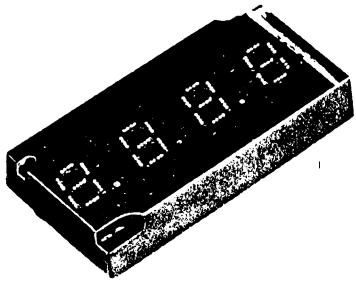
- L'indicateur à diodes semi-conducteur électroluminescentes où un segment est réalisé avec une seule diode et un diffuseur optique (5 à 10 mA par segment).

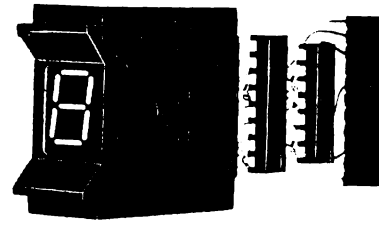
Un exemple de réalisation simple et pourtant très fiable est donné par l'indicateur 7 segments de SPERRY (figure IX-3-e). Sur un substrat de type céramique on fixe d'un côté les broches de sortie et de l'autre les 7 segments matérialisés par des petites réglettes métalliques découpées dans



(a) Indicateur Nixie
14 segments Burroughs

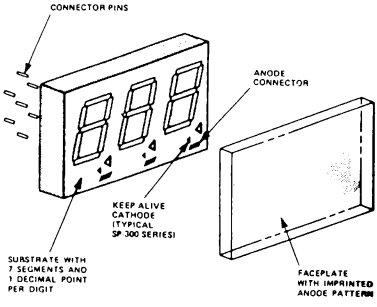
(b) PANAPLEX numérique (7 segments) Burroughs

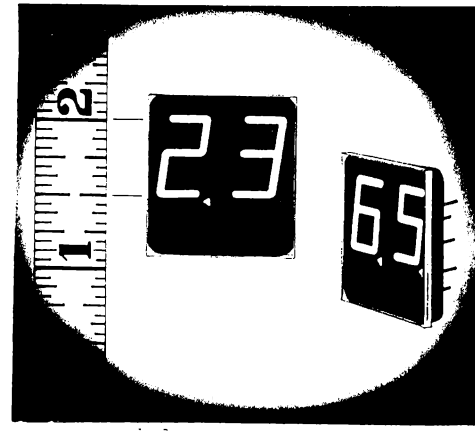




(d) Indicateur 7 segments avec compteur, mémoire et décodeur. Doc : F.M. (dill. MITEM)

(c) Indicateur LED 7 segments LITRONIX





(e) Indicateur à néon 7 segments SPERRY

FIGURE IX – 3. – *Affichage par segments.*

une feuille. Ces segments, appliqués sur le substrat, sont soudés aux broches qui le traversent. Puis, cet ensemble est recouvert d'une plaque transparente sur laquelle a été déposée une couche métallique elle-même transparente et qui sert d'anode. Il y a donc autant de couches métalliques (anodes) que de caractères à visualiser. Dans l'exemple de la figure IX-3-c on réalise un module de 2 caractères. Après scellement de ce couvercle transparent on fait le vide à l'intérieur et on remplit d'un gaz néon.

IX-2-3) AFFICHAGE PAR MATRICE DE POINTS (dot-matrix display)

Comme le précise le tableau de la figure IX-4, on peut reconstituer un caractère alphanumérique à partir d'une matrice rectangulaire de points (lumineux). La finesse de reproduction dépend naturellement de la densité de points par unité de surface et la surface totale de la matrice est elle-même liée à la distance à laquelle elle doit être lue (acuité visuelle normale 1' d'angle soit 0,3 mm à 1m). Ainsi, pour un affichage sur panneau géant ces matrices peuvent avoir des dimensions de 30 × 42 cm (disques de 6 cm de diamètre). Pour une lecture à petite distance (1 à 5 mètres) l'électronique présente actuellement deux solutions, l'une utilisant les diodes électro-

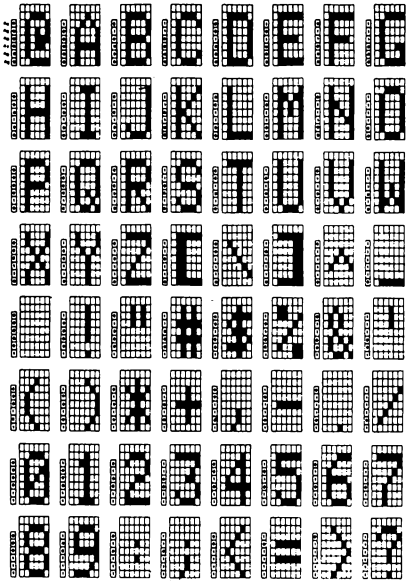
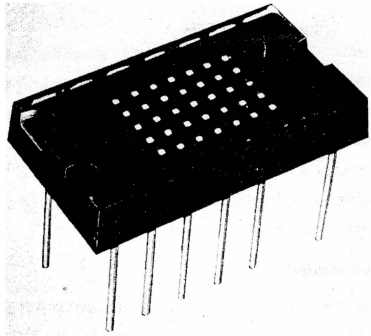
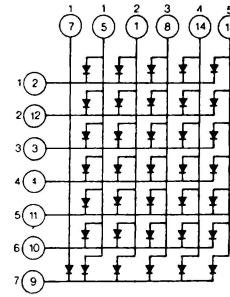


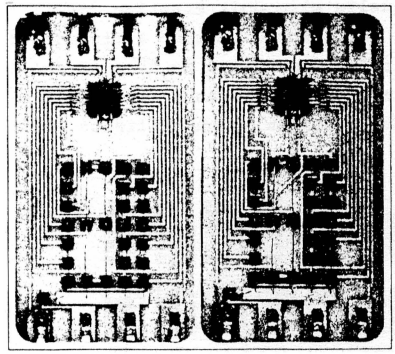
FIGURE IX – 4. – *Affichage par matrice 5 × 7.*



(a) Indicateur 5 × 7 (LED)



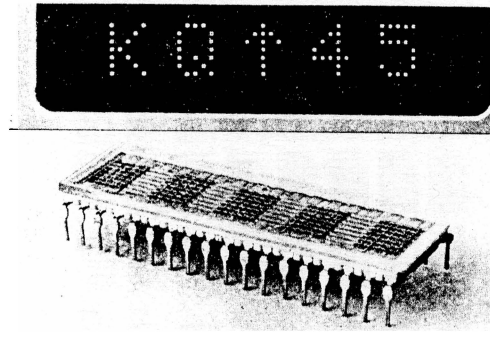
(b)



Doc. Hewlett-Packard

Solid-State Numeric Indicator accepts four-line BCD and displays any numeral from 0 to 9 in an array of bright red dots. It takes five-volt power and logic levels compatible with integrated circuits. Shown here is the bare module; mounted behind red glass, only the numeral is visible.

(c) Indicateur numérique **Hewlett-Packard**



(d) Indicateur alphanumérique Hewlett-Packard

FIGURE IX – 5. – *Affichage par points.*

luminescentes et l'autre les écrans à plasma, cette dernière technique étant surtout réservée à l'affichage de grands textes (20 lignes de 32 caractères par exemple).

Pour l'affichage d'un ou de quelques caractères isolés et de petites dimensions la principale réalisation microélectronique est un assemblage de 35 diodes LED sur un substrat lequel assure les interconnexions avec les broches d'accès (figure IX-5 a et b). On notera qu'un progrès important sera réalisé pour cette technique quand on pourra intégrer dans un même chip ces 35 éléments électroluminescents.

Un module de visualisation 5 × 7 nécessite 5 + 7 accès de façon à pouvoir commander chaque diode par un adressage XY (ligne-colonne). Pour rendre ce module plus autonome et faciliter son utilisation certains constructeurs réalisent un module plus complet. Citons quelques exemples typiques, réalisés pour l'affichage numérique. Le module hybride comprend :
- une matrice de diodes de format 4 × 7 ou 5 × 7 (pour afficher les 10 chiffres décimaux la totalité des 28 ou 35 points n'est pas nécessaire),
- un décodeur BCD/matrice.

A ce stade, 4 accès seulement sont maintenant nécessaires (code BCD 4 bits).

On peut trouver également des modules qui sont équipés, en plus, d'une mémoire 4 bits pour stocker le code BCD, ou d'un compteur 4 bits.

Ces circuits, transcodeur, mémoire, compteur, sont des chips MSI interconnectés sur le même substrat qui porte les diodes (afficheurs Hewlett-Packard, figure IX-5-c, et afficheurs IEE etc...).

IX-3- PERFORMANCES COMPAREES DES DIFFERENTS VISUALISATEURS

Rares sont les visualisateurs qui, pour un prix raisonnable, possèdent les principales qualités suivantes :
- Très bonne lisibilité sous un grand angle,
- Finesse de reproduction du caractère,
- Faible consommation,
- Fiabilité (tenue aux chocs et vibrations...),
- Faible encombrement (pour un grand nombre d'applications),
- Possibilité d'obtenir différentes couleurs.

Ainsi les techniques d'affichage par segments ou par points visualisent tous les caractères dans un seul et même plan. L'angle de vision peut être grand. La même remarque vaut pour les visualisateurs à projection mais ils utilisent des lampes à filament...

Les dix chiffres d'un tube Nixie sont au contraire situés dans des plans différents et celui qui est au fond est handicapé.

Son avantage est la finesse de reproduction et la faible consommation. Et ces deux qualités ne sont pas présentées pour le moment par les afficheurs à segments ou par points encore que dans ce dernier cas la finesse de reproduction soit assez satisfaisante ceci étant réalisé au détriment de l'économie (mémoire ROM).

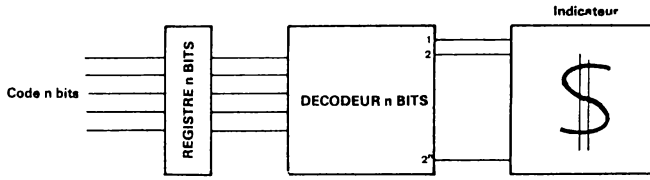
Enfin on remarquera l'aptitude de certaines techniques à visualiser une phrase (programmée) un symbole ou un signe complexe (tubes à projection).

IX-4- CIRCUITS DE COMMANDE POUR SYSTEME DE VISUALISATION

IX-4-1) AFFICHAGE PAR SELECTION

Cette technique est essentiellement celle qui permet de visualiser sur un écran une image complexe programmée parmi n (textes figés, signaux particuliers etc...). C'est le domaine favori des indicateurs et tubes à projection. Quant à l'indicateur Nixie décimal il risque d'être supplanté à brève échéance par les nouvelles techniques (visualisateurs à l'état solide).

Le circuit de commande est constitué par un décodeur de n bits s'il y a 2^n images à sélectionner (ou entre 2^{n-1} et 2^n images). Dans certains cas une mémoire tampon de n bits sera nécessaire pour figer l'information codée.



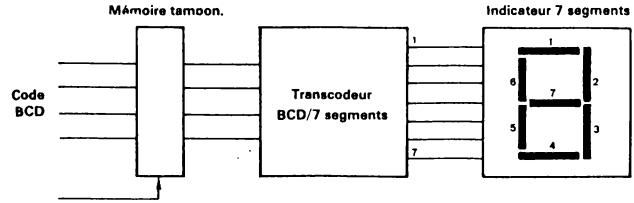
Visualisation par sélection (cas de différentes monnaies)

IX-4-2) AFFICHAGE PAR SEGMENTS

La visualisation au moyen de 7 segments est pratiquement réservée aux chiffres décimaux (on notera que la polarité négative peut être visualisée par le segment n° 7 tout seul). Le circuit de commande est un décodeur BCD/7 segments (voir chapitre 6) qui peut être considéré comme une mémoire morte (ROM) de 10, ou 16, mots de 7 bits. Chaque sortie de ce transcodeur commande le segment de même rang (1 à 7) et suivant que celle-ci est au UN ou au ZERO logique, le segment sera éteint ou allumé.

Une mémoire tampon de 4 bits pourra être nécessaire pour stocker le code BCD.

Exemple : Au code BCD 0000 qui désigne le chiffre décimal ZERO correspond en sortie du transcodeur (ROM) le code 7 bits : 0000001 (les 6 sorties 1 à 6 sont à ZERO et la 7e est à UN). Les 6 segments n°1 à 6 s'allument et le n°7 est éteint.

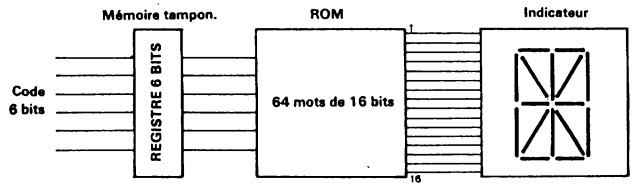


Affichage par 7 segments

La visualisation par 16, ou 14, segments est bien entendu conçue pour l'affichage alphanumérique mais elle est concurrencée par l'affichage à matrice de points (LED ou écran à plasma) et peu de réalisation ont été faites.

Si le code ASCII 6 bits est utilisé pour désigner 64 lettres chiffres et symboles, le transcodeur doit être une mémoire morte (ROM) de 64 mots de 16, ou 14, bits, soit pratiquement 1024 bits. Elle pourra être réalisée au moyen de deux mémoires mortes de 512 bits (64 mots de 8 bits).

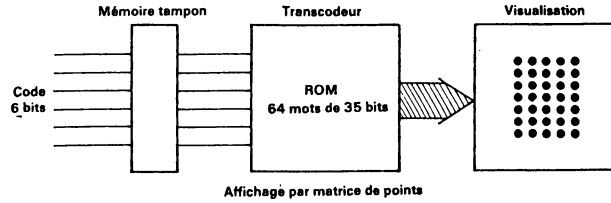
Une mémoire tampon de 6 bits pourra être nécessaire pour stocker au préalable le code 6 bits.



Affichage par 16 segments

IX-4-3) AFFICHAGE PAR POINTS

L'assez bonne reproduction d'une lettre de l'alphabet obtenue à partir d'une matrice 5 × 7 (figure IX-4) se fait au détriment du circuit de transcodage. On remarquera la 8e ligne, facultative, qui n'est jamais utilisée et peut donc servir d'interligne (affichage sur écran). Avec un code 6 bits le transcodeur doit être une mémoire morte de 64 mots de 35 bits.



Ceci conduit à un nombre élevé de sorties pour le transcodeur, et d'accès au visualisateur et autant de fils de connexion. Pour un affichage miniature (solid. stade display) cette organisation ne pourra pas convenir. Seule une méthode de balayage séquentiel permet de diminuer ce nombre d'accès et de fils de connexion.

IX-5- COMMANDE DE PLUSIEURS CARACTERES METHODES DE BALAYAGE SEQUENTIEL

IX-5-1) NECESSITE DE METTRE L'INFORMATION EN MEMOIRE

Dès l'instant où le traducteur électro-optique ne garde pas lui-même en mémoire l'ordre qui lui est donné (de s'allumer ou non) il faut mettre cet ordre en mémoire. C'est ce qui est fait couramment lorsque l'on veut éclairer une pièce : l'interrupteur de commande (à 2 positions) constitue la mémoire (mécanique). C'est également ce que réalise la roue codeuse 4 bits, décimale ou hexadécimale, et si celle-ci est reliée directement à l'organe de visualisation ce dernier n'a pas besoin de mémoire puisque la roue codeuse présente en permanence le code. Mais il existe un vaste domaine d'applications où les displays sont utilisés et, de plus en plus, en communication avec un système électronique numérique (ordinateur). Un problème se pose alors puisque l'information codée à visualiser n'est disponible qu'un très court instant sur les voies d'entrée-sortie de cet organe généralement très rapide devant traiter de multiples tâches et qui souvent doit commander plusieurs périphériques. Une mémoire s'impose donc pour maintenir l'information à visualiser jusqu'à son prochain renouvellement.

Cette mémoire sera très souvent électronique pour des raisons de vitesse bien qu'elle puisse être mécanique ou magnétique par exemple mais nécessite alors une adaptation de vitesse (transformation d'une impulsion de quelques microsecondes en impulsion de quelques millisecondes ou seconde).

On peut en effet, pour réaliser de grands panneaux d'affichage, imaginer diverses solutions de visualisation. Le schéma de la figure IX-6 concerne des indicateurs L commandés par un organe P qui doit pouvoir assurer la mémoire et la fonction amplification d'énergie, avec parfois une transformation électrique-mécanique par exemple.

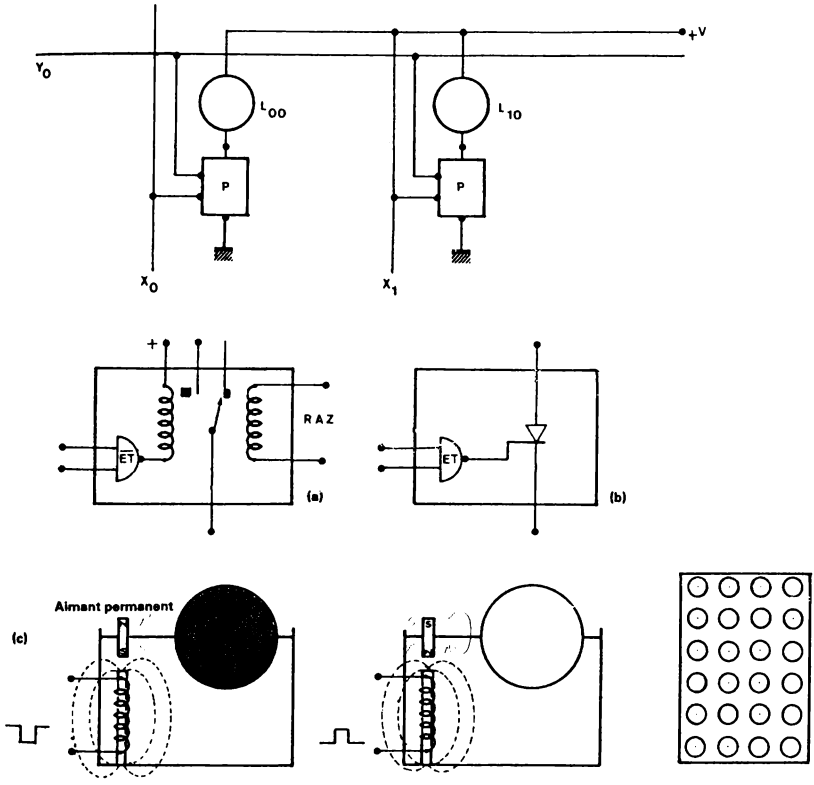


FIGURE IX – 6. – *Mémoire pour visualisation.*

Pour l'organe P on peut faire appel aux trois possibilités suivantes (entr'autres) :

1) un relais bistable (figure IX-6-a) qui est en lui-même une mémoire et un amplificateur logique de puissance.

2) un thyristor qui est l'homologue électronique du relais (figure IX-6-b).

3) un organe électromécanique ou électro-magnétique comme celui de la figure IX-6-c. Dans cet exemple une impulsion électrique (positive ou négative) alimente une bobine et le champ magnétique créé attire soit le pôle Nord soit le pôle Sud d'un aimant permanent solidaire d'un disque dont une face est blanche et l'autre noire (ce disque est l'élément L). On peut constituer avec cet élément des matrices 5 × 7 de grande surface : affichage dans les aéroports, hall de gare, champ de course etc...).

IX-5-2) COMMANDE PAR BALAYAGE SEQUENTIEL

En pratique il est rare qu'un ou deux caractères alphanumériques seulement soient à visualiser. Le tableau suivant qui récapitule les principales applications, met en évidence les densités qu'il faut pouvoir réaliser, parfois d'une manière très économique (horlogerie, automobile, petite instrumentation...)

Nombre de caractères	Applications
4 à 16	Horlogerie : montres, pendules ... Instrumentation : voltmètre numérique, fréquencemètre... Pesage. Visualisation pour clavier. Calculatrice de bureau. Combinés téléphoniques.
16 à 256	Mini-calculateurs. Affichage de petits textes. Tableaux de bord complexes.
256 à 1000	Visualisation numérique importante (résultats, horaires, prix etc...).
> 1000 (nombre de points supérieur à 30.000)	Vidéophone. Télévision. Ecran graphique. Reproduction synthétique de formes calculées par ordinateur.

Pour visualiser x caractères une première idée est d'utiliser x ensembles "mémoire-transcodeur-visualisateur". Mais le nombre de circuits et d'interconnexions peut dans ces conditions s'avérer rapidement trop élevé (peu fiable, volumineux, cher).

Néanmoins, comme il existe de très nombreuses applications où il faut visualiser un nombre de 4 à 6 chiffres et que dans ce cas il se trouve que l'information est très souvent présentée en parallèle (simultanément pour tous les chiffres) certains constructeurs proposent des modules hybrides qui eux sont fiables mais coûtent nécessairement plus chers.

Une amélioration importante est possible avec un balayage séquentiel et de plus c'est le seul moyen pour résoudre le cas des grandes densités sous faible volume.

Le principe est d'adresser séquentiellement tous les caractères à une fréquence suffisante pour que l'observation visuelle soit confortable (100 Hz). Dans ces conditions les registres de mémorisation vont être remplacés par une mémoire séquentielle (gain de volume et d'interconnexions)

et d'autre part les segments ou les points de même position vont pouvoir être reliés à l'intérieur du visualisateur multi-caractères ce qui permet d'abaisser le prix du caractère.

On distinguera les 2 cas : affichage par segments et affichage par points.

- Affichage par segments.

Prenons l'exemple d'un affichage de 8 chiffres. Le système est organisé comme l'indique la figure IX-7. L'élément de visualisation comporte 8 positions de 7 segments et les segments de même rang sont reliés (tous les segments n° 1 entr'eux, tous les segments n° 2 etc...).

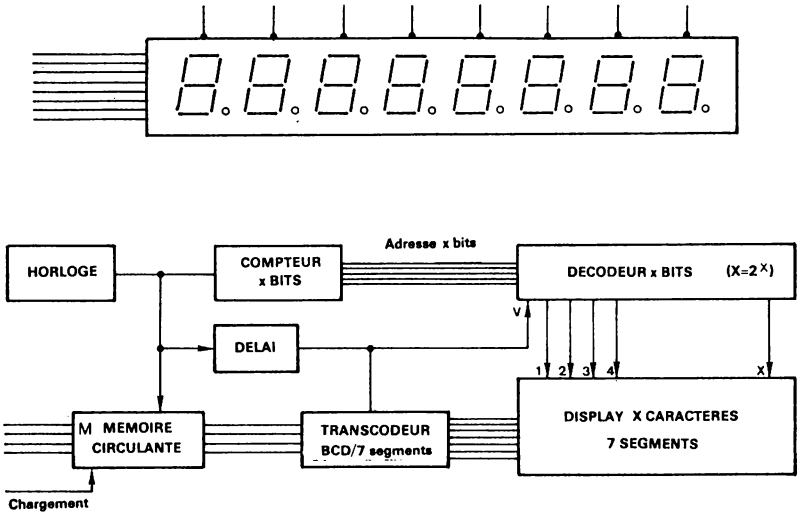


FIGURE IX – 7. – *Affichage par balayage séquentiel (7 segments).*

Il y a donc pour l'ensemble du display sept accès pour les segments et 8 entrées de validation qui permettent la sélection de chaque caractère (adressage X.Y). Cette entrée est tout simplement l'anode dans le cas des tubes néon ; on appliquera + 170 volts ou zéro à l'anode suivant que le caractère est adressé ou non. Parallèlement tous les segments de même rang (i) sont commandés par une porte qui est mise à l'état ON ou OFF suivant que le segment n° i du caractère sélectionné doit être allumé ou non. Ce sont ces 7 portes pour 7 segments qui reçoivent le code binaire 7 segments.

Un compteur 3 bits commandé par une horloge H et un décodeur 3 bits assurent le balayage séquentiel et la mémoire circulante M délivre sur sa sortie le code 4 bits BCD du chiffre adressé au rythme de la même horloge H. La période de balayage est de 8 × t. On peut ainsi commander sans difficulté jusqu'à 32 caractères.

Les réalisations industrielles de ces indicateurs décimaux multi-digits à adressage séquentiel sont nombreuses. Citons :

- L'indicateur PANAPLEX de Burroughs (figure IX-3-d),
- Le tube PANDICON (Amperex, Philips).

Cette technique pourrait s'appliquer aux lettres avec 16 segments mais on préfère en général utiliser l'affichage par points.

- Affichage par points

Une matrice (4 × 7, 5 × 7) nécessite un grand nombre d'accès qui est limité au minimum par un adressage XY de chaque point, ce qui impose un balayage séquentiel. Si la matrice est un réseau de diodes électroluminescentes (LED array) interconnectées comme l'indique la figure IX-8 et en se limitant pour l'instant à un seul caractère, on constate que le réseau doit recevoir 7 informations successives de 5 bits (écriture verticale) ou 5 informations successives de 7 bits (écriture horizontale).

La mémoire morte de transcodage (ASCII-matrice) doit donc être organisée en mots de 5 ou 7 bits. L'adresse complète du caractère dans cette mémoire s'écrit :

ASCII 6 bits	$A_2A_1A_0$

ce qui représente pratiquement un ensemble de 5 à 7 adresses (8 maximum avec les 3 bits $A_2A_1A_0$).

Adresse de chaque mot constituant la lettre R		ligne n°		mot programmé
0 1 0 0 1 0	0 0 0	0	● ● ● ● 0	1 1 1 1 0
0 1 0 0 1 0	0 0 1	1	● 0 0 0 ●	1 0 0 0 1
0 1 0 0 1 0	0 1 0	2	● 0 0 0 ●	1 0 0 0 1
0 1 0 0 1 0	0 1 1	3	● ● ● ● 0	1 1 1 1 0
0 1 0 0 1 0	1 0 0	4	● 0 ● 0 0	1 0 1 0 0
0 1 0 0 1 0	1 0 1	5	● 0 0 ● 0	1 0 0 1 0
0 1 0 0 1 0	1 1 0	6	● 0 0 0 ●	1 0 0 0 1
code ASCII de R	adresse complémentaire ($A_2A_1A_0$)		écriture verticale de R	

Pour afficher X caractères il faut X matrices et si l'écriture est horizontale la mémoire circulante délivre après transcodage 5.X mots de 7 bits.

Le schéma synoptique de cet ensemble de visualisation est représenté à la figure IX-8.

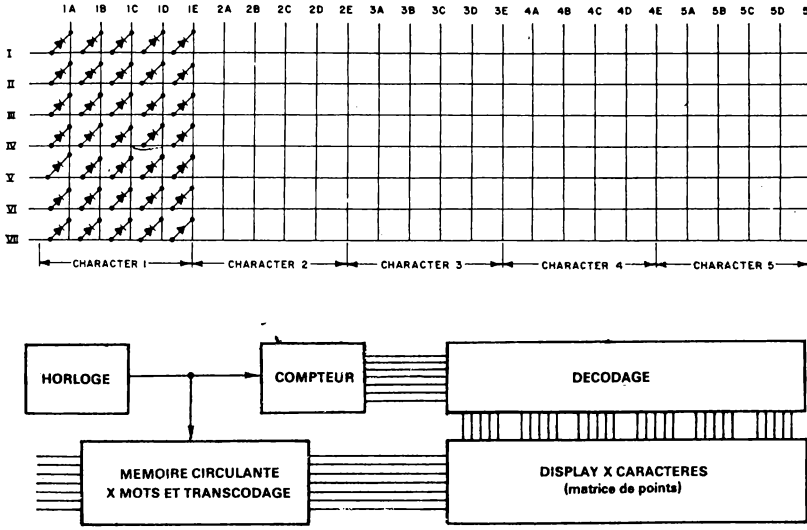


FIGURE IX – 8. – *Affichage par balayage séquentiel (matrice de points).*

Pour X caractères, il y a donc 5 × X séquences et le rapport cyclique temps d'allumage/temps d'extinction pour un point brillant est de $\frac{1}{5.X}$. Si le point ne mémorise pas lui-même l'état qu'il doit occuper, état qui est confirmé ou modifié à chaque rafraîchissement, l'énergie instantanée qu'il faut dissiper dans cet élément ponctuel est grosso modo 5.X fois celle qui lui est nécessaire en fonctionnement statique (pour une luminance donnée). C'est le cas pour les diodes électroluminescentes et le nombre X de caractères se trouve vite limité par la puissance crête maximum qui peut être dissipée dans la diode. Un compromis doit donc être réalisé pour améliorer ce rapport cyclique et, ceci est possible en utilisant quelques mémoires tampon comme l'indique l'exemple qui suit.

Affichage d'une ligne de n caractères alphanumériques à l'aide d'un réseau de diodes électroluminescentes.

Dans le système de visualisation dont le schéma est représenté à la figure IX-9 l'écriture est horizontale. Pour éviter toute confusion on appellera *ligne complète* l'ensemble des 7 *lignes* constituant le message de n caractères.

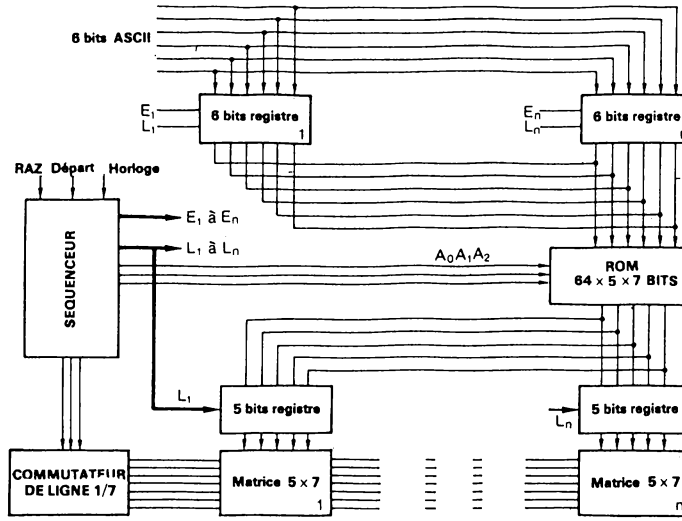


FIGURE IX – 9. – *Affichage d'un texte de n caractères (matrice 5 × 7).*

On distingue plusieurs parties fondamentales :

1) une mémoire circulante, de n fois 6 bits, constituée de n registres de 6 bascules comme dans le cas de la figure IX-9, ou bien de 6 registres à décalage de n bits à recirculation.
2) une mémoire ROM de capacité 64 × 5 × 7 bits, pour un affichage de 64 caractères (ASCII).
3) un nombre n de registres de 5 bits destinés à garder pendant un temps θ l'information binaire correspondant à n groupes de 5 diodes.
4) un nombre n de matrices 5 × 7.
5) un décodeur d'adresse 1 parmi 7 et sept amplificateurs de courant pour les lignes.
6) un séquenceur qui élabore les différents temps élémentaires ainsi que les adresses :

   E_1 à E_n pour l'écriture des registres 6 bits

   L_1 à L_n pour la lecture de ces mêmes registres et l'écriture dans les registres 5 bits après transcodage.

   ($A_0A_1A_2$) adresse codée des 7 lignes.

FONCTIONNEMENT

1) Remise à zéro du système.

Tous les registres et compteurs sont remis à zéro. Le commutateur de ligne recevant l'adresse 000 sélectionne la première ligne mais tous les registres 5 bits étant à Zéro, aucune diode n'est excitée.

2) Mise en mémoire, dans les n registres 6 bits, des informations codées (ASCII) pour les n caractères. Pour cela : envoi sur les 6 fils d'entrée du code n° 1 et sélection (par E_1) du registre n° 1 qui prend cette information, puis envoi du code n° 2 et sélection (par E_2) du registre n° 2 etc... jusqu'au registre n° n.

3) Lecture et écriture

Pour la première ligne : validation (par L_1) de la sortie du registre 6 bits n° 1. L'adresse complémentaire $A_2A_1A_0$ envoyée à la mémoire morte (000) sélectionne le premier mot de 5 bits du caractère n° 1 (puisque le code de ce caractère est présenté à la mémoire morte par le registre 6 bits n° 1). Ces 5 bits sont mis en mémoire dans le registre 5 bits n° 1 (sélection par L_1). La première ligne du caractère n° 1 peut donc s'afficher.

Validation (par L_2) de la sortie du registre 6 bits n° 2. L'adresse complémentaire $A_2A_1A_0$ est toujours la même (000). Les 5 bits de la ligne 1 du caractère n° 2 sont lus dans la mémoire morte et stockés dans le registre 5 bits n° 2 (sélection par L_2). Ainsi de suite jusqu'au caractère n° n après quoi la première ligne du texte est visualisée durant un temps Θ.

Pour la deuxième ligne : l'adresse complémentaire $A_2A_1A_0$ est incrémentée (001). Les mots de 5 bits destinés aux lignes n° 2 des caractères sont lus successivement et mémorisés dans les registres 5 bits suivant le processus qui vient d'être décrit. Ces mots prennent évidemment la place de ceux qui les précédaient. D'autre part, le commutateur de ligne sélectionne à présent la ligne n° 2. La deuxième ligne du texte est également visualisée durant le temps Θ.

Pour les autres lignes : même processus, le commutateur de ligne sélectionne les lignes 3, 4, 5, 6 et 7 et simultanément l'adresse complémentaire $A_2A_1A_0$ envoyée à la mémoire morte est incrémentée jusqu'à 6.

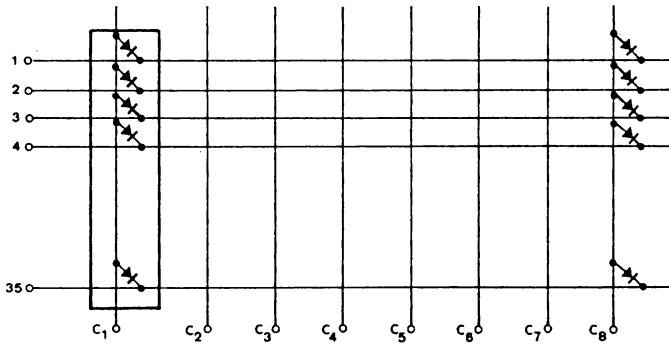
Le texte complet est maintenant visualisé. La durée d'écriture a été de Θ par ligne soit $T = 7\Theta$ pour l'ensemble. Le rafraîchissement pourra être fait à une fréquence maximum de $\frac{1}{7 \cdot \Theta}$.

Si le texte n'a pas à être modifié, les registres 6 bits peuvent être immédiatement réexploités. Si le texte a subi entre temps une modification une nouvelle mise en mémoire de l'information codée est nécessaire avant le prochain rafraîchissement.

Le temps nécessaire pour charger d'une part la mémoire principale (registres 6 bits ou registre à décalage rapide) et d'autre part les registres 5 bits est très petit devant le temps T d'affichage. Par exemple,

20 µs pour 32 positions et T est de l'ordre de 10 à 20 ms. On peut donc considérer que le facteur de régime pour chaque ligne des de 1/7. Si les diodes nécessitent un courant de 5mA en régime statique pour une luminance donnée, il faudra les alimenter dans cette application par des impulsions de 35mA. Dans le pire des cas où toutes les diodes d'une ligne sont allumées, l'étage de commande de cette ligne (situé dans le commutateur de ligne) doit absorber un courant crête de 5 × n × 35 mA soit 2,8 Ampères pour 16 caractères. C'est là encore un handicap pour les diodes électroluminescentes malgré le progrès réalisé, les tubes à gaz et les cristaux liquides étant eux bien moins exigents.

On remarquera que, moyennant d'autres aménagements, l'on peut imaginer des configurations très différentes. Ainsi la firme SINTRA s'étant donnée pour objectif d'intégrer les 35 diodes, a choisi pour faciliter cette intégration monolithique de connecter ensemble les 35 cathodes (réalisation du chip : RTC).



C_i = Sélection des caractères (1 ligne de 35 diodes)

Plusieurs de ces modules monolithiques sont ensuite interconnectés sur substrats semi-souples photogravés. Le module complet se présente alors avec 35 + n accès (pour n caractères), ce qui est même un progrès par rapport à la matrice de la figure IX-8 où il y a 7 + 8 × 5 = 47 accès pour 8 caractères. Mais les 35 points (LED) d'un caractère étant sélectionnés simultanément, le code 35 bits doit être présenté en entier, et non en 5 séquence de 7 bits. Ceci est moins favorable à la mémoire de transcodage et d'autre part le facteur de régime de ce système sera 1/n, donc moins favorable que celui du système de la figure IX-9 dès que n > 7. On retiendra néanmoins que cette solution rend plus facile l'intégration monolithique des 35 diodes !

IX-6- PANNEAU D'AFFICHAGE (panel display)

Le but est de pouvoir reproduire un texte important sur un écran de dimensions réduites (25 × 35 cm) au moyen de 20 à 32 lignes de 32 caractères. Dans ces conditions la densité de points par cm^2 est très élevée car les caractères sont petits et leur finesse de reproduction doit être grande (lecture rapprochée). On ne peut atteindre ce but en rassemblant côte à côte 1024 matrices. Une mosaïque de points d'une telle densité doit être fabriquée d'une seule pièce. D'autre part, les points élémentaires, source de lumière, constituant cette mosaïque doivent être contrôlés en luminosité, en tout ou rien pour l'affichage de textes et avec un contrôle de la couleur émise dans le cas de display graphique pour images très riches.

D'importantes études sont menées pour résoudre ces différents problèmes techniques afin de pouvoir disposer d'un écran entièrement numérique et compact.

Deux réalisations allant dans cette direction peuvent être citées.

IX-6-1) ECRAN SELFSCAN DE BURROUGHS

Développé pour l'affichage de textes alphanumériques cet écran atteint une capacité de 256 caractères soit 8 lignes de 32 caractères visualisés à l'aide d'une matrice 5 × 7 ce qui représente un total d'environ 9000 points !

Sa constitution est détaillée à la figure IX-10 qui représente une vue éclatée de l'écran. On y distingue le panneau de cavités, sources de lumière, les anodes et cathodes organisées selon deux matrices orthogonales. Chaque point est donc adressé à l'aide d'une ligne (anode) et d'une colonne (cathode). Cet ensemble est rempli d'un mélange gazeux, principalement du néon,

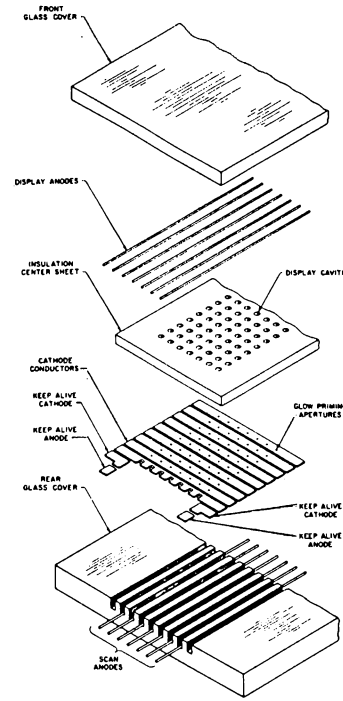


FIGURE IX – 10.
Détails de la constitution de SelfScan - Burroughs.

puis est hermétiquement scellé. L'ionisation de chaque point allumé doit être provoquée à une fréquence suffisante pour éviter les scintillements (60 Hz au moins). Pour cela un balayage séquentiel est assuré par le système dont le schéma est représenté à la figure IX-11.

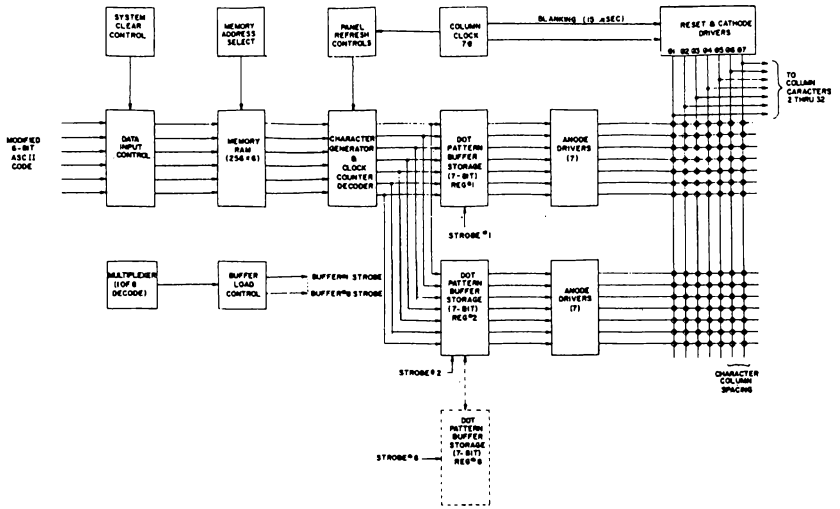


FIGURE IX – 11. – *Circuit de mémoire et de commande du Self-Scan-Burroughs.*

On distingue les éléments suivants :

- Une mémoire RAM de 256 mots de 6 bits pour stocker les 256 caractères codés (ASCII 6 bits) du message.
- Un générateur de caractères, convertisseur 6 bits ASCII-matrice.
- Huit registres tampon de 7 bits suivis d'amplificateur pour commander les lignes (une anode par ligne de points).
- Les amplificateurs et circuits de commande séquentielle des colonnes (cathodes).

Le balayage se fait horizontalement, chaque séquence consistant à sélectionner une colonne entière c'est-à-dire 8 fois 7 points situés sur une même verticale.

Pour cela les 8 caractères devant être visualisés sur une même verticale, sont successivement lus dans la mémoire RAM, appliqués à l'entrée du générateur de caractères qui délivre en sortie successivement les 8 codes 7 bits de la colonne sélectionnée. Ces 8 mots de 7 bits sont mis en mémoire dans les registres 7 bits et à partir de cet instant la colonne en-

tière peut être visualisée. Avec 222 colonnes effectivement utilisées, 2 colonnes étant réservées pour chaque espace entre caractère, et la durée totale d'écriture étant de 12 ms (85 Hz) l'opération concernant une colonne se fait en 50 µs environ.

L'ensemble panneau et cartes électroniques de mémoire et de commande se présente sous une forme compacte (figure IX-12).

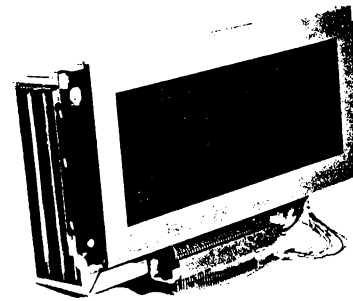


FIGURE IX – 12.
Affichage alphanumerique 256 caractères et cartes de commande SelfScan de Burroughs.

IX-6-2) ECRAN PAVANE DE THOMSON-CSF

Pour éliminer la nécessité de rafraîchir le message complet à une fréquence suffisante, ce qui complique l'électronique de commande et limite le nombre de caractères pour un cycle donné, il faut que l'état binaire de chaque point puisse être gardé en mémoire à l'endroit même où se produit la transformation électro-optique.

L'écran PAVANE (figure IX-13) de Thomson-CSF est constitué d'une matrice de cellules à gaz disposée entre deux plaques de verre supportant les deux réseaux orthogonaux d'électrodes pour la commande individuelle en X et en Y des différentes cellules.

Les états "allumé" ou "éteint" de chacune des cellules et leur *mémorisation* correspondante sont obtenus à partir de 3 tensions différentes :
- une tension alternative à basse fréquence appliquée en permanence à l'ensemble des cellules permet de conserver l'état mémorisé "allumé" ou "éteint" de chacune des cellules (tension d'entretien).
- une impulsion de tension supérieure à la tension d'entretien, appliquée en X et en Y par demi-niveaux à une cellule, permet son allumage (tension d'allumage).
- une impulsion de tension égale à la tension d'entretien mais de faible durée, appliquée à une cellule permet son extinction (tension d'extinction).

L'adressage digital en X et en Y, aléatoire ou non, permet une vitesse d'inscription de 1000 caractères par seconde (consommation : 5 mW environ par caractère).

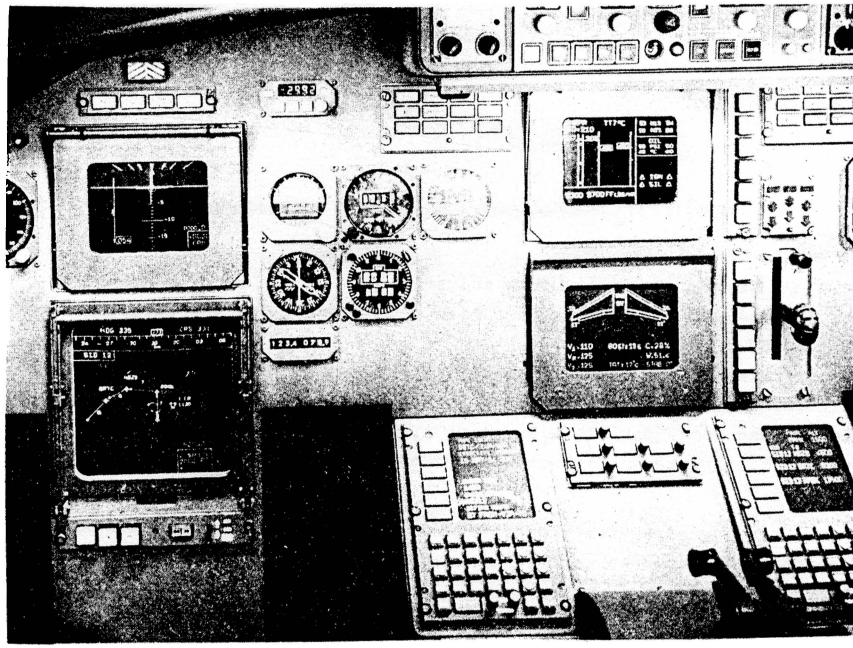
Les densités déjà obtenues permettent d'espérer un franchissement prochain de l'étape "prototype". Un panneau de 54 × 58 points au pas de 2,54 mm (1/10 de pouce, 0,1") ou 1,27 mm a une surface d'environ 200 cm^2 ou 50 cm^2 et permet l'affichage de 50 caractères résolus par 35 points (5 × 7). Il est prévu de réaliser des panneaux beaucoup plus importants (en cours de développement), au pas de 0,635 mm comportant 128 × 128 point pour l'affichage de 200 caractères sur une surface utile de 70 cm^2 et même 340 × 420 points pour l'affichage de plus de 2000 caractères sur une surface utile de 600 cm^2.

Pour évoquer une application aussi importante, on peut rappeler que les imprimantes sur papier peuvent bénéficier du progrès technologique en utilisant ces matrices 5 × 7 monolithiques (ou hybrides). Ainsi la matrice 5 × 7 d'éléments émetteurs de lumière sera placée devant un papier photo -

FIGURE IX – 13.– *Ecran de visualisation PAVANE (Doc : Thomson-CSF).*

sensible se déroulant dans le sens vertical. Cette matrice peut également être constituée d'éléments semi-conducteurs chauffants sous commande électrique. Le papier est alors thermo-sensible (principe de la télescriptrice électronique de TEXAS). Dans ces conditions l'écriture en série d'une ligne est possible à condition de déplacer cette matrice pas à pas horizontalement simultanément au décodage du code caractère. L'écriture peut également se faire simultanément pour les n caractères d'une ligne, n fois plus rapide mais plus chère puisqu'elle nécessite n matrices disposées en ligne. Les avantages appréciables de cette technique qui peut à la limite être tout électronique, sont : la fiabilité, la rapidité et ... le silence !

L'affichage de textes importants à partir d'informations digitales par des systèmes entièrement logiques et compacts est donc possible. Ces techniques sont appelées à un grand développement car elles sont à la base de périphériques puissants apportant rapidement une grande richesse d'information, permettant ainsi à l'homme de communiquer efficacement avec l'ordinateur.



L'information numérique et graphique dans un poste de pilotage d'avion moderne (Doc : Thomson-CSF)

2e PARTIE

ACQUISITION, CONVERSION ET RESTITUTION DE DONNEES

X-GENERALITES SUR LES TECHNIQUES NUMERIQUES

X-1- INTRODUCTION

Un système d'acquisition et de traitement de données, pour un contrôle de processus industriel par exemple, est généralement bâti autour d'une calculatrice électronique, analogique ou numérique, dont le rôle est de traiter l'information et plus précisément d'effectuer un certain nombre de calculs ou opérations mathématiques.

L'information peut être des données, numériques ou analogiques, introduites par l'homme mais également, dans le contrôle des processus industriels surtout, contenus dans les phénomènes physiques très divers.

Pour faire un calcul électronique sur ces phénomènes physiques qui se traduisent sous différentes formes, mouvement mécanique, variation de température ou d'éclairement, génération de force etc..., il est nécessaire de les transformer en signaux électriques (tension ou courant). C'est le rôle des capteurs ou transducteurs. Inversement il existe de nombreux récepteurs qui transforment l'énergie électrique qu'ils reçoivent en énergie mécanique, chaleur, lumière, etc...

Les capteurs et les récepteurs peuvent toutefois donner ou accepter l'image électrique d'une grandeur physique sous deux formes : la forme analogique et la forme numérique.

Dans le premier cas, le signal électrique généré (tension ou courant) contient en lui-même, c'est-à-dire dans un de ses paramètres phase, amplitude ou fréquence, la valeur réelle du phénomène physique. Ce paramètre peut en principe évoluer à l'image de la grandeur d'entrée (phénomène physique) et prendre, avec un retard plus ou moins élevé, toutes valeurs comprises entre certaines limites, la reconnaissance de ces valeurs étant seulement limitée par la résolution et la fidélité du capteur ou ... celles de la chaîne de mesure.

Dans le deuxième cas, ce signal électrique est constitué d'un ensemble d'états discrets dont chacun a une signification (ou poids) particulière. C'est ce qui est réalisé couramment par tout affichage décimal dans lequel 10 symboles sont utilisés et où la place de chacun a une signification précise (unité, dizaine, centaine, etc...). Mais il est mal aisé de faire occuper par un circuit électronique dix états bien distincts et facilement exploitables.

Comme cela est rappelé en introduction du chapitre XII, le système de base 2 s'est avéré propre à résoudre le problème de *quantification* (opération consistant à remplacer la valeur exacte du phénomène analogique par une valeur approchée choisie parmi un nombre limité de valeurs).

Mais quelles sont les raisons qui ont conduit de nos jours à généraliser la transmission et le traitement de l'information sous sa forme binaire ?

Il y en a deux, fondamentales :

La première provient du fait qu'une information électrique à 2 états (tout ou rien) transportée par une ligne de transmission peut présenter un très haut rapport signal/bruit. Il n'en est pas de même si l'information est transmise sous sa forme analogique puisque tout parasite superposé au signal, même minime, dégrade automatiquement cette information. Et le mot parasite doit être pris au sens le plus large. C'est aussi bien une résistance de ligne, un couplage inductif ou capacitif, une tension de mode commun, une dérive en température, etc...

Le seul prix à payer pour transmettre l'information sous sa forme binaire, qui elle n'est pas perturbée par ces parasites, du moins dans une certaine limite, est de transmettre cette information à l'aide de plusieurs lignes (n), c'est la transmission parallèle, ou bien en série sur une seule ligne, c'est la transmission série, plus économique mais qui demande un temps de transmission n fois supérieur environ. Il faut aussi accepter une perte d'information due à la quantification mais elle peut généralement être rendue aussi petite qu'on le veut !

Mais la deuxième raison fondamentale qui explique l'intérêt posé à l'information binaire, et non la moindre ! réside dans l'actuelle puissance des calculatrices numériques.

Aujourd'hui on peut confier à un ordinateur une foule de problèmes à résoudre et en particulier des problèmes mathématiques qu'il sait exécuter dans beaucoup de cas avec une grande rapidité... à condition d'y mettre le prix.

Analysons l'avantage considérable apporté par l'ordinateur :

1) La souplesse d'emploi.

Pour traiter des problèmes différents ou plus simplement modifier les paramètres d'un système, il faut agir sur la partie immatérielle (software) de l'ordinateur (ensemble d'instructions ou de données numériques contenues dans sa mémoire). Point n'est besoin de modifier le matériel (hardware) ce qui présente toujours des difficultés et peut conduire, dans certains cas complexes, à une immobilisation prohibitive du système.

2) La précision.

Les calculs s'effectuant en binaire, la précision est donnée par le nombre de bits utilisés pour constituer les mots sur lesquels sont effectuées les opérations. On se donne la précision que l'on veut... le prix seul s'en ressent et éventuellement la rapidité ! mais contrairement aux calculatrices analogiques on ne s'approche pas d'un seuil infranchissable dû aux parasites et à la dérive du système.

Le fonctionnement en tout ou rien garantit à tous les bits une grande sécurité même s'ils sont nombreux (32 bits). Seul le matériel mis en jeu devient très important. Mais justement, les circuits intégrés (MSI et LSI) permettent de résoudre ce problème. L'ordinateur fournit donc à la fois précision et stabilité du traitement.

3) La vitesse.

On sait qu'il est extrêmement difficile de créer des éléments de calcul analogique, amplificateurs surtout, possédant à la fois un bruit et une dérive très faibles, une grande bande passante, pour une vitesse élevée, et une grande précision de calcul donc un très grand gain. C'est beaucoup demander simultanément à un même organe.

L'éclatement d'une information par le jeu de sa représentation sous forme binaire permet un traitement en parallèle de celle-ci, c'est-à-dire — de tous ses digits, ou éléments binaires, simultanément par des organes simples (circuits logiques à 2 états) qui peuvent donc être très rapides. Seul leur nombre est considérable. Mais alors qu'advient-il de la fiabilité ?

4) La fiabilité.

Ce dernier point enfin est très important. Tant qu'il n'était pas résolu, l'ordinateur ne pouvait pénétrer dans la plupart des domaines clés (contrôle de processus industriels, systèmes embarqués, transmission, etc..).

L'industrie des semi-conducteurs a maintenant maîtrisé la réalisation des fonctions élémentaires digitales et un contrôle automatique et rigoureux fait le reste. Un dernier point noir pouvait malgré tout subsister : le nombre considérable d'interconnexions par cablage et soudures nécessitées par l'utilisation de milliers de cicuits. Là encore, les techniques de diffusion et les procédés mis en oeuvre pour la microélectronique permettent de réaliser directement dans le substrat semi-conducteur des fonctions complexes évitant par là même des centaines de liaisons par fil et autant de point de soudure, et même des milliers (fonctions arithmétiques et mémoires LSI).

Ces quatre qualités primordiales étant réunies dans l'ordinateur, celui-ci devient capable de s'intégrer dans tout système industriel et

scientifique. Il restait malgré tout à résoudre un dernier point technique.

On doit, en effet, présenter les informations à l'ordinateur sous forme binaire et en retour, à la sortie de celui-ci, on dispose de l'information sous cette même forme. Or, les capteurs et les récepteurs couramment utilisés, et depuis fort longtemps, ont été développés dans le but de traiter l'information telle que nous la percevons généralement, c'est-à-dire sous sa forme globale (analogique) et telle qu'on savait la traiter électroniquement.

La présence opérationnelle de l'ordinateur depuis maintenant plus de 10 ans, a donc entraîné avec elle le développement de périphériques destinés à lui transmettre l'information sous la forme binaire, machines à écrire, lecteurs de cartes et de bandes perforées, de bandes et de disques magnétiques, etc... ou pouvant la recevoir sous cette forme, imprimantes, écrans de visualisation, permettant à l'homme de communiquer avec la machine et d'obtenir des résultats sous les formes habituelles.

En ce qui concerne les organes destinés aux mesures physiques et à leur restitution, force, déplacement, vitesse, etc..., il reste pour eux deux voies possibles :

1) Adapter, c'est-à-dire convertir l'information binaire en information analogique qui lui soit égale, afin de commander les organes récepteurs habituels qui animent le système et qui pour la plus grande part encore fonctionnent à partir de commandes analogiques.

Dans le sens inverse, il faut également convertir l'information analogique délivrée par la plupart des capteurs qui sondent le système, en information binaire pour être introduite dans l'ordinateur.

Ceci a donc conduit au développement d'une large famille de convertisseurs électroniques numérique-analogique et analogique-numérique dont les performances doivent être à la hauteur de celles de l'ordinateur et des phénomènes à traiter (vitesse, précision, résolution, fiabilité).

2) Créer des capteurs et des récepteurs numériques, c'est-à-dire qui acceptent une information numérique et la traduisent directement en information analogique reproduisant les phénomènes désirés ou inversement, à partir de ces phénomènes à analyser, qui peuvent délivrer l'information sous sa forme binaire.

Citons deux exemples :

- Un moteur pas à pas reçoit une information tout ou rien (alimentation de ses bobines en impulsion suivant une séquence déterminée) et restitue directement une rotation d'axe qui peut être rendue très fine grâce à une démultiplication convenable.
- Un codeur à disque fait correspondre à la position angulaire de

son axe (fonction analogique) son expression binaire sous la forme électrique. Ce capteur sera étudié en détail au chapitre XIV.

X-2- CONSTITUTION TYPIQUE D'UN SYSTEME NUMERIQUE

Un système numérique se composera généralement d'un calculateur numérique et de tout ou partie des organes suivants :

1) Organes de dialogue avec l'unité centrale permettant d'introduire en mémoire de l'ordinateur toute information nécessaire au fonctionnement du système (programmes, valeurs numériques de paramètres, ordres...). Ces données sont introduites à l'aide d'organes tels que : claviers codés, lecteurs de cartes et de bandes perforées.

Inversement, d'autres organes permettent de stocker l'information binaire, bandes et disques magnétiques, ou même de visualiser les résultats, machine à écrire, imprimante, écran de visualisation.

Certains de ces organes sont évoqués dans cet ouvrage.

2) Organes ne nécessitant pas l'intervention de l'homme et qui convertissent ou visualisent automatiquement l'information soit pour la transmettre à l'ordinateur (organes d'entrée), soit qu'ils la reçoivent (organes de sortie).

Ce sont ces organes du moins pour les principaux, qui vont faire l'objet d'une étude dans la 2e partie de cet ouvrage.

La figure X-1 présente l'organisation générale d'un système d'acquisition et de restitution de données. On distingue deux parties :

1) Organes d'entrée

Ce sont essentiellement des capteurs numériques ou des capteurs analogiques suivis de convertisseurs A/N.

Pour les grandes précisions les capteurs analogiques sont parfois suivis d'un multiplexage analogique et d'un convertisseur A/N (15 bits par exemple).

On trouve également des groupes d'informations tout ou rien (binaires, discrètes), représentant des ordres, des chiffres codés, etc...

Cet ensemble d'informations binaires est pris en charge par une unité de commande.

2) Organes de sortie

Ce sont des récepteurs analogiques, par exemple des chaînes d'asservissement en position ou en vitesse. Ces récepteurs sont précédés de convertisseur numérique-analogique avec éventuellement une mise en mémoire du signal analogique continu.

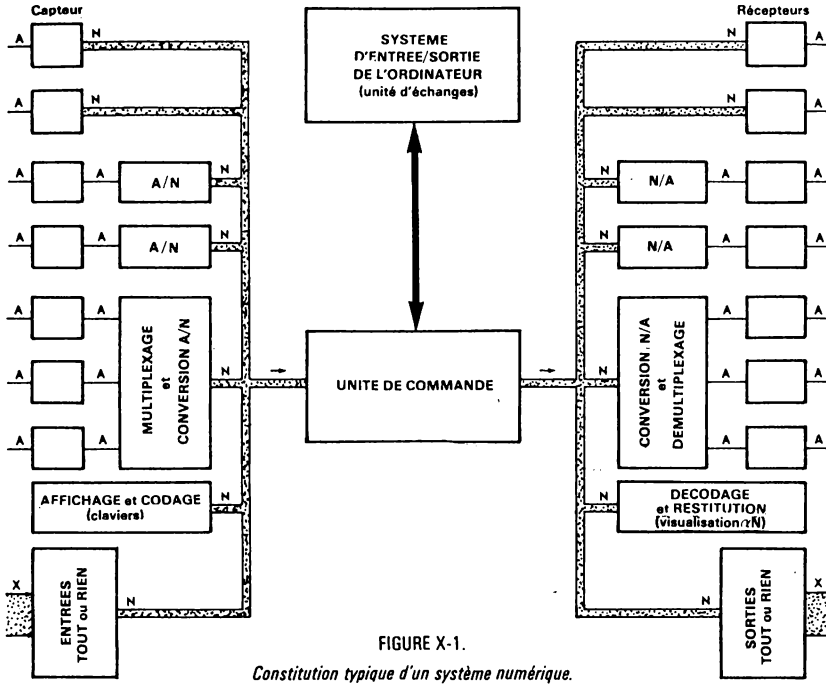


FIGURE X-1.

Constitution typique d'un système numérique.

Ces récepteurs peuvent également être numériques : moteurs incrémentaux ou signaux tout ou rien pour alarmes, voyants lumineux, affichage alphanumérique etc...

Ces informations binaires sont échangées entre chaque voie d'entrée ou de sortie et l'organe de traitement numérique. L'unité de commande dialogue avec celui-ci soit par l'intermédiaire du système d'entrée-sortie soit directement avec les autres parties constituant l'organe de traitement numérique (sa mémoire en général).

Mais la configuration représentée à la figure X-1 peut dans certains cas se compliquer. Par exemple l'ordinateur et le système d'acquisition sont éloignés l'un de l'autre : les échanges peuvent se faire sur ligne spécialisée à l'aide de modems (systèmes de modulation et de démodulation) et l'unité de commande pourra être à la limite un mini-ordinateur effectuant un traitement partiel.

Après une présentation de quelques capteurs et récepteurs très répandus on abordera la conversion numérique-analogique puis la conversion analogique-numérique et leurs applications.

XI-CAPTEURS ET RECEPTEURS

Les capteurs (électriques) transforment un phénomène physique, ou tout au moins un de ces paramètres, en signal électrique suivant une loi connue S = f(E).

Un récepteur effectue la transformation inverse : il reçoit une puissance électrique, généralement par l'intermédiaire d'une alimentation *et* d'une commande, et la transforme en énergie (force, lumière, chaleur, etc..).

Les capteurs se trouvent en début de chaîne. Ils *prélèvent* l'information pour la transmettre à la chaîne qui peut être un simple avertissement ou un système de traitement analogique ou numérique.

Les récepteurs sont en fin de chaîne. *Ils restituent l'information.*

XI-1- LES CAPTEURS

XI-1-1) GENERALITES

Les capteurs peuvent se classifier suivant les phénomènes qu'ils mesurent : énergie lumineuse, force, température... Ils peuvent également se classer suivant qu'ils utilisent un phénomène physique générateur de tension électrique, ce sont alors des capteurs générateurs (exemple : thermocouple), ou qu'ils nécessitent une alimentation, pour pouvoir traduire en tension électrique la variation du phénomène (exemple : transformateur à réluctance variable).

Enfin les capteurs peuvent être distingués selon qu'ils délivrent l'information sous une forme analogique ou sous une forme numérique.

Les capteurs sont caractérisés par les paramètres suivants.

La dynamique

C'est la plage des valeurs du paramètre d'entrée qui peuvent être prises en compte avec les performances annoncées (fonctionnement normal).

La fonction de transfert (entrée-sortie)

Elle se traduit par une courbe S = f(E) qui précise la relation liant la tension de sortie (S) au paramètre d'entrée (E).

La sensibilité

Elle est donnée par la dérivée de la fonction de transfert S = f(E) ($\frac{dS}{dE}$). Celle-ci n'est donc constante que dans le cas d'une loi linéaire pour

f(E). C'est une donnée théorique.

La fidélité ou erreur de non linéarité

Elle donne l'écart maximum que l'on peut constater entre la courbe de transfert (théorique) et celle qui est obtenue pratiquement avec le capteur.

La rapidité de réponse ou temps d'établissement

C'est le temps nécessaire à la tension de sortie pour atteindre sa valeur en régime établi avec une précision donnée, suite à une variation du paramètre d'entrée. Il est lié à la bande passante du capteur.

Le pouvoir de résolution

Il indique la plus petite variation du paramètre d'entrée que le capteur peut traduire. Cette valeur est généralement ramenée à la valeur maximum (pleine échelle).
Il est limité par les bruits électriques et les imperfections de tout genre (exemple : nombre de spires d'un potentiomètre bobiné) ou par le nombre de bits dans le cas d'un capteur à sortie numérique.

Il faut enfin rappeler que la tension électrique de sortie des capteurs analogiques véhicule l'information sous différentes formes possibles, à savoir : variation de l'amplitude dans le cas d'une tension continue, variation de l'amplitude, de la fréquence ou de la phase dans le cas d'une tension périodique (onde porteuse modulée par le phénomène).

Rappel des principaux phénomènes physiques utilisés.

On distingue tout d'abord des phénomènes physiques générateurs de tention électrique.

Effet piezo-électrique : Si un quartz, taillé suivant certains axes, est soumis à l'action d'une force qui tend à le déformer, on peut recueillir des charges électriques sur des armatures métalliques convenablement disposées.

Effet thermoélectrique : La soudure de deux métaux différents, en général le Fer et le Constantan, est le siège d'une force électromotrice sensiblement proportionnel à l'élévation de température ΔT (ordre de grandeur : quelques mV pour $\Delta T = 10°C$).

Effet photoélectrique : Une énergie lumineuse frappant une couche photo sensible provoque la libération d'une certaine quantité d'électrons que l'on recueille sur un collecteur (cellule photo-émissive). Dans le tube photo multiplicateur, ce faible courant d'électrons est amplifié par émissions secondaires sur des anodes dont le potentiel va en croissant.

A ces effets physiques fondamentaux parmi les plus couramment utilisés pour les capteurs, il faut ajouter l'utilisation d'éléments passifs variable en fonction d'une action particulière (par exemple un déplacement).

Un apport d'énergie est nécessaire pour pouvoir recueillir un signal (variable).

Thermistance

Ou résistance à coefficient de température négatif, ou résistance CTN.

Self variable

On peut faire varier une inductance L en modifiant la perméabilité du milieu dans lequel se referment les lignes de force, ou bien le nombre de spires, etc...

Phototransistor

Il peut être regardé comme une résistance variable en fonction de l'éclairement (de même pour la photodiode).

On peut enfin rappeler l'effet optoélectronique (diode à l'arseniure de Gallium ou au Phosphure de Gallium) qui à un courant électrique fait correspondre une énergie lumineuse. Cet effet sera donc plutôt utilisé dans les récepteurs (visualisation).

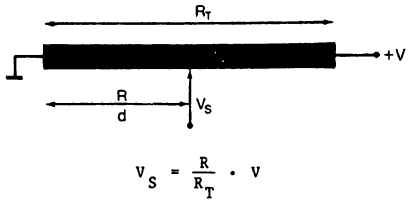
Il est maintenant utile de rappeler quelques capteurs parmi les plus courants pour des applications bien spécifiques.

XI-1-2) DEPLACEMENTS RECTILIGNES

1) Le potentiomètre

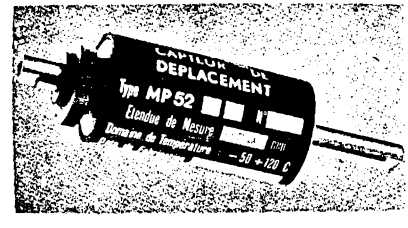
Dans de nombreux cas où le déplacement s'effectue sur une distance limitée, de 0 à 15 cm environ, on utilise un potentiomètre à piste (plastique, couche cermet) et à curseur linéaire. Pour des déplacements plus importants on peut faire appel à un ruban ou un fil résistif, le mouvement entraînant toujours un curseur.

Des linéarités de 2 % à 0,1 % peuvent être obtenues selon les cas avec une résolution théoriquement infinie pour les potentiomètres à piste.



$$V_S = \frac{R}{R_T} \cdot V$$

Pour une piste linéaire R = k•d.
(k = constante)



CAPTEUR DE DEPLACEMENT LINEAIRE (Doc SFIM)

Dans certaines applications une transformation de mouvement circulaire en mouvement rectiligne sera nécessaire. Un mouvement circulaire multi-

tours peut commander un potentiomètre rectiligne, dont le curseur est porté par une vis hélicoïdale (axe du potentiomètre).

- Exemple d'un potentiomètre rectiligne de haute qualité
  - gamme de résistance : 500 Ω à 250 KΩ
  - linéarité : 0,1 % à 1 %
  - gamme de températures : -55°C à +150°C
  - frottements : 250 g (0,25 dyn)
  - longueur de piste (déplacement) : 2,54 cm à 25,4 cm
- Variante : Mesure des accélérations

Une masse M équilibrée en position par deux ressorts subit une force de déplacement proportionnelle à l'accélération γ (figure XI-1). Cette masse entraîne dans son déplacement un curseur de potentiomètre rectiligne alimenté entre -V et +V. La tension de sortie est proportionnelle à l'accélération et le signe de cette tension précise le sens dans lequel cette accélération se produit.

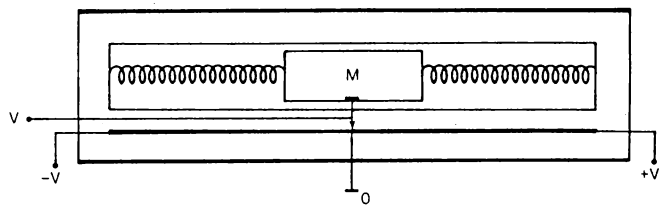


FIGURE XI – 1. – *Accéléromètre.*

2) Transformateur différentiel

Principe

Le système de base est simplement composé d'un enroulement primaire alimenté par une tension sinusoïdale et de deux enroulements secondaires identiques diposés de telle façon que les champs induits dans chacun d'eux soient de sens opposés. Un noyau, généralement en mu-métal, peut subir des déplacements latéraux. Quand celui-ci est parfaitement centré par rapport aux deux enroulements secondaires, les deux tensions de sorties v_1 et v_2 sont égales et de phases opposées. La tension résultante v est alors nulle. Si ce noyau subit un déplacement latéral dans un sens ou dans l'autre, l'amplitude de la tension v est proportionnelle à ce déplacement et sa phase est 0 ou 180° selon le sens du déplacement. Une grande sensibilité peut être obtenue, par exemple 10 mV/0,1 mm.

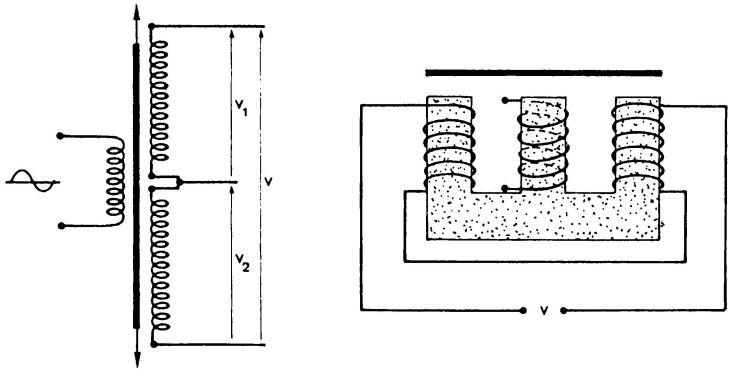


FIGURE XI – 2. – *Transformateur différentiel.*

Variante : Mesure des pressions

Une mesure différentielle de pressions, ou une mesure absolue, est assurée par l'instrument dont on voit le schéma à la figure XI-3. Le système est divisé en 2 parties symétriques, chacune pouvant être mise en relation avec le milieu dont il faut mesurer la pression par l'intermédiaire d'un orifice (port). La pression exercée à l'intérieur de chacune des cavités provoque un déplacement de la membrane et une compression plus ou moins grande de la bobine, entraînant une variation de réluctance.

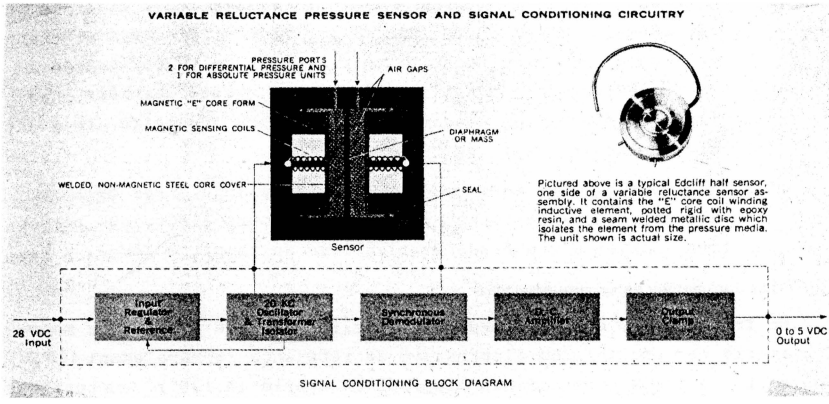


FIGURE XI – 3. – *Capteur de pression (Doc : EDCLIFF).*

Le système est équipé de circuits électroniques, régulations, oscillateurs et démodulation, de façon à fournir un signal de sortie continu de 0 à 5 Volts avec une fonction linéaire de la pression.

L'erreur totale de linéarité, comprenant la linéarité, l'hystérésis et la fidélité (ou répétabilité) est de 0,5 % de la pleine échelle (static error band).

La variation de la valeur intrensèque d'un composant passif (R, L ou C) est en général assez faible et nécessite l'utilisation d'un pont de Wheastone.

Le capteur à jauges de contrainte représenté à la figure XI-4 est constitué d'une membrane (élément détecteur) dont la déformation est mesurée par un pont de jauges de contrainte.

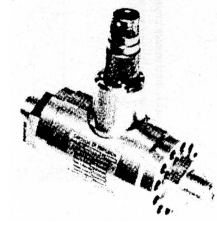


FIGURE XI – 4.
Capteur de pressions différentielles (Doc SFIM).

XI-1-3) DEPLACEMENTS ANGULAIRES

La mesure d'une position angulaire d'un axe est très courante, le mouvement circulaire étant fort répandu.

Les synchro-machines sont universellement utilisées car leurs avantages sont nombreux : simplicité, solidité, fiabilité et aptitude à composer une chaîne de recopie (transmission à distance).

L'information angulaire est délivrée au moyen de deux tensions (cas du résolver) ou de trois tensions (transmetteur de téléaffichage et transmetteur de synchro-détection) et cette information peut être acceptée à l'arrivée par une synchro-machine réceptrice (récepteur de téléaffichage et récepteur de synchro-détection) de taille équivalente. Cette dernière catégorie, transformant l'information électrique en position angulaire (téléaffichage) est donc à classer parmi les récepteurs.

Plus récemment ont été développés des capteurs angulaires délivrant l'information angulaire sous la forme numérique, toujours électrique bien entendu. Ils font l'objet d'une étude particulière au chapitre XIV-2.

1) Le transmetteur de synchro-détection

Un transmetteur de synchro-détection est constitué d'un rotor monophasé alimenté par une tension alternative de référence (généralement 400 Hz) et d'un stator à trois enroulements disposés en étoile (à 120°). Les tensions induites par le rotor dans ces trois enroulements sont de même forme (sinu-

soïdale) que la tension alimentant le rotor et leur amplitude est fonction de l'angle α qu'occupe le rotor. L'amplitude de ces 3 tensions évolue sinusoïdalement en fonction de α comme cela est représenté à la figure XI-5 (tensions entre phases : $v_{S_3} - v_{S_1}$, $v_{S_1} - v_{S_2}$, $v_{S_2} - v_{S_3}$). Les moments d'inertie sont typiquement de l'ordre du gramme × cm² et les couples de frottements de 2 à 4 cm.g.

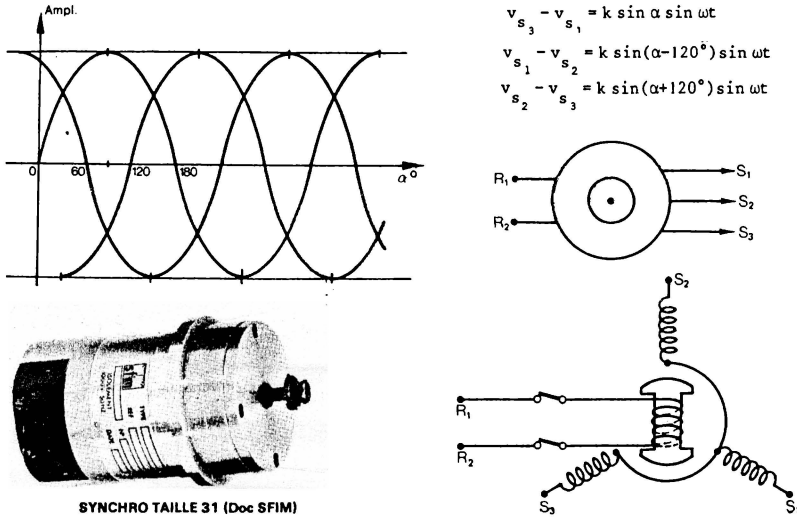


FIGURE XI – 5. – *Synchro-transmetteur (ou transmetteur de syncho- détection).*

2) Le résolver

Un résolver est constitué d'un rotor à 2 phases disposées à 90° et celles-ci délivrent deux tensions d'amplitude respectivement proportionnelle à sin α et cos α, en fonction de l'angle α occupé par le rotor. Le stator, qui est alimenté par une tension de référence, est composé de deux enroulements pour une utilisation plus générale (figure XI-6). Si S_1 et S_3 sont court-circuitées on retrouve des amplitudes proportionnelles à sin α et cos α ($U_{S_1S_3} = 0$).

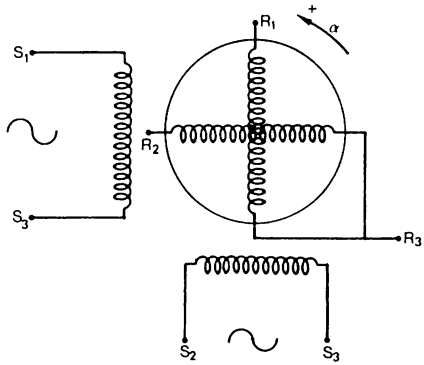
Amplitudes. :

$$U_{R_1R_3} = k(U_{S_1S_3} \cdot \sin \alpha + U_{S_2S_4} \cdot \cos \alpha)$$

$$U_{R_2R_3} = k(-U_{S_1S_3} \cdot \cos \alpha + U_{S_2S_4} \cdot \sin \alpha)$$

Ces appareils permettent une précision de l'ordre de quelques minutes d'arc (1' d'arc au mieux). D'autre part, ces machines utilisent des

balais pour alimenter leur rotor et leur durée de vie, en nombre de tours, est nécessairement limitée.



Amplitudes :

$$U_{R_1R_3} = k(U_{S_1S_3} \cdot \sin \alpha + U_{S_2S_4} \cdot \cos \alpha)$$

$$U_{R_2R_3} = k(-U_{S_1S_3} \cdot \cos \alpha + U_{S_2S_4} \cdot \sin \alpha)$$

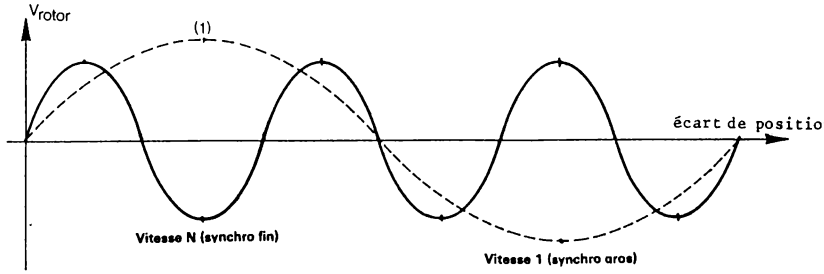
FIGURE XI – 6.
Transformateur de coordonnées (resolver).

3) Transmission par chaîne double vitesse

De manière à améliorer la sensibilité et la précision d'une transmission par synchromachine on a généralement recours à une chaîne dite à double vitesse : la vitesse 1 est donnée par le synchro "gros" et la vitesse n par le synchro "fin". Elle est constituée de deux synchros, à l'émission comme à la réception, dont les axes sont couplés par l'intermédiaire d'une démultiplication de rapport 1/n. Le premier synchro, ou synchro gros, est directement relié à l'arbre dont on veut connaître la position angulaire (liaison 1/1). Le deuxième synchro, ou synchro fin, tourne n fois plus vite (vitesse n) que l'arbre principal et le signal émis par son stator dans le cas d'un émetteur, ou développé aux bornes du rotor dans le cas d'un récepteur, permet de parfaire la position. Il y a augmentation de la sensibilité et de la précision dans la limite de précision de l'engrenage (à rattrapage de jeu).

La constitution d'une telle chaîne est représentée à la figure XI-7. A la réception le signal rotorique du synchro gros est tout d'abord exploité par l'asservissement de position. Ce signal présente une amplitude égale au sinus de l'écart angulaire qui existe entre la consigne et la position occupée (sinusoïde n° 1). Dès que cet écart devient faible (approche de l'équilibre) ou plus exactement inférieur à un seuil prédéterminé, le commutateur automatique laisse passer le signal rotorique vitesse n. Celui-ci évolue selon la sinusoïde n° 2 de la figure XI-7. Il a une période n fois plus petite que le signal rotorique du synchro gros. Au voisinage du zéro (équilibre) la sensibilité est donc nettement augmentée et la chaîne d'as-

servissement peut alors parfaire la position de l'arbre puisque la rotation du synchro fin entraîne celle du synchro gros à travers la démultiplication.



Enveloppe de modulation (porteuse 400 Hz en général) délivrée par un système synchro à deux vitesses.

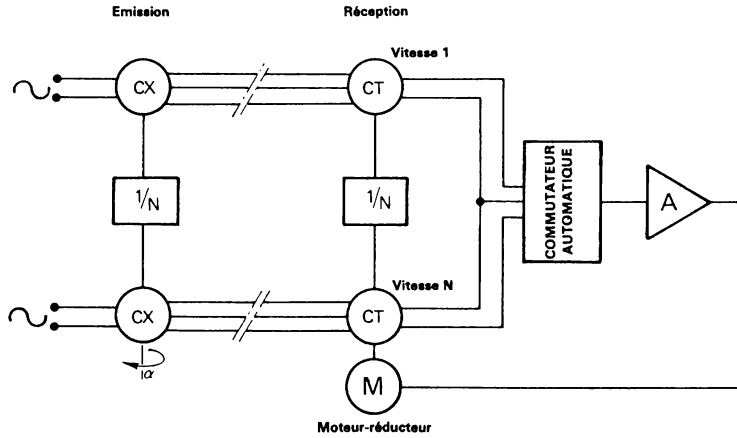


FIGURE XI – 7. – *Chaine de recopie position angulaire à deux vitesses.*

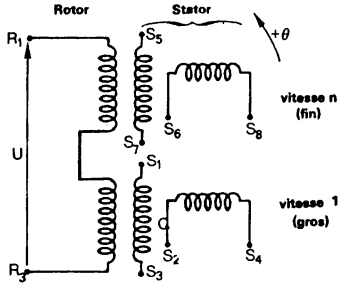
4) Capteur inductif multipolaire

Ce capteur angulaire a été développé (en France par C.S.F.) pour permettre d'atteindre des précisions plus élevées, de l'ordre de quelques secondes d'arc, précisions qui sont demandées dans certaines applications comme les conduites de tir, la commande de radar etc... Ce capteur est constitué de deux stators dont l'un est muni d'une paire de pôles (vitesse 1) et l'autre de n paires de pôles pour restituer la vitesse n et éviter ainsi l'utilisation d'un engrenage.

Une chaîne de transmission et de recopie utilisant des capteurs multipolaires se présente donc comme une chaîne à double vitesse (figure XI-8) sans système d'engrenage.

L'inductosyn circulaire est une variante de capteur multipolaire. Il est constitué de deux disques, stator et rotor, portant des circuits électriques réalisés suivant la technique des circuits imprimés et disposés en regard l'un de l'autre. La grande précision obtenue, jusqu'à 1 seconde d'arc, résulte de l'exactitude du tracé géométrique des circuits et du grand nombre de pôles qu'il est possible de réaliser (512) (Inductosyn Corp. fabriqué sous licence par SAGEM en France).

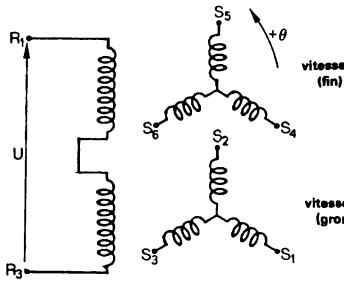
Les tensions délivrées par un résolver multipolaire et par un synchro-transmetteur multipolaire sont les suivantes :



RESOLVER MULTIPOLAIRE

$$\begin{cases} U_{S_6S_8} = k_n U_{R_1R_3} \cdot \sin n\theta \\ U_{S_5S_7} = k_n U_{R_1R_3} \cdot \cos n\theta \end{cases}$$

$$\begin{cases} U_{S_2S_4} = k_1 U_{R_1R_3} \cdot \sin \theta \\ U_{S_1S_3} = k_1 U_{R_1R_3} \cdot \cos \theta \end{cases}$$



SYNCHRO-TRANSMETTEUR MULTIPOLAIRE

$$\begin{cases} U_{S_4S_6} = k_n \cdot U_{R_1R_3} \cdot \sin n\theta \\ U_{S_6S_5} = k_n \cdot U_{R_1R_3} \cdot \sin(n\theta+120°) \\ U_{S_5S_4} = k_n \cdot U_{R_1R_3} \cdot \sin(n\theta-120°) \end{cases}$$

$$\begin{cases} U_{S_1S_3} = k_1 \cdot U_{R_1R_3} \cdot \sin \theta \\ U_{S_3S_2} = k_1 \cdot U_{R_1R_3} \cdot \sin(\theta+120°) \\ U_{S_2S_1} = k_1 \cdot U_{R_1R_3} \cdot \sin(\theta-120°) \end{cases}$$

5) Potentiomètre inductif.

Ce capteur rotatif est un transformateur à couplage variable constitué d'un stator et d'un rotor aux bornes duquel on recueille une tension

induite proportionnelle à l'angle θ de rotation. Néanmoins la linéarité de la fonction $U_R = k\theta$ (ordre de grandeur 0,5 %) n'est garantie que sur une plage de ± 60° à ± 70° pour θ. La sensibilité est de l'ordre de plusieurs dizaines de mV par degré de rotation et la tension résiduelle de quelques mV.

Un exemple de réalisation particulièrement intéressant est le capteur de déplacement angulaire CIMAPHI type CR90 (IFELEC). Le schéma est représenté à la figure XI-8 et le principe est le suivant.

Un demi-cylindre mobile (P) et deux demi-cylindres fixes (S_1 et S_2) décalés de 180° entr'eux, sont placés à l'intérieur d'un mandrin en céramique. Un enroulement primaire et deux enroulements secondaires sont bobinés sur le mandrin, en regard des demi-cylindres correspondants.

L'enroulement primaire est alimenté en alternatif par un oscillateur à transistors. La variation de flux magnétique, entre primaire et secondaires est obtenue par la rotation du demi-cylindre P.

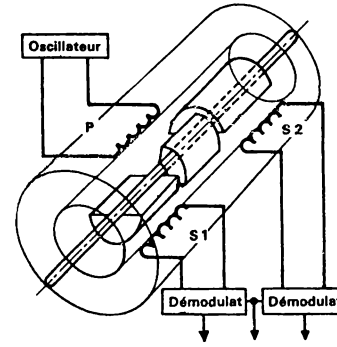


FIGURE XI – 8.
Capteur de déplacements angulaires (Doc IFELEC).

Une f.e.m. d'induction est ainsi développée dans chacun des secondaires. Après redressement et filtrage on obtient une tension continue, dont l'amplitude et la polarité dépendent respectivement de l'angle et du sens de rotation du demi-cylindre P.

Les demi-cylindres sont en matériaux magnétiques à haute perméabilité. La partie électronique est disposée autour du capteur, dont l'axe de rotation est monté sur roulements à billes. L'ensemble est placé dans un manchon métallique. La linéarité, meilleure que ± 1 % est garantie pour une rotation de 60°, le couple est de 1 g.cm et la sensibilité de 24 mV/degré de rotation.

XI-2- LES RECEPTEURS

Nous mentionnerons uniquement les principaux types de moteurs généralement utilisés dans les asservissements, les synchromachines de réception et le moteur pas à pas qui est un récepteur numérique à présent bien connu.

XI-2-1) SERVO-MOTEURS

Le moteur asynchrone biphasé, une phase de référence et une phase de

commande, est très utilisé. Le servo-moteur générateur est un maillon classique d'une chaîne d'asservissement en position ou en vitesse. Il est constitué d'un moteur et d'une génératrice délivrant un signal de sortie dont la phase est voisine de celle de la référence et d'amplitude proportionnelle à la vitesse de rotation (linéarité typique 0,1 %). Le couple de démarrage peut être de 25 g.cm (taille 08) et de 50 g.cm pour une taille 11.

Le moteur à courant continu présente l'avantage de ne pas nécessiter une alimentation 400 Hz. Quant à la génératrice de courant continu, pour laquelle une linéarité de 0,1 % est également possible, son avantage est de ne pas présenter de résiduelle alternative à vitesse nulle comme son homologue alternative. Par contre, les bruits de commutation générés par les balais doivent être éliminés.

XI-2-2) SYNCHROMACHINES DE RECEPTION

On distingue le récepteur de téléaffichage et le récepteur de synchro-détection.

Le récepteur de téléaffichage est composé d'un stator triphasé recevant le signal trois phases porteur de l'information α et d'un rotor alimenté par la tension de référence (porteuse 400 Hz). Les deux champs induits qui sont ainsi créés ont tendance à s'aligner et le rotor est soumis à une force qui tend à l'amener sur la position α. Les couples disponibles sur l'axe du rotor sont malgré tout assez faibles (gradient : 1 g.cm, taille 08 à 40 g.cm, taille 31, par degré de décalage).

Le récepteur de synchro-détection reçoit le signal synchro 3 phases sur son stator triphasé et la tension induite dans son rotor passe par un minimum, constitué par la tension résiduelle en quadrature avec la référence, lorsque ce rotor occupe la position α reçue par le stator. Cette tension induite dans le rotor est généralement appliquée à un amplificateur qui commande un moteur-réducteur dont l'axe de sortie est couplé à l'axe du rotor (asservissement de position). Un couple élevé peut alors être disponible ainsi qu'une grande précision de recopie.

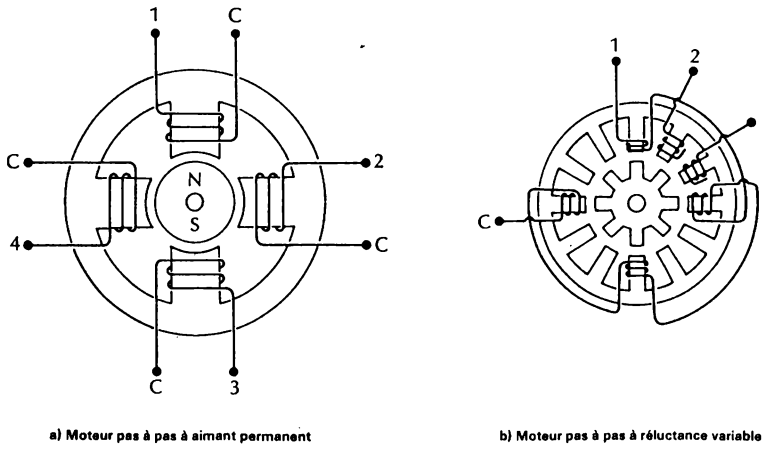
Le signal appliqué au stator et qui véhicule l'information de position α (consigne) provient soit d'un émetteur de sychro-détection soit d'un simulateur de synchro (convertisseur numérique synchro par exemple).

XI-2-3) MOTEURS PAS A PAS

Ce type de récepteur est constitué d'un rotor, à aimant permanent ou en matériau ferromagnétique et d'un stator présentant plusieurs faces (fig. XI-9). Dans le cas d'un aimant permanent, chaque phase du stator est successivement alimentée et le rotor se positionne de telle façon qu'il aligne son champ magnétique avec celui développé par le stator dans chacune des positions correspondantes (4 dans le cas de la figure XI-9(a)). Dans le cas d'un

moteur pas à pas à réluctance variable le rotor se positionne pour offrir la moindre réluctance au champ magnétique développé par l'un des enroulements statoriques. Un moteur pas à pas à 3 phases comportant un stator à 12 pôles (4 par phase) et un rotor à 8 pôles situés à 45° est présenté à la figure XI-9(b). On constate qu'étant donné la position occupée, la prochaine impulsion provoquera un déplacement de 15°, soit la moitié de l'angle que font deux pôles successifs du stator, vers la gauche ou la droite suivant que cette impulsion est envoyée à la phase 2 ou à la phase 3. D'une façon générale, le sens de rotation est imposé par la séquence de distribution comme l'indique le tableau suivant.

Phases successivement alimentées		Phases successivements alimentées	
phase	1	phase	1
-	2	-	3
-	3	-	2
-	1	-	1
-	2	-	3
-	3	-	2
-	1	-	1
-	.	-	.
-	.	-	.



a) Moteur pas à pas à aimant permanent

b) Moteur pas à pas à réluctance variable

FIGURE XI – 9. – *Moteur pas à pas.*

On trouve couramment des pas de 15° avec une vitesse de rotation maximum de 600 pas/s et un couple de 100 à 200 g.cm, mais également des pas

de 1°8, avec des vitesses de rotation de 600 pas/s et un couple de 1 kg.cm (il faut en fait, exprimer le couple en m∧N : 1g.cm $\Rightarrow 10^{-4}$ m∧N).
Un réducteur sera généralement employé pour obtenir des pas plus petits.

Ces récepteurs peuvent donc fournir des couples élevés et bénéficient des avantages de la commande tout ou rien. De plus on notera que seule une impulsion est nécessaire, d'une durée de l'ordre de 100 µs, pour effectuer un pas et que les balais sont éliminés (grande fiabilité).

L'interface électronique pour une commande de moteur pas à pas, en vue d'afficher un angle Θ est alors constitué des éléments suivants (figure XI-10) :

- un système automatique de repérage du point origine 0 ou de codage de la position.
- un registre à décalage d'autant d'étages qu'il y a de phases, suivis d'amplificateurs tout ou rien.
- une logique de commande qui reçoit l'information ΔΘ et la convertit en x décalages à gauche ou à droite suivant le signe (sens). ΔΘ est l'écart entre l'angle Θ désiré et l'angle actuellement occupé, avec $\Delta\Theta = x.\Theta_i$, Θ_i étant le pas du moteur (incrément d'angle).

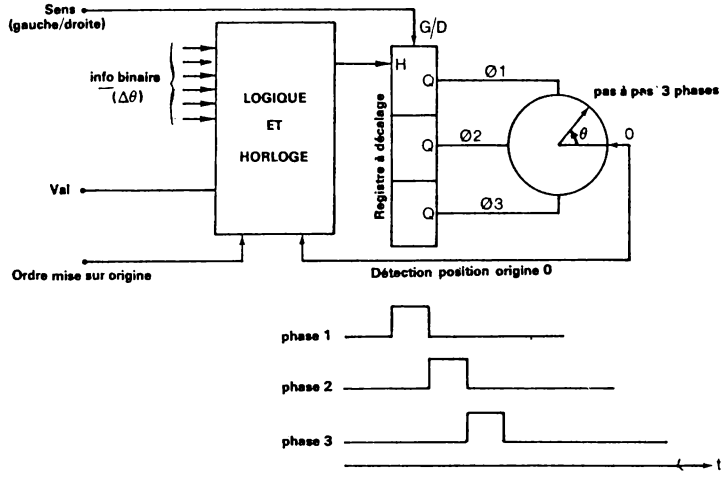


FIGURE XI – 10. – *Commande d'un moteur pas à pas.*

XII-CONVERSION NUMERIQUE-ANALOGIQUE (N/A)

XII-1- INTRODUCTION

Dans un système de numération de base B une quantité quelconque Q se représente à l'aide d'une suite de symboles :

$$a_{n-1}\ a_{n-2}\ \ldots\ldots\ a_i\ \ldots\ldots\ldots\ a_2\ a_1\ a_0$$

Chaque symbole a_i est caractérisé par sa position, ou rang, précisé par l'indice i qui définit automatiquement son poids B^i (B à la puissance i). Quant à la base B c'est le nombre de valeurs distinctes que peut prendre chaque symbole a_i. Dans ces conditions la valeur Q est par définition :

$$Q = a_{n-1}\ B^{n-1} + a_{n-2}\ B^{n-2} + \ldots\ldots + a_iB^i + \ldots\ldots + a_1B^1 + a_0B^0$$

La quantité d'information représentée par ces n symboles a_i est égale au nombre de combinaisons possibles soit B^n. Pour une même quantité d'information, on peut donc choisir un système où B est petit mais alors n est grand ou bien B est grand et n est petit. On pose en première approximation que l'importance des éléments de mémoire nécessaires pour stocker cette quantité d'information est proportionnelle à n.B, hypothèse que l'évolution de la technologie pourrait amener à revoir. Dans ces conditions on démontre que les systèmes à base 2, 3 ou 4 conduisent à un nombre minimal d'éléments mémoire pour une quantité d'information donnée, avec un léger avantage pour la base 3. Pratiquement le système de numération à base 2, le système binaire, s'est imposé pour des raisons technologiques, les circuits électroniques à 2 états étant connus depuis longtemps et faciles à réaliser.

Dans les études qui suivent, il ne sera donc question que du système binaire dans lequel les symboles a_i ne peuvent prendre que deux valeurs : 0 et 1. Ces symboles sont indifféremment appelés bit ou digit ou élément binaire (en anglais binary digit) et les deux états 0 et 1 sont électroniquement matérialisés par une tension pratiquement nulle (inférieure à V_0) ou une tension de valeur V (supérieure à V_1) en logique dite positive.

La conversion numérique-analogique, que nous désignerons dorénavant par N/A, consiste à transformer une information disponible sous forme binaire (dans un système à base 2 sous-entendu) en une information analogique.

Soit donc l'information numérique :

$$N = (a_{n-1}\ a_{n-2}\ \ldots\ a_2\ a_1\ a_0) \qquad (1)$$

Par définition, il lui correspond une quantité analogique :

$$A = q \times [a_{n-1} \cdot 2^{n-1} + a_{n-2} \cdot 2^{n-2} + \ldots + a_i 2^i + \ldots + a_0 2^0] \qquad (2)$$

- q est la quantité élémentaire analogique. Sa valeur est choisie en fonction de l'utilisation. Par exemple q = 1mV.

- a_{n-1} est le bit de plus fort poids ou bit MSB
  (MSB = most significant bit)

  a_0 est le bit de poids le plus faible ou bit LSB
  (LSB = least significant bit)

Ainsi donc, à la quantité numérique de 8 bits :

$$N = (10110011)$$

un convertisseur N/A va faire correspondre une tension, ou un courant de sortie dont l'amplitude sera :

$$V_S = A = [1 \times 2^7 + 0 \times 2^6 + 1 \times 2^5 + 1 \times 2^4 + 0 \times 2^3 + 0 \times 2^2 + 1 \times 2^1 + 1 \times 2^0].q$$

soit : $V_S = [128 + 0 + 32 + 16 + 0 + 0 + 2 + 1].q$

ou : $V_S = 179.q$ (q et V_S : même unité)

Remarquons déjà que l'information numérique N est maximum lorsque tous les bits a_i sont égaux à 1 et que l'information analogique maximum qui lui correspond est :

$$V_M = [2^{n-1} + 2^{n-2} + \ldots + 2^1 + 2^0].q$$

L'expression entre parenthèse est une progression géométrique de raison 2 et elle est donc égale à $2 \times 2^{n-1} - 1$ soit $2^n - 1$. La valeur analogique maximum est donc :

$$V_M = (2^n - 1).q$$

Par contre, la valeur analogique minimum autre que 0 ne peut être que :

$$V_m = 1.q = q$$

Enfin, comme on l'a déjà précisé, le groupement des n bits ($a_{n-1}\ a_{n-2}\ \ldots\ a_1\ a_0$) peut donner 2^n expressions *différentes* puisque a_i peut prendre deux valeurs (0 et 1) et que chaque rang a un poids bien précis (le rang i a le poids 2^i). Ce qui fait que la combinaison 1100 ne peut pas représenter la même information que la combinaison 0011.

En définitive, l'expression numérique de n bits :

$$N = (a_{n-1}\ a_{n-2}\ \ldots\ a_1\ a_0)$$

pour représenter 2^n valeurs différentes. L'information analogique qui lui correspond après conversion pourra donc prendre les 2^n valeurs comprises entre 0 et $V_M = (2^n-1).q$ à savoir : 0, q, 2q, 3q, 4q .... $(2^n - 1)q$ que l'on peut écrire :

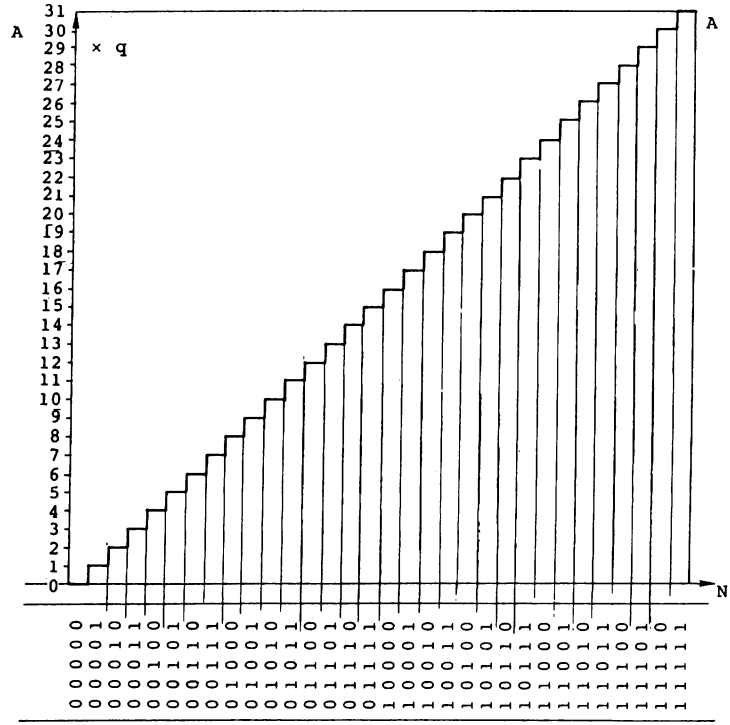
$$V_S = i.q \quad \text{avec} \quad 0 \leqslant i \leqslant 2^n - 1 \ (i \text{ entier})$$

La résolution d'un système est la plus petite valeur, ou incrément minimum, que ce système peut reconnaître ou délivrer, ramenée à la valeur maximum. Dans le cas d'un convertisseur N/A la valeur ânalogique qui sépare théoriquement deux valeurs successives est $V_m = q$ et la valeur maximum que le système peut délivrer est $V_M = (2^n - 1)q$. La résolution d'un convertisseur N/A de n bits est donc :

$$r = \frac{1}{2^n - 1} \quad \text{(de la valeur maximum)}$$

soit quand n est grand pratiquement $\frac{1}{2^n}$.

Toutes ces caractéristiques qui viennent d'être énoncées sont traduites par la figure XII-1 qui montre la courbe de transfert permettant le passage de l'information numérique à l'information analogique correspondante et inversement.



A : information analogique (unité : q)
N : information numérique

FIGURE XII – 1. – *Courbe de transfert numérique-analogique.*

Cette courbe idéale d'allure discontinue met bien en évidence deux caractéristiques importantes :

1) A chaque accroissement +1 de l'information numérique correspond un accroissement +q de l'information analogique.

2) Seul un nombre limité de valeurs analogiques peuvent être délivrées par le convertisseur N/A, 2^n pour une information de n bits.

On verra plus loin que les convertisseurs N/A que l'on peut mettre en oeuvre aisément peuvent traiter une information numérique de 12 et même 15 bits. Ce qui, pour 15 bits, représente une résolution voisine de 3.10^{-5} de la valeur maximum. Il est donc certain que la plupart des problèmes posés pourront être résolus malgré cette particularité propre à l'information numérique.

XII-2- CONVERSION NUMERIQUE-ANALOGIQUE : méthodes combinatoires

XII-2-1) TECHNIQUE « SOMMATION DE COURANTS DANS UNE RESISTANCE »

Considérons le montage élémentaire représenté à la figure XII-2. Les éléments G_0 G_1 G_2 et G_3 sont des générateurs de courant supposés parfaits. Pour cela il leur suffit de posséder une impédance interne très grande devant la résistance R et de délivrer un courant avec une certaine précision et stabilité, dans le temps et en fonction de la température.

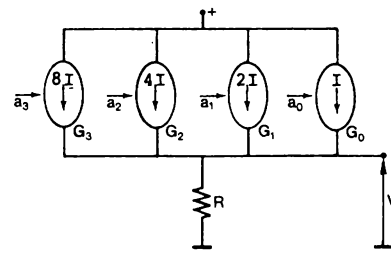


FIGURE XII – 2. – *Convertisseur N/A de 4 bits.*

Ces générateurs de courant doivent en outre avoir la propriété suivante : le générateur de rang i (G_i) peut débiter un courant $2^i.I$ si le bit a_i de l'expression numérique N est égal à 1 et il se trouve à l'état bloqué si le bit a_i est 0. Dans ce dernier cas le courant de fuite doit être négligeable devant $2^i.I$.

Dans ces conditions on peut écrire :

$$V_S = R \times \sum a_i 2^i.I = R[a_3.2^3 + a_2 2^2 + a_1 2^1 + a_0] \times I$$

Exemple : on choisit I = 1 mA R = 100 Ω

Pour l'exemple cité (4 bits) la tension V_S peut être comprise entre 0 mV (0000) et 1500 mV (1111). Seize niveaux (2^4) sont possibles, tous distants de 100 mV. La résolution du système est 100 mV ou $\frac{1}{15}$ de la valeur maximum 1,5 Volts.

Sources d'erreurs du système

L'impédance interne des générateurs de courant a été supposée très grande devant R afin que les courants I, 2I, 4I etc... soient indépendants de la tension de sortie développée aux bornes de R. En fait pour une variation ΔV_S de cette tension de sortie, un courant I peut subir une fluctuation $\Delta I = \frac{\Delta V_S}{Rg}$, Rg étant la résistance interne du générateur considéré. La valeur de Rg doit donc être suffisamment élevée pour que la variation ΔI soit inférieure à p.I ; p étant la stabilité requise pour le courant I (10^{-3} par exemple). D'autre part, la variation de résistance interne présentée par chaque générateur de courant suivant qu'il est bloqué ou passant a pour effet de moduler la résistance R globale et introduit une variation supplémentaire ΔV_S.

Les courants de fuite I_f des générateurs bloqués doivent être suffisamment faibles pour que leur somme n'apporte pas d'erreur appréciable. Si tous les générateurs sont bloqués, la tension de sortie est égale à $R.\sum I_f$ au lieu d'être nulle, et cette valeur doit être nettement inférieure à la tension correspondant au dernier bit (LSB) soit ici : R.I.

Ces générateurs doivent par conséquent présenter une résistance interne élevée, un courant de fuite faible tout en étant capable de débiter un courant appréciable quand ils sont dans l'état conducteur. Enfin leur stabilité en température et dans le temps (dérive) sera délicate à résoudre puisqu'ils sont tous différents.

REMARQUES

Il importe avant d'aller plus loin, de faire quelques remarques préliminaires sur la précision de chaque voie analogique constituant le convertisseur N/A. Le choix du nombre de bits n, très souvent entre 8 et 15 bits, sous-entend qu'il est suffisant de posséder une résolution de $\frac{1}{2^n}$ pour traiter le problème en vue et que l'on s'attend à ne pouvoir restituer toute valeur analogique qu'à $\frac{1}{2^n}$ au mieux. Cela ne pourra d'ailleurs qu'être plus mauvais puisque le convertisseur N/A présentera les erreurs propres à tout système analogique (voir paragraphe XII-9). Dans ces conditions il est inutile d'imposer au convertisseur une précision (relative) pour l'obtention des faibles valeurs aussi sévère que pour obtenir les fortes valeurs. Le tableau suivant propose une répartition possible de l'erreur pour les différentes voies de manière à réaliser un compromis satisfaisant ce qui permet une réalisation économique d'un convertisseur N/A (11 bits dans cet exemple). On constate que dans ce cas, l'erreur présentée par le système ne devrait jamais dépasser 5 mV ce qui rapporté à la pleine échelle de 20 volts (2 fois la valeur du MSB) représente une erreur de $2{,}5.10^{-4}$, parfaitement compatible avec un convertisseur de 11 bits (résolution : 5.10^{-4} soit 10 mV). On remarque en effet que la précision 10^{-2}, facile à obtenir, imposée à la

voie LSB qui fait 9,8 mV se traduit par une erreur absolue de 0,1 mV !

Valeurs théoriques de chaque "poids"			Valeurs suffisantes pour chaque poids			erreur absolue admissible	erreur relative de chaque voie
V	mV	µV	V	mV	µV	mV	
10	000	000	10	000		± 2	2.10^{-4}
5	000	000	5	000		± 1	2.10^{-4}
2	500	000	2	500		± 0,5	2.10^{-4}
1	250	000	1	250		± 0,25	2.10^{-4}
0	625	000	0	625		± 0,25	4.10^{-4}
0	312	500	0	312	5	± 0,2	$6,5.10^{-4}$
0	156	250	0	156	2	± 0,1	$6,5.10^{-4}$
0	078	125	0	078	1	± 0,1	$1,3.10^{-3}$
0	039	062	0	039	1	± 0,1	$2,5.10^{-3}$
0	019	531	0	019	5	± 0,1	5.10^{-2}
0	009	765	0	009	8	± 0,1	10^{-2}

XII-2-2) TECHNIQUE « SOMMATION PAR AMPLIFICATEUR OPERATIONNEL »

Un amplificateur opérationnel possède en général un très grand gain A_V en boucle ouverte (10^4 à 10^6), une grande impédance d'entrée Z_e et une faible impédance de sortie. De plus les semi-conducteurs et circuits intégrés réalisés à présent permettent d'obtenir des amplificateurs continus de très haute stabilité (2 µV/°C) de faible courant continu d'entrée (20 nA) et possédant une large bande passante (bande passante au gain unité f_t = 10 MHz par exemple).

Ces performances, qui peuvent même être dépassées pour certains types d'amplificateurs, rendent possible la résolution d'opérations mathématiques avec une grande précision, notamment la combinaison linéaire de plusieurs tensions analogiques.

Un amplificateur opérationnel monté en contre-réaction de courant comme l'indique la figure XII-3 présente les caractéristiques suivantes :

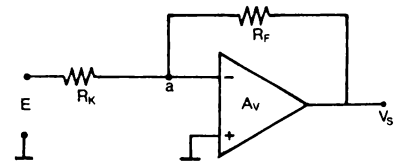


FIGURE XII – 3. – *Amplificateur opérationnel.*

- gain en boucle fermé :

$$g = \frac{V_S}{E} = -\frac{R_F}{R_K} \cdot \frac{1}{1 - \frac{1}{A_V \cdot B_V}} \qquad (1)$$

avec :

$$\frac{1}{B_V} = 1 + \frac{R_F}{R_K} + \frac{R_F}{Z_e}$$

On peut poser $\varepsilon = \frac{1}{A_V B_V}$. C'est un terme d'erreur généralement très petit et l'expression (1) devient :

$$g = \frac{V_S}{E} = -\frac{R_F}{R_K} \frac{1}{1-\varepsilon} = -\frac{R_F}{R_K} (1 + \varepsilon) \text{ (au 2ème ordre près).}$$

On remarquera que le gain en boucle ouverte A_v a une valeur négative puisque l'entrée "inverseuse" marquée (-) est utilisée. Donc ε est négatif. De même on notera l'inversion de phase que réalise ce montage entre l'entrée E et la sortie V_S.

- L'admittance d'entrée en boucle fermée vue au point de sommation (a) s'écrit :

$$Y_{ef} = \frac{1}{Z_{ef}} = \frac{1}{Z_e} + \frac{1-A_v}{R_F}$$

et si $|A_v| >>> 1 \quad Z_{ef} \# \frac{R_F}{|A_v|}$ car Z_e est grand

ordre de grandeur : $Z_{ef} << 1\ \Omega \qquad \varepsilon < -2.10^{-5}$

On notera que ces expressions sont obtenues en considérant que la résistance de sortie R_0 de l'amplificateur est nulle.

L'impédance d'entrée $Z_{ef} = \frac{R_F}{A_v}$ vue au point de sommation (a) pouvant être très faible comme on l'a vu, des résistances relativement peut élevées connectées à ce point pourront se comporter comme de véritables générateurs de courant et la somme des courants peut être effectuée avec une grande précision par l'amplificateur A. Le schéma d'un tel convertisseur N/A se présente comme l'indique la figure XII-4 :

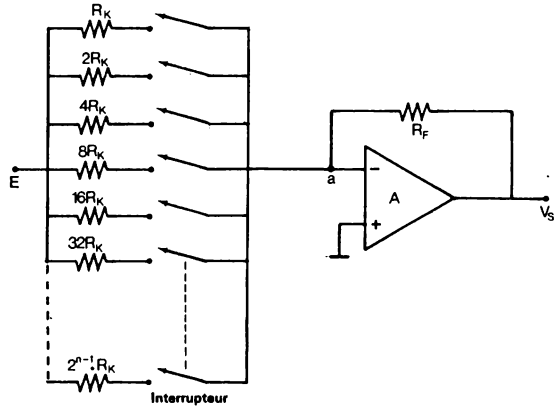


FIGURE XII – 4. – *Convertisseur N/A de n bits avec amplificateur opérationnel.*

On peut exprimer le gain en boucle fermé de ce système comme on le fait pour une seule voie R_K. Si tous les interrupteurs de la figure XII-4 sont fermés, c'est-à-dire s'ils laissent passer le courant, il vient :

$$\frac{V_S}{E} = \left[\frac{R_F}{R_K} + \frac{R_F}{2R_K} + \frac{R_F}{4R_K} + \ldots\ldots\ldots\ldots + \frac{R_F}{2^{n-1}.R_K}\right] \cdot (1 + \varepsilon)$$

avec :

$$\varepsilon = \frac{1}{A_v}\left[1 + \frac{R_F}{Z_e} + \left(\frac{R_F}{R_K} + \frac{R_F}{2R_K} + \ldots\ldots + \frac{R_F}{2^{n-1}.R_K}\right)\right]$$

soit :

$$\varepsilon \neq \frac{1}{A_v}\left[1 + \frac{R_F}{Z_e} - \frac{2R_F}{R_K}\right] \quad \text{si n est grand}$$

Si les interrupteurs ne sont pas tous fermés (cas général) on écrit :

$$g = \frac{V_S}{E} = -\left[\frac{a_{n-1}}{1} + \frac{a_{n-2}}{2} + \frac{a_{n-3}}{4} + \ldots\ldots + \frac{a_0}{2^{n-1}}\right] \cdot \frac{R_F}{R_K} \cdot (1 + \varepsilon)$$

avec :

$a_i = 1$ si l'interrupteur de la ligne i est fermé

$a_i = 0$ si l'interrupteur de la ligne i est ouvert.

On a donc bien la possibilité de reconstituer les 2^n tensions de sortie $V_S = g.E$ puisque g peut prendre les 2^n valeurs conformément au contenu de l'information numérique de n bits : $(a_{n-1}\ a_{n-2}\ \ldots\ldots\ a_2\ a_1\ a_0)$.

Pratiquement chaque interrupteur doit être commandé par un état logique qui selon sa valeur 1 ou 0 le rendra conducteur (résistance de l'interrupteur fermé = R_{on} faible) ou non conducteur (résistance de l'interrupteur bloqué R_{OFF}, très grande).

Sources d'erreurs

Elles ont principalement trois origines : l'interrupteur, la gamme importante de résistance (R à 2^n.R), et l'amplificateur A.

L'interrupteur placé dans chaque voie peut apporter une tension d'erreur de quelques mV (interrupteur à transistors bipolaires) ou une résistance non négligeable (10 à 50 Ω pour les interrupteurs à transistor MOS-FET), et un courant de fuite.

La gamme étendue de résistances nécessaires rendra difficile l'utilisation de résistances à la fois stables, miniatures et économiques. De plus elles seront très difficiles à réaliser en microélectronique.

Quant aux erreurs dues à l'amplificateur A, elles sont classiques : tension et courant de décalage, courant d'entrée (ou de polarisation), variation du gain et dérives.

XII-2-3) REALISATION D'UN CONVERTISSEUR N/A MODULAIRE (sommation de courants)

Les deux techniques qui viennent d'être évoquées nécessitent une gamme étendue de résistances ou de courants ce qui représente quelques

difficultés dès que n > 8. Toutefois on peut s'inspirer de ces 2 principes et grâce à quelques aménagements on peut aboutir à un produit industriel pour peu que se dégage l'utilisation d'un module de base simple et répétitif, donc produit en très grande quantité. Un convertisseur N/A sera alors constitué de plusieurs de ces modules montés en parallèle (si n est grand) comme le précise le schéma de la figure XII-5.

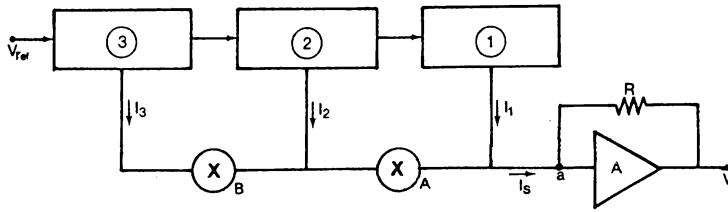


FIGURE XII – 5. – *Convertisseur N/A (sommation de courants).*

Les modules ① ② et ③ sont des ensembles de x générateurs de courant et la somme de ceux-ci est réalisée par l'amplificateur opérationnel A. Pour que les modules ① ② et ③ soient identiques ou tout au moins de même conception, et ils pourront simplement présenter des précisions différentes suivant leur rang, des atténuateurs A et B sont introduits dans le circuit afin de réaliser la somme pondérée des courants.

Les convertisseurs N/A s'échelonnant entre 8 et 16 bits, il apparaît judicieux de réaliser un module de quatre générateurs de courant (I, $\frac{I}{2}$, $\frac{I}{4}$ et $\frac{I}{8}$). Les réseaux A et B doivent introduire une atténuation de 1/16 de façon que : $I = I_1 + \frac{1}{16}I_2 + \frac{1}{256}I_3$ les courants I_1, I_2 et I_3 étant eux-mêmes la somme de 4 courants (validés ou non).

Ainsi :

$$I_1 = (a_1 + \frac{a_2}{2} + \frac{a_1}{4} + \frac{a_0}{8}) \cdot i$$

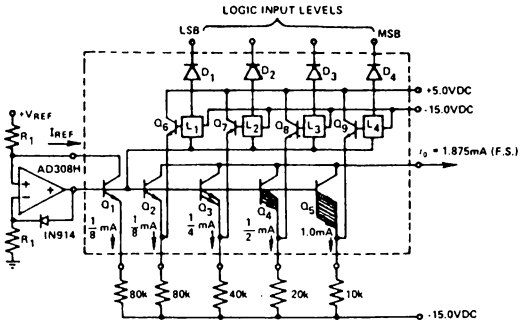
$$I_2 = (a_7 + \frac{a_6}{2} + \frac{a_5}{4} + \frac{a_4}{8}) \cdot i$$

$$I_3 = (a_{11} + \frac{a_{10}}{2} + \frac{a_9}{4} + \frac{a_8}{8}) \cdot i$$

avec toujours $a_i = 0$ ou 1 selon l'expression N, et i un courant généralement de l'ordre du mA. Les 3 modules sont identiques mais le n° 3 ne nécessitera pas une précision aussi élevée que le n° 1.

Ce module de quatre générateurs de courant a été réalisé pour la première fois en monolithique par la firme Analog Devices (figure XII-6). Quatre résistances extérieures permettent de fixer le courant débité par chaque générateur à transistor constitué en fait par 1, 2, 4 ou 8 transistors en parallèle selon le rang afin que chaque transistor soit parcouru

par le même courant $\frac{i}{8}$, ce qui entraîne des tensions V_{BE} et des dérivées identiques faciles à compenser.



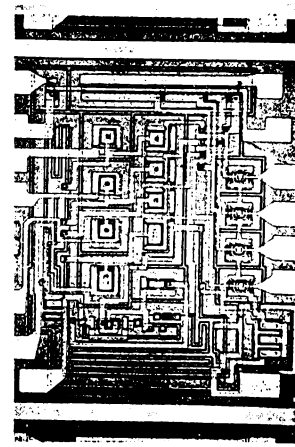


FIGURE XII – 6. – *Quatre générateurs de courant en circuit monolithique (Doc : Analog Devices).*

Un convertisseur N/A 12 bits se présente alors suivant le schéma de la figure XII-7. Tous les éléments sont monolithiques : générateurs de courant, amplificateur, réseau de résistance. Les résistances sont obtenues suivant la technique film mince (thin film) avec des caractéristiques de précision et de coefficient de température très serrés. On notera en effet que c'est le rapport des valeurs qui importe et non la valeur absolue des résistances.

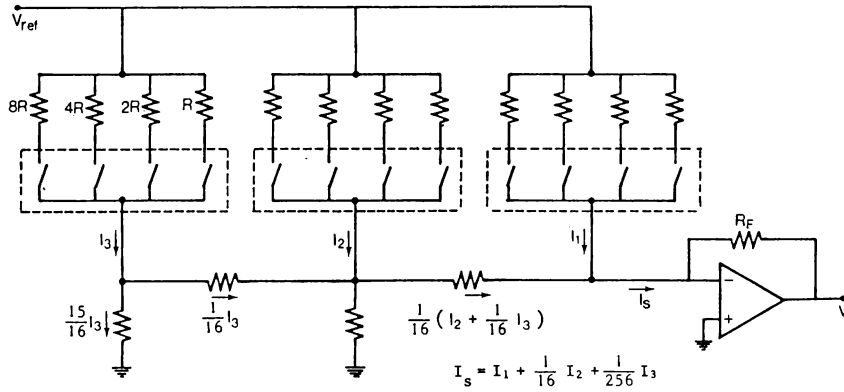


FIGURE XII – 7. – *Convertisseur N/A 12 bits (sommation de courants).*

XII-2-4) TECHNIQUE « SOMMATION DE COURANTS DANS UN RESEAU EN ECHELLE »

Dans cette technique, il y a autant de générateurs de courant que de bits d'information mais ils ont tous le même débit I. Il est donc aisé de les rendre parfaitement identiques ou tout au moins de compenser les dérives, lesquelles devraient être très voisines. Par contre, 2n-1 résistances de précision sont nécessaires. Toutefois, on n'utilise que 2 valeurs et il sera vu que seul le rapport de ces 2 valeurs doit être précis. La figure XII-8 présente le réseau en échelle R-2R qui est nécessaire ainsi que les n générateurs de courant I d'impédance interne R_G.

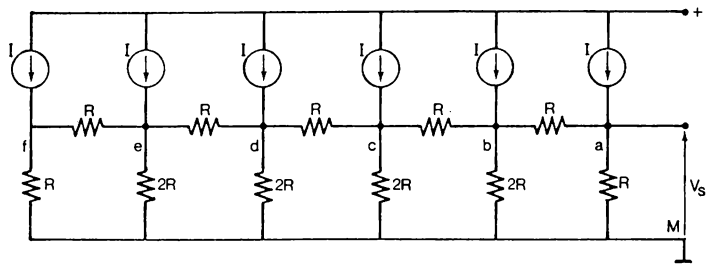


FIGURE XII – 8. – *Conversion N/A avec réseau en échelle.*

On notera que les deux résistances terminales de ce réseau ont la valeur R et non 2R comme toutes les autres résistances verticales (reliées au point commun M). On peut constater qu'à chaque noeud a b c d .... la résistance équivalente au réseau vue par le générateur qui aboutit au noeud est égale à 3 résistances 2R en parallèle, soit $R_{eq} = \frac{2R}{3}$. Quant à la résistance vue à chaque extrémité, elle est formée de deux résistances, R et 2R, en parallèle soit encore $\frac{2R}{3}$.

On suppose pour l'instant que les résistances internes R_G sont infinies. Chaque générateur développe donc entre le noeud auquel il est connecté et le point commun M une tension $\frac{2R}{3} \cdot I$. Le générateur de poids le plus fort, connecté au noeud a, est donc responsable d'une tension de sortie égale à $\frac{2R}{3} \cdot I$. Le générateur immédiatement inférieur (rang n-2), connecté au noeud b, développant une tension $V_{bM} = \frac{2R}{3} \cdot I$, provoque une tension de sortie atténuée par 2 puisque $V_{aM} = \frac{V_{bM}}{2}$, soit : $\frac{2R}{3} \cdot \frac{I}{2}$.

De même le générateur de rang n-3 provoque, quand il est rendu conducteur, une tension de sortie $\frac{2R}{3} \cdot \frac{I}{4}$ etc... Finalement, la loi de superposition nous permet d'écrire :

$$V_S = \frac{2R}{3} \cdot I \cdot \left[\frac{a_{n-1}}{1} + \frac{a_{n-2}}{2} + \frac{a_{n-3}}{4} + \ldots\ldots\ldots + \frac{a_0}{2^{n-1}} \right]$$

où les termes a_i valent 1 ou 0 suivant le contenu de l'information avec l'hypothèse que si $a_i = 1$, le générateur de courant de rang i est mis à l'état conducteur.

La valeur maximum de la tension de sortie est atteinte lorsque tous les générateurs de courant sont conducteurs :

$$V_{SM} = \frac{2R}{3} \cdot I \cdot \left[1 + \frac{1}{2} + \frac{1}{4} + \ldots\ldots + \frac{1}{2^{n-1}}\right]$$

soit :

$$V_{SM} = \frac{2R}{3} \cdot I \cdot \left[2 - \frac{1}{2^{n-1}}\right] \qquad \text{cas où N = (111....11)}$$

et si n est assez grand : $V_{SM} \neq \frac{4R}{3} \cdot I$.

On doit noter que la tension de sortie V_S doit être exploitée par un étage de très grande impédance d'entrée R_e, comme un amplificateur opérationnel en contre-réaction de tension (figure XII-13), ou par un amplificateur de calcul (figure XII-14).

Si les générateurs de courant I sont constamment dans l'état conducteur, le temps de réponse peut être amélioré et d'autre part la puissance dissipée est constante. Pour cela il faut que chaque générateur soit suivi d'un inverseur qui aiguille le courant I vers le noeud qui lui est attribué (si $a_i = 1$) ou directement au point commun M (si $a_i = 0$). L'organisation est alors celle de la figure XII-9 dans laquelle les éléments bistables B_i stockent l'information numérique et commandent l'état des inverseurs.

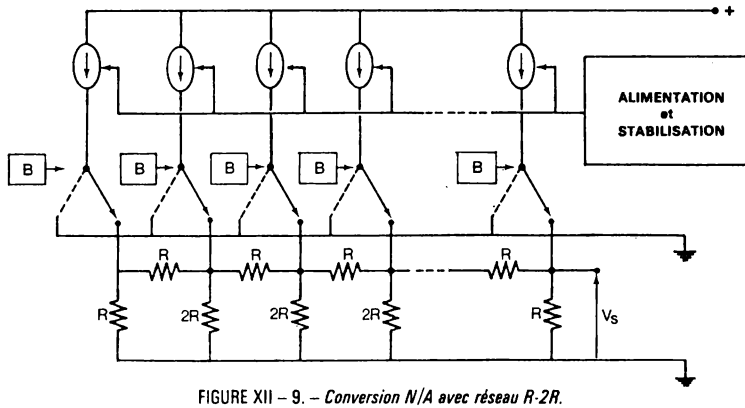
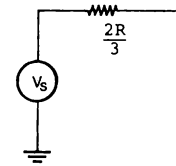


FIGURE XII – 9. – *Conversion N/A avec réseau R-2R.*

Le circuit équivalent de ce réseau vu entre ses bornes de sortie est le suivant :

$$V_S = \frac{2R}{3} \cdot \frac{N}{k} \cdot I$$



Pour minimiser le coefficient de température de la tension de sortie V_S il faut que les coefficients de température de R et I se compensent.

XII-2-5) TECHNIQUE « SOMMATION DE TENSIONS DANS UN RESEAU EN ECHELLE »

Le réseau en échelle R-2R utilisé dans cette technique diffère légèrement de celui qui a été nécessaire au paragraphe précédent. La figure XII-10 donne sa constitution. Chaque extrémité e_i peut être connectée à une source de tension V ou au potentiel de référence bas (0 Volt). La tension de sortie se prélève entre A et M.

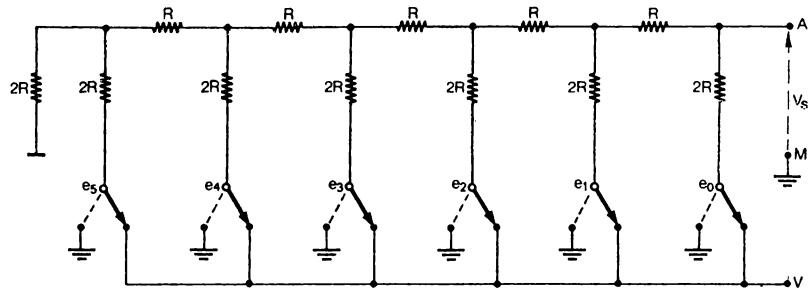
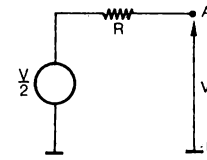


FIGURE XII – 10. – *Réseau en échelle R-2R et commutation de tensions.*

La résistance équivalente vue entre A et M est égale à R si chaque inverseur présente une résistance nulle. Cette résistance équivalente R est d'autre part indépendante de la position des inverseurs si chaque point e_i est soit relié au potentiel de référence M (potentiel zéro) soit à la source de tension V (résistance interne nulle).

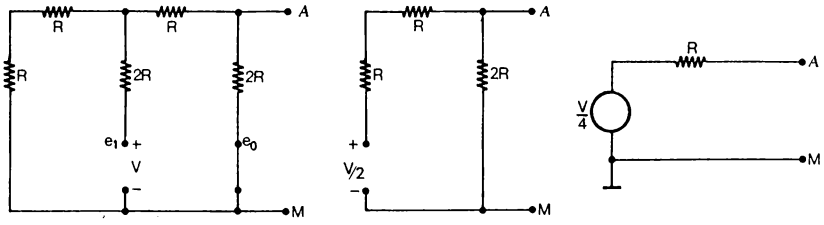
1) Si le point e_0 est seul connecté au potentiel +V par rapport à M, la tension V_{AM} est égale à $\frac{V}{2}$.

Le circuit équivalent est le suivant :



réseau équivalent pour le poids fort (MSB)

2) De même si seul le point e_i est connecté au potentiel +V, les autres points e_i étant reliés au point M, le circuit équivalent est :



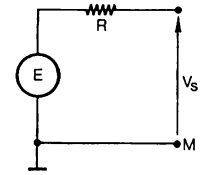
On démontrerait de même que si le point e_i est seul connecté au potentiel V, les autres points étant reliés au point M, la tension de sortie est $V_{AM} = \frac{V}{2^{i+1}}$, la résistance de sortie étant toujours égale à R. La loi de superposition permet d'écrire que la tension de sortie V_{AM} dans le cas général est égale à la somme des différentes tensions qui peuvent être délivrées séparément, ce qui donne un réseau équivalent constitué par une source de tension E de résistance interne constante R telle que :

$$E = V \times \left[\frac{a_{n-1}}{2} + \frac{a_{n-2}}{4} + \ldots + \frac{a_1}{2^{n-1}} + \frac{a_0}{2^n} \right] = \frac{V}{2^n} \left[2^{n-1} \cdot a_{n-1} + \ldots + a_0 \right] = \frac{V}{2^n} \cdot N$$

valeur dont on notera qu'elle est indépendante de R.

réseau équivalent

$$E = \frac{V}{2^n} \cdot N$$



La valeur maximum de cette tension E sera :

$$E_M = V \times \left[\frac{1}{2} + \frac{1}{4} + \ldots\ldots + \frac{1}{2^n} \right] = V \times \left(1 - \frac{1}{2^n}\right)$$

et la plus petite valeur non nulle est : $E_m = \frac{V}{2^n}$.

REMARQUE

Les résultats qui viennent d'être obtenus ne sont vrais que si les points e_i sont connectés, à la source de tension V ou au point M, à l'aide d'une résistance de contact nulle. Or il est très difficile de réaliser des interrupteurs électroniques possédant une résistance quasiment nulle à l'état

conducteur. On obtiendra par contre assez facilement 50 Ω avec des transistors à effet de champ, sans tension résiduelle en série, et de l'ordre de quelques ohms avec les transistors bipolaires, avec une tension résiduelle de quelques millivolts en série. Pour éliminer pratiquement l'influence de cette résistance de contact ρ non nulle, il suffirait d'utiliser un rapport $\frac{R}{\rho}$ suffisamment élevé mais ceci peut conduire à des valeurs de R de plusieurs centaines de kiloohms. Elles sont alors difficiles à réaliser avec une précision élevée, surtout dans la technique film mince, et la vitesse de fonctionnement ne peut alors être très grande. Un autre moyen consiste à connaître la dispersion Δρ des résistances de contact de chaque interrupteur électronique (ρ ± Δρ) et à rendre le rapport $\frac{R}{\Delta\rho}$ suffisamment grand compte tenu de la précision désirée. Si Δρ est dix fois plus petit que ρ, par exemple 50 ± 5 Ω, les valeurs à donner à R seront dix fois plus petites pour obtenir la même précision. Le réseau R-2R utilisé est dans ces conditions légèrement modifié (figure XII-11).

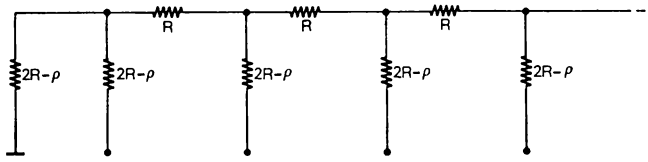


FIGURE XII – 11. – *Réseau en échelle R-2R modifié.*

Le convertisseur N/A à commutation de tension utilisant un réseau R-2R et des interrupteurs de résistance ρ se présente alors comme l'indique la figure XII-12.

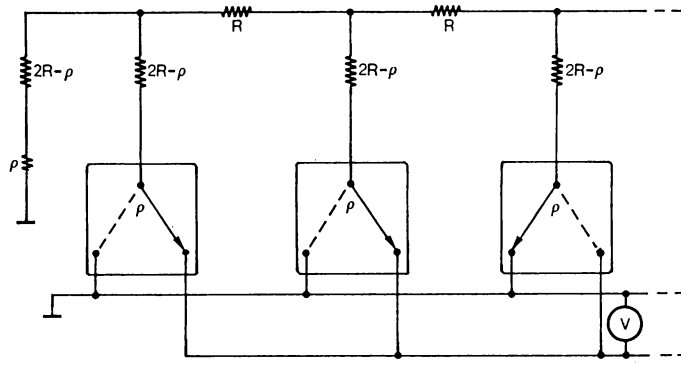


FIGURE XII – 12. – *Conversion N/A avec réseau R-2R modifié.*

Le réseau R-2R de base est constitué de deux types de résistances dont le rapport doit être égal à 1/2 avec une grande précision. Pour le réseau R/2R-ρ l'idée de base est conservée, mais le rapport est légèrement différent de 1/2 ce qui ne présente aucun problème.

Exemple de réseau R-2R en film mince

R = 10 KΩ ± 1 % (ou 5 %).

Coefficient de température de R : $\pm 50.10^{-6}$/°C

Dispersion des coefficients de température : $\pm 10^{-6}$/°C

(Température Coefficient Tracking)

Précision de la sommation (12 bits) : 0,012 %.

XII-2-6) TRANSFORMATION D'UNE SORTIE « COURANT » EN SORTIE « TENSION »

Les convertisseurs N/A utilisant un réseau en échelle présente une résistance interne assez élevée (R = 10 KΩ en moyenne). Pour réaliser un convertisseur N/A à sortie "tension", donc à résistance interne nulle, un amplificateur opérationnel est utilisé. Il peut être monté suivant deux configurations.

1) *Utilisation d'un amplificateur tampon pour réaliser une adaptation d'impédance et de niveau (fig. XII-13).*

L'amplificateur opérationnel A de très grand gain de tension (A_v) en boucle ouverte, est monté en contre-réaction de tension. Sa tension de sortie est égale ou supérieure à la tension d'entrée : $V_S = k.V_e (k \geq 1)$ et son impédance d'entrée en boucle fermée est pratiquement égale à :

$$Z_{in} = \frac{Z_e . A_v}{k}$$

Z_e étant son impédance d'entrée en boucle ouverte. La valeur de Z_{in} peut donc être très élevée (10^{10} Ω) et la charge apportée au réseau R-2R n'entraînera pas d'erreur sensible. De plus, la tension analogique V_S est maintenant délivrée sous faible impédance et avec des puissances bien supérieures à ce que peut donner un réseau R/2R seul.

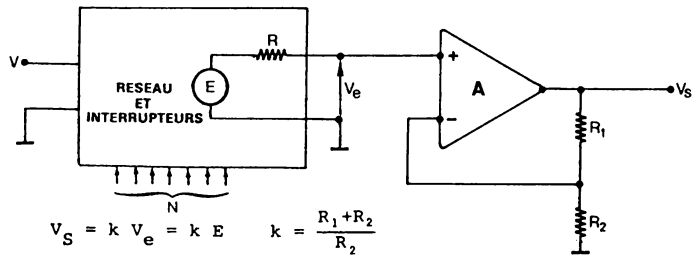


FIGURE XII – 13. – *Convertisseur N/A avec réseau R-2R et adaptation de puissance.*

2) *Utilisation d'un amplificateur de calcul (figure XII-14)*

L'amplificateur opérationnel A est monté en contre-réaction de courant. La tension de sortie V_S s'écrit :

$$V_S = - \frac{R_F}{R_K+R} E \qquad \text{avec} \qquad E = k \cdot N$$

(k coefficient exprimé en volt).

la résistance R_K pouvant être nulle.

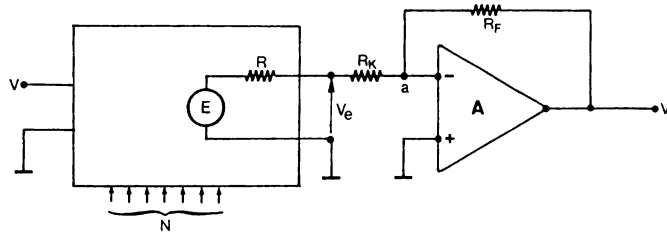


FIGURE XII – 14. – *Convertisseur N/A avec réseau R-2R et amplificateur de calcul.*

Le gain de la chaîne $(\frac{V_S}{E})$ peut donc être ajusté avec précision, dans le premier cas avec le rapport $\frac{R_1}{R_2}$ et dans le deuxième cas avec le rapport $\frac{R_F}{R}$ (si $R_K = 0$).

De plus, si les coefficients de température de R_1 et R_2 ou de R_F et R sont très voisins, par exemple à 10^{-6}/°C, le coefficient de température du rapport, donc de la tension V_S, pourra être très bon et ceci malgré le coefficient de température relativement mauvais du réseau (50.10^{-6}/°C par exemple). Dans le deuxième montage (figure XII-14) la résistance R_F aura tout intérêt à être diffusée avec les résistances R et 2R du réseau.

XII-2-7) ASSOCIATION DE DEUX CONVERTISSEURS N/A A SORTIE « COURANT »

La figure XII-15 concerne une application où les sorties de deux convertisseurs N/A sont combinées linéairement par un amplificateur de calcul. Les résistances R_{K_1} et R_{K_2} ne sont utiles que si les amplitudes disponibles en sortie des réseaux R-2R doivent être pondérées.

Aux deux informations numériques N_1 et N_2 respectivement envoyées aux convertisseurs n° 1 et 2 correspondent les deux tensions analogiques $E_1 = N_1 . v_1$ et $E_2 = N_2 . v_2$. La tension de sortie s'écrit :

$$V_S = - \left[\frac{R_F}{R_1+R_{K_1}} \cdot E_1 + \frac{R_F}{R_2+R_{K_2}} \cdot E_2 \right]$$

Ce montage permet en particulier d'atteindre de haute résolution. Pour cela le convertisseur n° 1 reçoit les n_1 premiers bits (poids forts) et le convertisseur n° 2 les n_2 autres bits de l'expression $N = (N_1, N_2)$ de

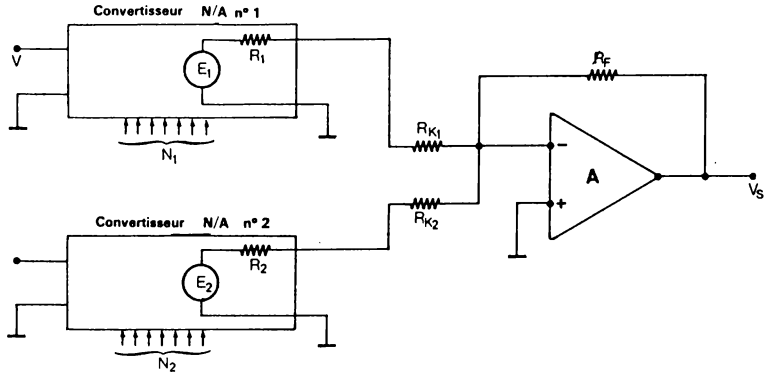


FIGURE XII – 15. – *Combinaison linéaire de deux conversions N/A.*

$n_1 + n_2$ bits. En supposant que les deux convertisseurs ont le même gain de chaîne c'est-à-dire qu'ils donnent la même valeur analogique pour les bits de même rang, la sortie du convertisseur n° 2 doit être pondérée de façon à ce que son bit MSB ait maintenant un poids égal à celui du bit venant après le LSB du convertisseur n° 1 (s'il existait) soit $\frac{1}{2} \cdot v_1$. L'atténuation sera donc de $\frac{1}{2^{n_1}}$. En conséquence il faut que $R_{K_2} + R_2 = 2^{n_1} \cdot (R_{K_1} + R_1)$.

Prenons l'exemple d'un convertisseur N/A de 16 bits à réaliser avec un convertisseur de 10 bits (n° 1) et un convertisseur de 6 bits (n° 2). Les résistances seront telles que $\frac{R_F}{R_{K_2} + R_2} = \frac{1}{2^{10}} \cdot \frac{R_F}{R_1}$ (R_{K_1} peut être éliminée dans ce cas) et la sortie V_S devient :

$$V_S = - \frac{R_F}{R_1} \cdot V \cdot \left[\frac{a_{15}}{2} + \ldots + \frac{a_6}{2^{10}} + \frac{1}{2^{10}} \left(\frac{a_5}{2} + \ldots + \frac{a_0}{2^6} \right) \right]$$

d'où :

$$V_S = - \frac{R_F}{R_1} \cdot \frac{V}{2^{16}} \cdot N$$

avec :

$$N = (N_1, N_2) = (a_{15}, \ldots a_6, a_5 \ldots a_0)$$

Mais il faut remarquer que ce nouveau convertisseur de résolution $\frac{1}{n_1 + n_2}$ va présenter en moyenne une erreur analogique qui sera nettement moins bonne et pourra même dans certains cas être celle du convertisseur N/A n° 1 soit $\pm \frac{1}{2^{11}}$ par exemple (pour $\pm \frac{1}{2}$ LSB du convertisseur n° 1 de 10 bits).

Dans ces conditions ce montage ne peut convenir qu'aux cas où seule une haute résolution est essentielle sans précision du même ordre de grandeur (risque de fonctionnement non monotone - voir paragraphe XII-8-2).

Si par contre ce convertisseur doit également présenter une haute

précision, par exemple $\frac{\pm 1}{2^{n_1+n_2}}$, il faut que le convertisseur n° 1 ait une précision de cet ordre bien que n'ayant que n_1 bits. On pourra prendre $n_1 = 6$ et $n_2 = 10$ et le réseau 6 bits de très haute qualité sera plus facile à réaliser pour seulement 6 bits. La précision du réseau n° 2 sera de $\pm \frac{1}{2} \cdot \frac{1}{2^{10}}$ mais son erreur est attenuée dans le même rapport que E_2 (soit ici $\frac{1}{2^6}$).

XII-3- CONVERSION NUMERIQUE-ANALOGIQUE : méthodes séquentielles

XII-3-1) INTRODUCTION

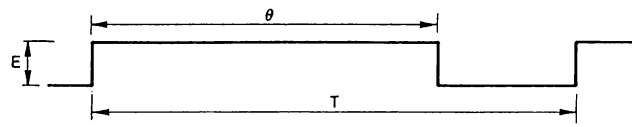
Les différents circuits de conversion N/A qui viennent d'être étudiés sont pratiquement des circuits analogiques à 100 %. Leurs performances seront excellentes, en temps de réponse en particulier (fonctionnement parallèle), mais leur réalisation est assez coûteuse (réseau résistif de haute précision). Or il existe de nombreuses applications pour lesquelles effectuer une conversion N/A en 10 µs est superflu. Dans certains cas il sera même obligatoire de ralentir ces transitions rapides par l'adjonction d'une constante de temps (fitre).

Pour ces applications il est intéressant d'appliquer des méthodes séquentielles qui comme on va le voir, conduisent à des configurations où les circuits logiques tiennent une large place. Dans ces conditions la réalisation d'un convertisseur N/A monolithique ne doit pas poser de problèmes ; il doit être simple et économique mais sa vitesse de réponse sera faible. D'autre part son très faible volume permettra son introduction au coeur même du capteur (pour une conversion A/N) ou du récepteur.

XII-3-2) CONVERSION NUMERIQUE-RAPPORT CYCLIQUE N/α)

PRINCIPE :

On veut générer un signal rectangulaire de rapport cyclique $\alpha = \frac{\Theta}{T}$ en relation avec N. La période de renouvellement T est fixe et Θ sera donc proportionnel à N. C'est une modulation de durée sous contrôle numérique.



Si E est l'amplitude de ce signal rectangulaire, la composante continue a pour valeur E·α, donc proportionnelle à N, et elle sera restituée à l'aide d'un filtre passe-bas.

FONCTIONNEMENT

Le convertisseur est essentiellement composé d'un registre tampon

pour fixer la valeur N et la tenir constamment disponible, un décompteur de n bits, une porte électronique délivrant ou non une tension E et un étage de sortie avec filtre passe-bas (figure XII-16).

Une horloge de fréquence f_0 pilote un compteur de n bits. Ce dernier délivre un 0 Logique sur sa sortie "compte maximum" quand son contenu est maximum (11...11). Ce signal permet au décompteur de charger la valeur N à convertir (n bits). Si cette valeur n'est pas nulle, la sortie "compte minimum" du décompteur passe à 1, ouvre la porte électronique et autorise le passage des impulsions d'horloge par la porte ET, lesquelles vont vider le contenu du décompteur.

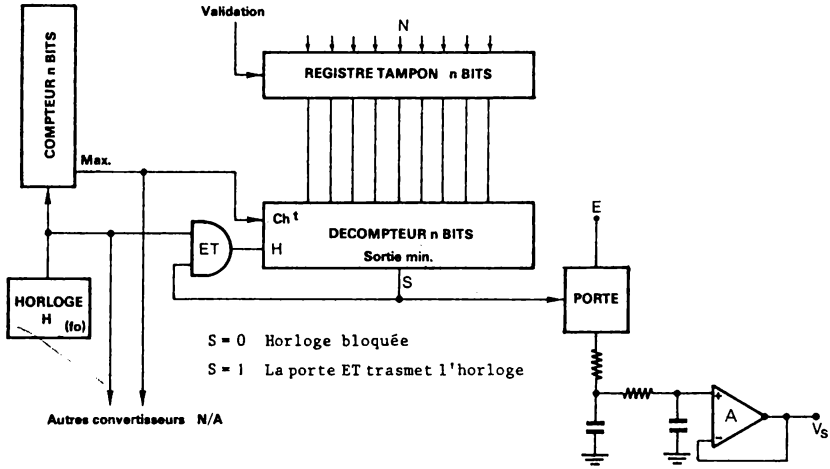


FIGURE XII – 16. – *Convertisseur numérique - rapport cylique.*

Dès que le contenu atteint ZERO la sortie S (compte minimum) passe à 0 Logique, bloque la porte ET (le décompteur ne peut plus recevoir l'horloge H) et ferme la porte électronique (sa tension de sortie passe de E à 0).

Dès que le compteur a atteint sa valeur maximum (2^n-1) le cycle recommence et la période est $T = 2^n \cdot t_0$.

Le signal délivré par la porte électronique est au potentiel E pendant le temps de décomptage, soit $N \cdot t_0$, et au potentiel 0 le reste du temps. Le rapport cyclique de ce signal est donc $\alpha = \frac{\Theta}{T} = \frac{N \cdot t_0}{2^n \cdot t_0} = \frac{N}{M}$ avec $M = 2^n$.

On trouvera à la figure XII-17 le diagramme des temps pour n = 3 avec une application pour N = 7 et une autre pour N = 1.

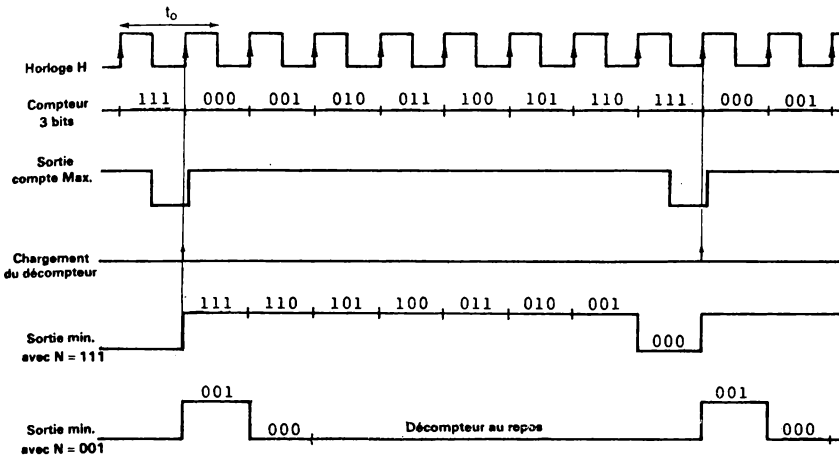


FIGURE XII – 17. – *Diagramme des temps pour une conversion numérique-modulation de durée.*

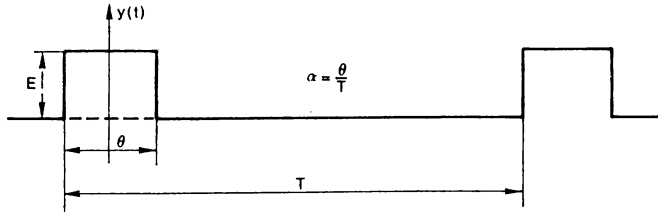
EXEMPLE : $n = 11 \qquad M = 2^n = 2048.$

Si $N = (001010010000) = (328)_{10}$.

Il vient $\alpha = \frac{328}{2048} \neq 0{,}1602$ et la composante continue sera de 0,1602 E.

Etant donné la rapidité des circuits courants, compteurs et portes électroniques, on pourra faire aisément $t_0 = 1$ µs. Avec n = 11 on est conduit à une période T = 2048 µs soit 2 ms environ (500 Hz).

Spectre du signal de sortie.



On sait que l'analyse des fonctions périodiques par la méthode des séries de Fourier permet d'écrire d'une façon générale :

$$y(t) = a_0 + \sum_{n=1}^{\infty} (a_n \cos n\omega t + b_n \sin n\omega t) \qquad \text{avec :}$$

$$a_0 = \frac{\omega}{2\Pi}\int_0^{\frac{2\Pi}{\omega}} y(t).dt \qquad a_n = \frac{\omega}{\Pi}\int_0^{\frac{2\Pi}{\omega}} y(t).\cos n\omega t.dt$$

$$b_n = \frac{\omega}{\Pi}\int_0^{\frac{2\Pi}{\omega}} y(t).\sin n\omega t.dt \qquad \text{et} \qquad \omega = 2\,\Pi.F. = \frac{2\Pi}{T}$$

pour n entier $\geqslant 1$.

Pour la fonction impulsion considérée dans cet exemple il vient :

$$y(t) = \alpha E + \sum_{n=1}^{\infty} a_n.\cos n\omega t \quad \text{avec} \quad a_n = 2\alpha E\,\frac{\sin n\alpha\Pi}{n\alpha\Pi}$$

L'enveloppe des amplitudes des composantes constituant le spectre de féquence est en $2.\frac{\sin U}{U}$ (figure XII-18).

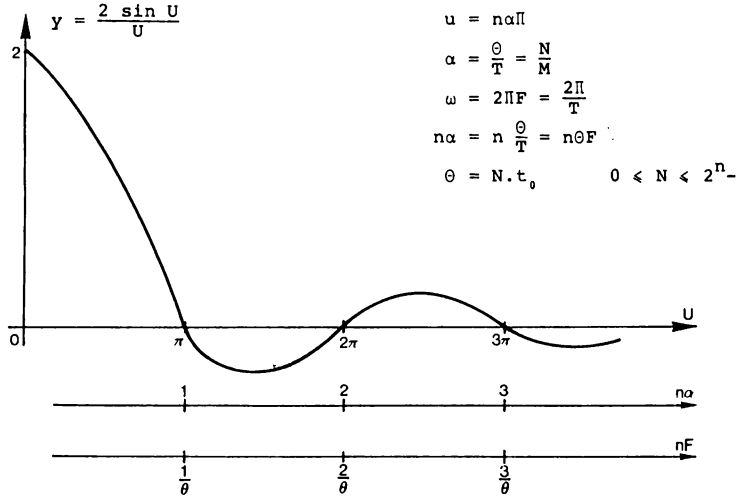


FIGURE XII – 18. – *Courbe 2 $\frac{\sin U}{U}$*

EXEMPLE : n = 11 M = 2048 t_0 = 1 µs T = 2048 µs

Si N = 1024 Θ = 1024 µs et $\alpha = \frac{1}{2}$

Il vient : $y = \alpha E\left[1 + 2\,\frac{\sin \alpha\Pi}{\alpha\Pi}\cos \omega t + 2\,\frac{\sin 2\alpha\Pi}{2\alpha\Pi}\cos 2\,\omega t + \ldots.\right]$

soit : $y = \alpha E[1 + 1{,}27 \cos \omega t - 0{,}425 \cos 3\,\omega t + \ldots\ldots\ldots]$

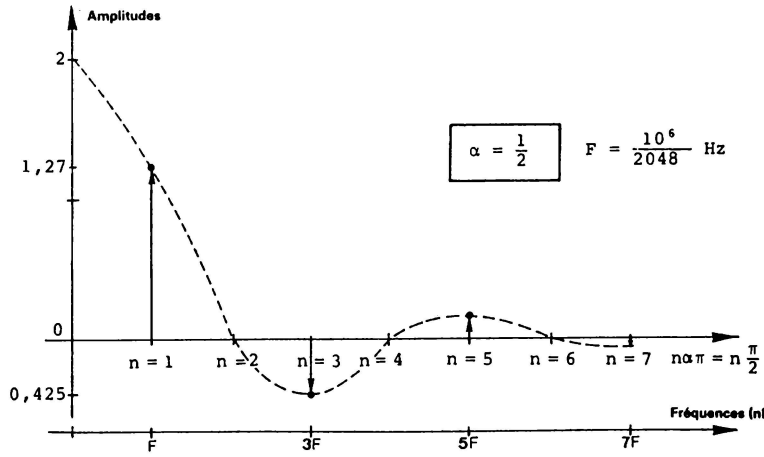


FIGURE XII – 19. – *Spectre de fréquences pour* $\alpha = 1/2$.

Pour avoir une tension résiduelle inférieure à 10^{-3} due aux composantes alternatives, le filtre devra atténuer la fréquence F avec un facteur 2000. Si on utilise un filtre à pôle double (40 dB/décade), on relève que la fréquence de coupure $\omega_c = \frac{1}{RC}$ doit avoir une valeur telle que : $\frac{\omega}{\omega_c} = 33$ pour une atténuation de 1000 et 50 pour une atténuation 2500 (figure XII-20).

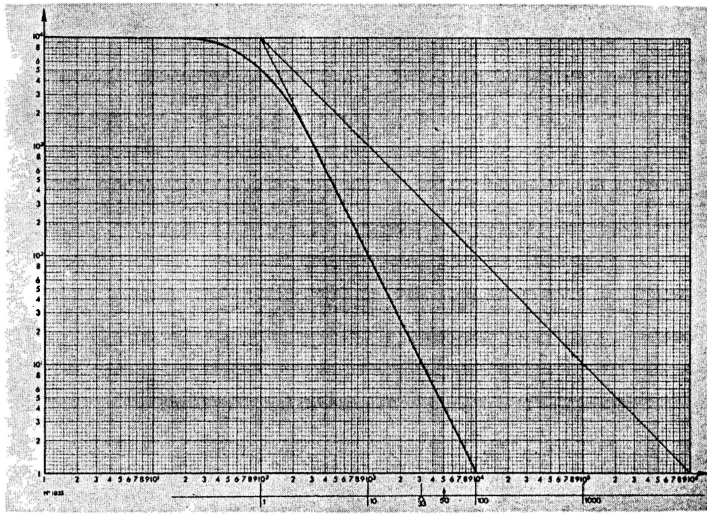


FIGURE XII – 20.

Fixons : $\omega_c = \frac{\omega}{50} = \frac{1}{RC}$

Dans le cas présent $\omega = 2\Pi F = 2\Pi \frac{10^6}{2048} \# 33.10^2 r/s$ et $RC = \frac{1}{\omega_c} = \frac{50}{\omega}$.

Soit : $RC \# 0{,}015$ s.

Avec une fréquence de coupure de l'ordre de 10 Hz ce filtre ne permettra pas de dépasser 1 Hz pour la fréquence du signal analogique à restituer.

Pour améliorer la bande passante du convertisseur il faut utiliser soit une horloge plus rapide soit travailler avec un nombre de bits plus faible.

Enfin dans le cas assez fréquent où plusieurs convertisseurs N/A sont utilisés dans un même système, il est intéressant de noter que l'horloge et le compteur n bits sont communs à l'ensemble des convertisseurs. L'organisation de plusieurs convertisseurs est représentée à la figure XII-21. L'information numérique N_i est chargée dans le convertisseur n° i au moyen du décodeur d'adresse (adresse et information envoyées simultanément).

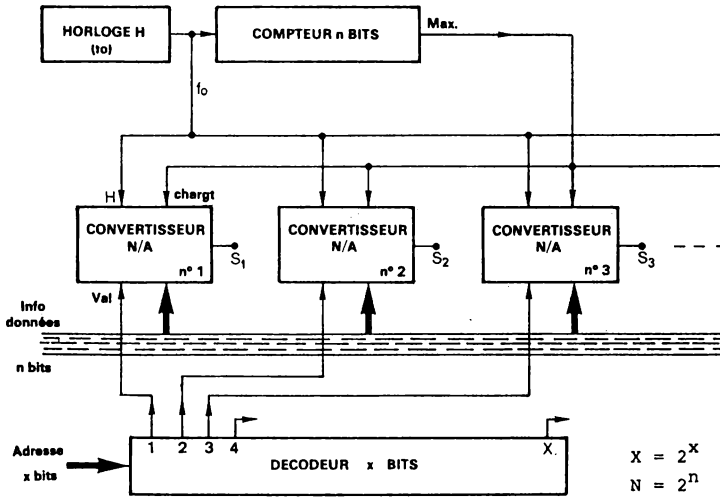


FIGURE XII – 21. – *Organisation d'un ensemble de X convertisseurs N/A.*

XII-3-3) CONVERSION NUMERIQUE-NOMBRE D'IMPULSIONS- UTILISATION DU MULTIPLIEUR DISCRET

Principe de la conversion : délivrer à l'intérieur d'un intervalle de temps T un nombre d'impulsions calibrées proportionnel à la valeur numérique N.

L'intégration de ce train d'impulsion qui est répété à la fréquence $\frac{1}{T}$ donnera une valeur moyenne proportionnelle à N.

Ce principe revient donc à multiplier une fréquence pilote f_i par l'expression numérique N, le résultat étant une fréquence f_0 telle que $f_0 = k.N.f_i$ k étant une constante et le produit kN étant inférieur à 1. La fréquence f_i est bien multipliée par le coefficient kN mais pratiquement il y a division de fréquence puisque kN < 1.

Principe du multiplieur discret ou BRM (binary rate multiplier).

Considérons la table de vérité d'un compteur 3 bits (figure XII-22). Les sorties Q_i ainsi que leur complément $\overline{Q}_i$ sont exprimées de manière à mettre en évidence la propriété des expressions $\overline{Q}_1$, $Q_1 \cdot \overline{Q}_2$ et $Q_1 \cdot Q_2 \cdot \overline{Q}_3$.

Q_3	Q_2	Q_1	$\overline{Q}_3$	$\overline{Q}_2$	$\overline{Q}_1$	$\overline{Q}_1$	$Q_1 \cdot \overline{Q}_2$	$Q_1 \cdot Q_2 \cdot \overline{Q}_3$
0	0	0	1	1	1	(1)	0	0
0	0	1	1	1	0	0	(1)	0
0	1	0	1	0	1	(1)	0	0
0	1	1	1	0	0	0	0	(1)
1	0	0	0	1	1	(1)	0	0
1	0	1	0	1	0	0	(1)	0
1	1	0	0	0	1	(1)	0	0
1	1	1	0	0	0	0	0	0

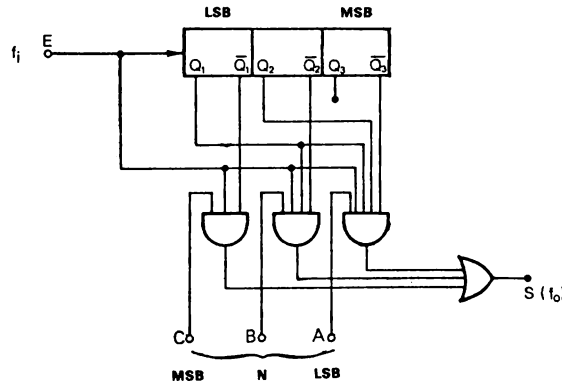


FIGURE XII – 22. – *Multiplieur discret 3 bits.*

On constate que ces 3 expressions sont respectivement 4 fois 2 fois et une fois au 1 Logique, durant la séquence complète (8 état successifs

pour 3 bits) sans toutefois être *simultanément* au 1 Logique.

Ces 3 expressions peuvent donc avoir un poids respectivement de 4, 2 et 1 et on note de plus que ces différents états au 1 Logique sont assez bien *dispersés* dans la séquence complète.

La condition ET entre $\overline{Q_1}$, le bit MSB et l'entrée f_i donne, à l'intérieur d'une séquence complète, 4 ou 0 impulsions suivant que le bit MSB est 1 ou 0. De même la condition ET entre $Q_1.\overline{Q_2}$, le bit de poids 2^1 et l'entrée f_i donne 2 ou 0 impulsions suivant que le bit de poids 2^1 est 1 ou 0. Enfin la condition ET entre $Q_1.Q_2.\overline{Q_3}$, le bit LSB et l'entrée f_i donne 1 ou 0 impulsion suivant que le bit LSB est à 1 ou 0.

La condition OU de ces 3 produits ET délivre donc un signal de sortie f_0 tel que :

$$f_0 = \frac{1}{8}(a_2.2^2 + a_1.2^1 + a_0.2^0).f_i$$

avec a_2 = bit MSB de l'expression numérique N

a_0 = bit LSB de l'expression numérique N.

La présence du coefficient $\frac{1}{8}$ s'explique par le fait que durant toute la séquence il y a eu 8 impulsions appliquées à l'entrée (f_i).

D'une manière générale si le compteur est de n bits, tout comme l'expression numérique N, la fréquence de sortie s'écrit :

$$f_0 = \frac{1}{2^n}(a_{n-1}.2^{n-1} + \ldots + a_1.2 + a_0)f_i$$

soit : $f_0 = \frac{1}{2^n} \cdot N \cdot f_i = k \cdot N \cdot f_i$ avec $k = \frac{1}{2^n}$ et $0 \leqslant N \leqslant 2^n-1$

La figure XII-23 représente trois cas de signaux de sortie, respectivement pour N = 1, 2 et 4 (n = 3 bits), les autres cas s'en déduisant par addition (exemple N = 5).

Finalement un convertisseur N/A de n bits sera constitué d'un multiplieur discret de n bits suivi d'un filtre qui restitue la valeur moyenne et atténue les différents harmoniques du signal. Cette atténuation devra être d'autant plus grande que la précision de la conversion est élevée.

La précision de la valeur moyenne obtenue est fonction de la stabilité en durée et en amplitude des impulsions constituant le signal de sortie. Pour une conversion N/A de précision élevée (10^{-3} par exemple) les impulsions devront avoir des largeurs τ de stabilité bien supérieures, ce qui nécessite un oscillateur pilote de grande stabilité. D'autre part les différents retards introduits par les compteurs et les portes devront être négligeables devant τ et de toute façon stables en fonction de la température et des alimentations.

La stabilité en amplitude des impulsions pourra être améliorée en

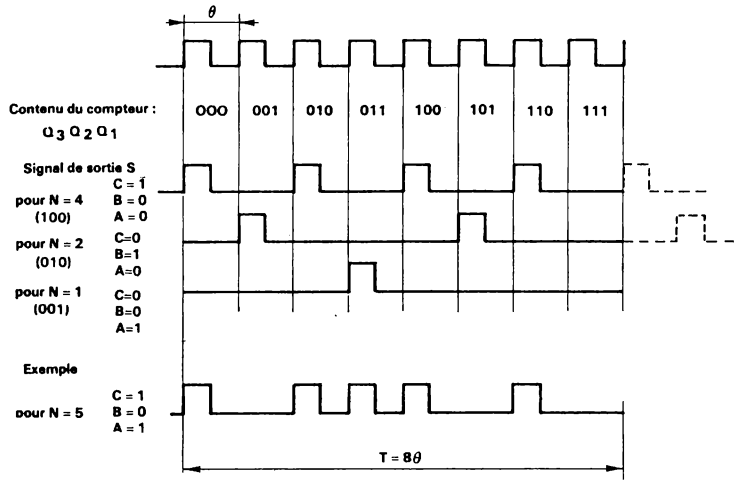


FIGURE XII – 23. – *Diagramme des temps et cas particulier pour N=5.*

commandant par le signal f_0 un interrupteur électronique de faible tension de décalage, de manière à découper au rythme de f_0 une tension de référence V_{ref} de grande stabilité.

Enfin l'information numérique N doit être mise en mémoire dans un registre tampon de n bits pour être constamment présentée aux entrées du multiplieur discret (chargement-sélection à l'aide du signal "Val").

La figure XII-24 présente l'organisation d'un tel convertisseur.

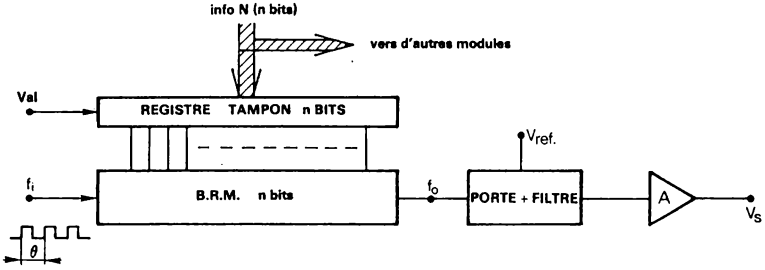


FIGURE XII – 24. – *Convertisseur N/A avec multiplieur discret.*

On peut constater la similitude qui existe entre cette technique et celle évoquée au paragraphe précédent (modulation de durée). Mais le

. filtrage sera en moyenne plus aisé avec une répartition d'impulsion sur la période T car le spectre obtenu est moins riche en basses fréquences.

Enfin le multiplieur discret pour lequel il existe d'autres applications, fait l'objet d'une intégration monolithique (4 et 6 bits). Il est donc possible de réaliser un convertisseur N/A de faible volume et faible coût.

Le schéma de la figure XII-25 est celui d'un circuit BRM 6 bits (54/7497 Texas). Plusieurs modules peuvent être connectés en cascade pour assurer une opération sur des multiples de 6 bits (figure XII-26).

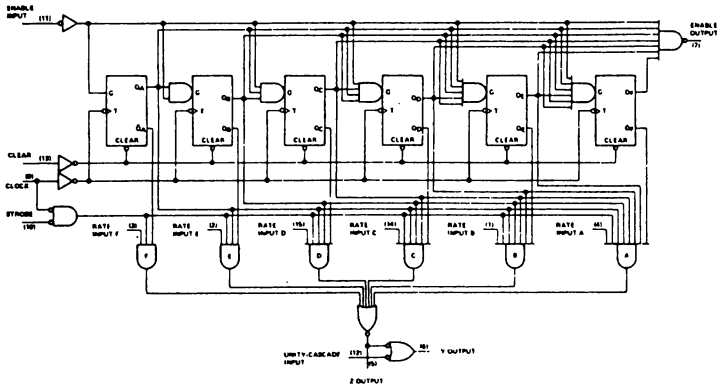


FIGURE XII – 25. – *Binary-rate multiplier 6 bits (54/74 97 Texas).*

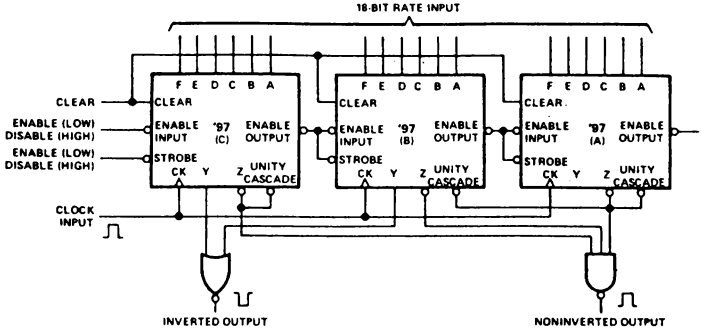


FIGURE XII – 26. – *Trois modules BRM 6 bits interconnectés pour un fonctionnement en 18 bits.*

REMARQUE

Si le code BCD doit être utilisé, le compteur équipant le multiplieur discret est nécessairement une décade (décade rate multiplier pour l'ensemble).

En résumé on constate qu'une conversion N/A peut être exécutée avec une très grande résolution, la précision étant elle plus difficile à améliorer puisque liée à la régularité des impulsions. Ce dernier point est d'ailleurs bien moins critique pour le convertisseur N/A à modulation de durée. Quant à la bande passante des phénomènes analogiques ainsi reproduits elle est nécessairement faible (inférieure à 1 Hertz) surtout pour obtenir une précision élevée. En effet une fréquence d'horloge de 100 KHz donne une impulsion de 5 µs en symétrique et une dispersion de $\pm$ 5 ns sur les temps de commutation et de propagation dans les différentes parties logiques impose déjà une erreur de $\pm\ 10^{-3}$.

XII-3-4) CONVERSION NUMERIQUE - STOCHASTIQUE

Un processus est stochastique quand il est soumis aux lois du hasard. Un convertisseur numérique stochastique reçoit une valeur numérique N et délivre une *densité* d'impulsions proportionnelle à N. Pour que la théorie des probabilités soit respectée il faut que la valeur numérique N à convertir soit comparée un très grand nombre de fois (une infinité théoriquement) à une valeur numérique N' générée aléatoirement. Suivant que N > N' ou non il faut que chaque comparaison, effectuée en binaire, se traduise par une émission ou non d'une impulsion. L'expression N' est fournie par un générateur numérique aléatoire et elle peut prendre (aléatoirement) toute valeur (de n bits) comprise entre 0 et N'_{max}. Ainsi la valeur N à convertir étant égale à $\frac{N'max}{2}$ par exemple, sur une infinité de comparaisons et si la génération de N' est vraiment aléatoire il est vrai qu'une fois sur deux N sera trouvé inférieur à N' généré et une fois sur deux N sera trouvé supérieur à N'. Chaque résultat de comparaison N > N' se traduisant par l'émission d'une impulsion stable de durée τ, la densité d'impulsions sera dans ce cas de 1/2. La valeur analogique sera restituée au moyen d'une conversion stochastique-analogique (valeur moyenne obtenue par filtrage).

Pratiquement ce principe est lié à la réalisation, économique et miniature, d'un générateur numérique aléatoire et conduit théoriquement à une conversion de durée infinie. En fait, il faut un nombre de comparaisons d'autant plus élevé que la précision exigée est elle-même grande.

La configuration d'un tel convertisseur numérique-stochastique est représenté à la figure XII-27.

Un compromis peut être trouvé en programmant le générateur numérique pour que les 2^n combinaisons possibles décrivent une séquence détermi-

née. Ce principe, qui remplace le générateur aléatoire par un générateur programmé, ou générateur pseudo-aléatoire, a été retenu par la société ALSTHOM et le développement du circuit intégré LSI a été confié à General Instrument Europe.

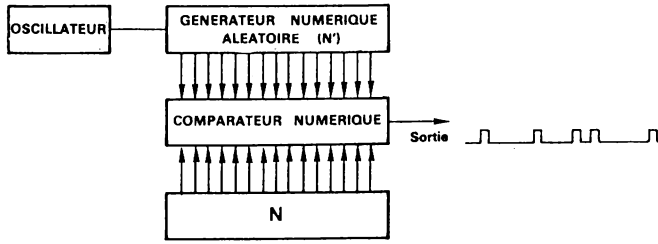


FIGURE XII – 27. – *Convertisseur numérique-stochastique.*

Dans cette nouvelle optique l'art va consister à réaliser la programmation de ce générateur de façon à optimiser le circuit LSI ainsi que le filtrage des impulsions délivrées. On rejoint ici la propriété présentée par le multiplieur discret.

Prenons l'exemple d'une expression numérique de 3 bits. Aux huit séquences 0 à 7 on fait correspondre de nouvelles configurations binaires obtenues en permuttant les bits MSB et LSB (on remplace la valeur 110, 6 en décimal, par 011 soit 3 en décimal, etc...).

Si le générateur est programmé pour délivrer successivement ces 8 valeurs dans l'ordre ainsi obtenu (figure XII-27) les impulsions délivrées par le système ont l'allure représentée à la figure XII-28 suivant la valeur de N (de 0 à 7) et la valeur moyenne de ces signaux est proportionnelle à N. On a ainsi obtenu très simplement un signal stochastique dont il faut ensuite savoir si son spectre de fréquence est optimum.

Cette réalisation est donc finalement assez voisine du convertisseur à multiplieur discret. Néanmoins il convient de faire quelques remarques importantes.

Tout d'abord l'exemple traité avec 3 bits est simple mais dès l'instant où des conversions numériques de 8 à 10 bits sont mises en jeu l'étude de cette répartition est plus complexe compte tenu de divers impératifs qui sont à considérer. Il faut en effet arriver à réduire la complexité de ce système logique de façon à ce que ce circuit LSI soit économiquement réalisable. Il faut également trouver la configuration qui permet les vitesses de fonctionnement maximum. Enfin comme cela a déjà été précisé il faut que

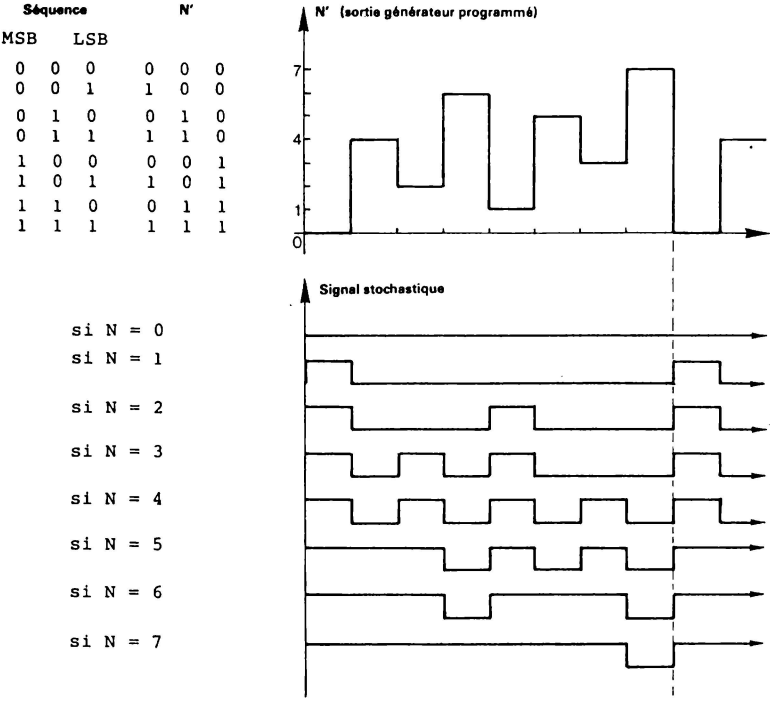


FIGURE XII – 28. – *Conversion numérique-stochastique*

les impulsions délivrées présentent un spectre de fréquence favorable pour le filtrage.

Ainsi une étude sur ordinateur s'impose-t-elle pour arriver à optimiser

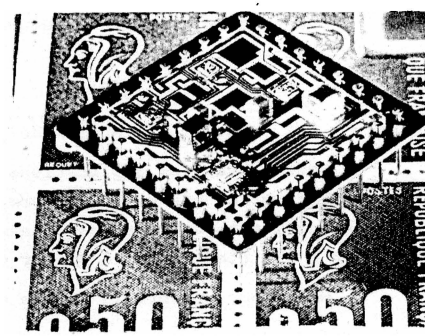


FIGURE XII – 29.

Convertisseur stochastique étudié par Alsthom, réalisé en circuit hybride par CIT. ALCATEL à partir de circuits intégrés développés par GENERAL INSTRUMENTS.

cette configuration. Dans la mesure où la solution trouvée est réalisable économiquement, le circuit obtenu a l'avantage d'être un mono chip (LSI).

La réalisation d'un convertisseur N/A 10 bits utilisant un convertisseur numérique-stochastique suivi d'un filtre analogique est illustré à la figure XII-29. Il offre de plus la possibilité d'un chargement série ou parallèle de l'information numérique.

Sources d'erreur des convertisseurs séquentiels

Trois techniques de conversion N/A séquentielles viennent d'être étudiées. Elles font appel à :

a) une transformation numérique-rapport cycique
b) une transformation numérique-nombre d'impulsions
c) une transformation numérique-stochastique.

Dans chaque cas le signal binaire série délivré en sortie doit être filtré pour restituer la composante continue. La précision avec laquelle on obtient cette valeur analogique est donc liée aux deux paramètres qui caractérisent une impulsion à savoir sa largeur et son amplitude. D'autre part on conçoit que les parasites de commutation devront être minimes devant l'impulsion elle-même.

La stabilité de l'amplitude sera celle de la tension de référence commutée par la porte électronique et celle-ci ne devra pas introduire de tension de décalage.

La stabilité de la largeur sera donnée par l'oscillateur qui rythme l'analyse séquentielle et elle sera perturbée par les variations de temps de propagation qui pourraient exister entre deux configurations différentes. De même, pour des fréquences de fonctionnement élevées, cette stabilité pourra être limitée par la porte électronique dont la vitesse de réponse (mise à ON, mise à OFF) ne serait plus négligeable devant la largeur de l'impulsion.

XII-4- CONVERTISSEURS N/A MULTIPLIEURS

Les différents types de convertisseurs étudiés aux paragraphes précédents assurent la relation :

$$V_S = (a_{n-1}2^{n-1} + ... + a_1.2 + a_0)\cdot v = k\cdot N\cdot E.$$

avec v = k.E, E étant la tension analogique de référence.

Pour toutes les applications où la tension de sortie V_S ne doit être seulement fonction que de N, le terme kE est constant et E, tension continue de référence, est généralement interne au convertisseur, obtenue par exemple à l'aide d'une diode zener à partir des alimentations du module.

Mais pour un certain nombre d'applications, il est très intéressant

de pouvoir moduler la tension de sortie au moyen de deux variables : N et E. Cette tension de référence E aura donc la possibilité d'évoluer entre deux valeurs extrêmes, E_m et E_M, et pour toutes valeurs de cet intervalle les performances du convertisseur N/A seront maintenues. D'autre part, la bande passante du convertisseur N/A autorisera pour ces variations de E une bande de fréquence déterminée, par exemple 0 à 10 KHz en sinusoïdal, toujours sans modifier les performances. On notera d'ailleurs qu'il en est de même vis-à-vis de N qui ne doit pas surbir de variations tant que la tension de sortie V_S n'a pas atteint sa valeur finale (temps d'établissement 5 µs par exemple).

La tension E de référence, éventuellement variable, est dans ce cas externe au module et il est bien évident que les caractéristiques du signal de sortie V_S seront également liées à celles de E (distorsion, stabilité en amplitude et fréquence).

Ce deuxième type de convertisseur N/A assure donc la multiplication d'une information numérique (N) par une information analogique (E), le résultat étant donné sous forme analogique (V_S) d'où son nom : convertisseur N/A multiplieur.

Les différentes techniques étudiées précèdemment sont applicables pour ce type de convertisseur à condition que les diverses parties analogiques le constituant conservent leurs performances pour la gamme de tensions et de fréquences de la tension E qui était jusqu'alors supposée d'amplitude et de polarité constantes.

La courbe de transfert d'un convertisseur N/A, à référence fixe sous entendue, se traduit par une seule droite d'équation $V_S = k.E.N$, la pente étant fixée par le terme k.E, tandis que celle du convertisseur N/A multiplieur se traduit par un faisceau de droites puisque E est variable.

Ceci est traduit par le graphique de la figure XII-30.

La tension de sortie V_S peut être bipolaire pour trois raisons :

1) le code numérique N est unipolaire mais la référence E change de signe, les variations de E présentant un spectre de fréquence compatible avec la bande passante du convertisseur. La tension V_S décrit les demi-quadrants 1 et 2 ou 3 et 4.

2) La référence E est unipolaire, elle varie mais sans changer de signe, et le code N est bipolaire. La tension V_S décrit les demi-quadrants 1 et 4 ou 2 et 3.

3) La référence E varie en changeant de signe (cas d'une tension alternative) et le code N est bipolaire. La tension V_S occupe l'un des 4 demi-quadrants suivant les valeurs instantanées de N et E et conformément au tableau suivant (convertisseur N/A multiplieur 4 quadrants).

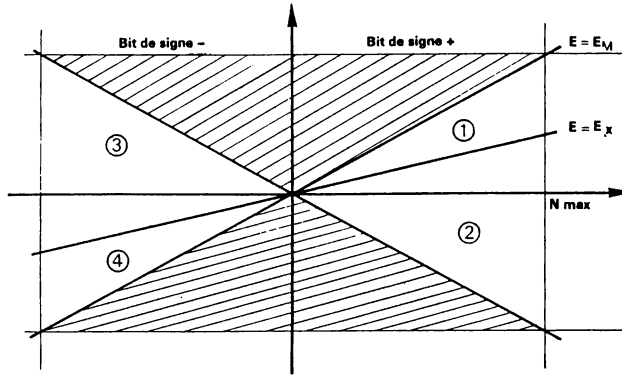


FIGURE XII – 30. – *Relation entre la tension de sortie et l'information numérique pour un convertisseur N/A multiplieur quatre quadrants.*

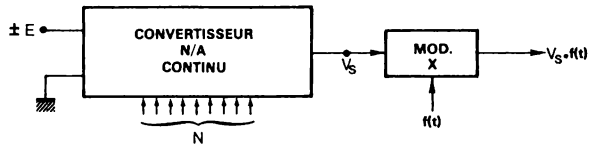
N° quadrant occupé par V_S	bit de signe de N	Polarité de E (ou phase)
1	+	+ (0°)
2	+	- (180°)
3	-	+ (0°)
4	-	- (180°)

Les applications des convertisseurs N/A multiplieurs sont évoqués au chapitre XIII.

XII-5- CONVERTISSEURS N/A DE TENSIONS PERIODIQUES

Une application importante est la conversion N/A pour commander des récepteurs alimentés en tension alternative, en général 400 Hz sinusoïdal (synchromachines, moteurs d'asservissements). Néanmoins c'est encore l'amplitude de cette tension alternative que représente la valeur N.

Une première méthode consiste à utiliser un convertisseur N/A continu suivi d'un modulateur (multiplieur analogique). La chaîne de conversion se présente alors suivant le schéma :



En pratique, il est très délicat de réaliser des modulateurs, ou multiplieurs quatre quadrants, d'une précision supérieure à 5.10^{-3} et de générer des tensions périodiques f(t) dont l'amplitude est stabilisée à mieux que 1 %.

Pour obtenir des précisions élevées, cette technique ne pourra être employée que si l'on effectue une comparaison ou un rapport pour s'affranchir des variations du signal de référence f(t). Ainsi dans un chaîne d'asservissement en position, la tension de retour devra être de la forme : k.f(t), c'est-à-dire générée à partir de f(t).

De même les synchromachines exploitent le rapport de deux tensions alternatives et tolèrent en conséquence une variation de la tension de référence E (400 Hz) sans préjudice pour la précision. De ce fait ces organes sont couramment utilisés en commande de position (voir chapitre XIII-8) et des techniques de conversion ont été spécialement développées pour les commander.

XII-6- CONVERTISSEURS NUMERIQUE- SYNCHRO

XII-6-1) COMMANDE D'UN RESOLVER

Une première technique consiste à utiliser deux convertisseurs N/A multiplieurs. Ils reçoivent respectivement l'information numérique N_1 proportionnelle à cos Θ et N_2 proportionnelle à sin Θ, Θ étant l'angle que l'on désire voir affiché par le récepteur. Les deux tensions analogiques disponibles à la sortie des deux convertisseurs N/A (figure XII-31) ont donc pour expression :

$$V_{S_1} = (N_1) \cdot e = (\cos \Theta) \cdot e$$

$$V_{S_2} = (N_2) \cdot e = (\sin \Theta) \cdot e$$

avec $e = \frac{E \cdot \sin \omega t}{k}$ k = constante

On remarque la composition de ces deux tensions : $e = \frac{E}{k} \sin \omega t$ est une porteuse de fréquence $\frac{\omega}{2\pi}$ (50, 400 ou 500 Hz) qui est modulée en amplitude par cos Θ pour V_{S_1} et par sin Θ pour V_{S_2}.

Le résolver détermine l'angle à partir du rapport de ses deux tensions statoriques :

$$\frac{V_{S_2}}{V_{S_1}} = \frac{e_2 \cdot \sin \Theta}{e_1 \cdot \cos \Theta}$$

le rapport est égal à tg Θ si $e_1 = e_2$. Ce qui impose :

1) Les deux tensions modulées V_{S_1} et V_{S_2} ne subissent pas de déphasage différent dans les deux chaînes. Elles sont rigoureusement en phase, ou en opposition pour les angles situés dans les quadrants 2 et 4.

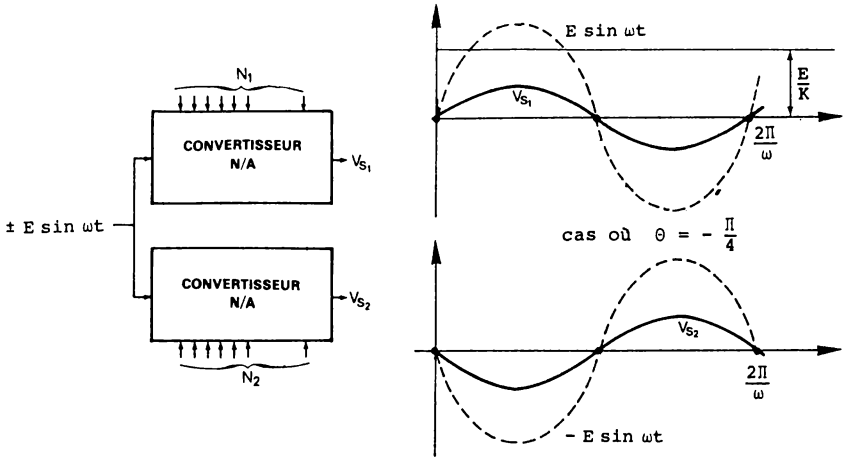


FIGURE XII – 31. – *Conversion numérique-Roolver.*

2) Le coefficient k et l'amplitude E sont les mêmes pour les deux convertisseurs.

Dans ces conditions on voit que le rapport $\frac{V_{S_1}}{V_{S_2}}$ est indépendant de l'amplitude E de la tension alternative de référence qui peut donc présenter quelque instabilité en fréquence et en amplitude sans préjudice pour la précision.

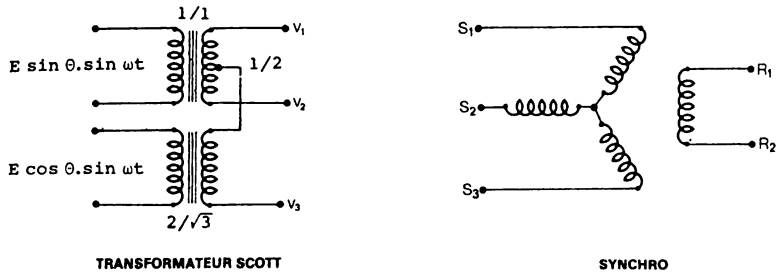
XII-6-2) COMMANDE D'UN SYNCHRO DETECTEUR OU D'UN TRANSMETTEUR DE TELEAFFICHAGE

Dans ces deux synchromachines, le stator est constitué de 3 enroulements qui doivent être alimentés par des tensions d'amplitudes triphasées et qui ont donc pour expression respective :

entre phases 3-1 : sin Θ sin ωt
entre phases 1-2 : sin (Θ-120°) sin ωt
entre phases 2-3 : sin (Θ-240°) sin ωt

Un transformateur Scott (figure XII-32) ayant la propriété de transformer deux tensions déphasées de 90° en trois tensions triphasées à 120° ou vice versa, l'ensemble de conversion numérique-synchro (figure XII-33) sera constitué de deux convertisseurs N/A alternatifs dont l'un convertit l'information sin Θ et l'autre l'information sin (Θ + 90°) = cos Θ, suivis d'un transformateur Scott.

On peut également faire effectuer la combinaison linéaire des tensions analogiques d'amplitude sin Θ et cos Θ par deux amplificateurs de calcul qui délivrent alors deux tensions $v_1 - v_3$ et $v_2 - v_3$, la phase v_3 étant



TRANSFORMATEUR SCOTT — SYNCHRO

$$v_1 - v_2 = + E \sin\theta \sin\omega t$$

$$v_3 - v_1 = -(v_1 - v_3) = -\left|\frac{1}{2}\sin\theta + \frac{\sqrt{3}}{2}\cos\theta\right| E \sin\omega t = E \sin(\theta - 120°) \sin\omega t$$

$$v_2 - v_3 = \left|-\frac{1}{2}\sin\theta + \frac{\sqrt{3}}{2}\cos\theta\right| \sin\omega t = E \sin(\theta + 120°) \sin\omega t$$

FIGURE XII – 32. – *Transformateur Scott.*

réunie au point de référence des amplificateurs (v_3=0). Ce procédé, appelé Scott électronique, a donc la particularité de mettre une phase du synchro au potentiel de référence du système.

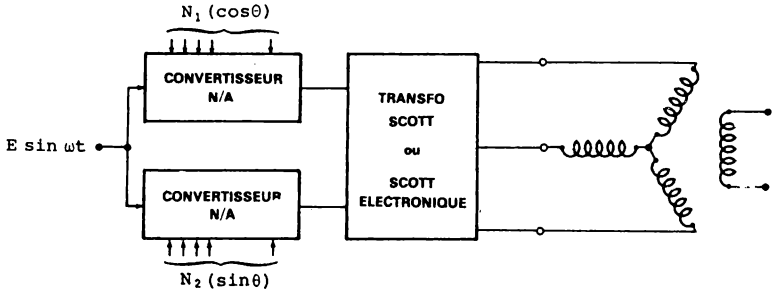


FIGURE XII – 33.– *Conversion numérique - synchro.*

Un autre procédé de conversion numérique-synchro dont on verra l'intérêt au chapitre suivant lors de l'étude de la mémoire analogique (S/H), est représenté à la figure XII-34.

V_1 et V_2 sont deux tensions continues d'amplitude respectivement proportionnelles à sin θ et cos θ.

Donc $V_1 = k \sin\theta$ $V_2 = k.\cos\theta$.

Ces deux tensions sont le résultat de deux conversions numérique-analogiques et ont été mises en mémoire dans le circuit S/H suivant un processus

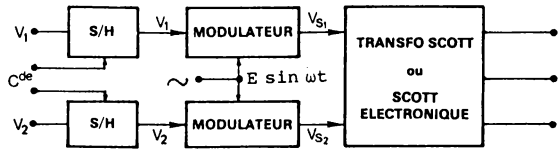


FIGURE XII – 34. – *Conversion numérique-synchro.*

qui sera étudié au chapitre XV. Les deux modulateurs qui reçoivent la tension Y = E sin ωt délivrent donc respectivement les tensions :

$$V_{S_1} = k\ E \sin \theta \cdot \sin \omega t$$

$$V_{S_2} = k\ E \cos \theta \cdot \sin \omega t$$

Pour commander une synchromachine un transformateur Scott ou un Scott électronique sera simplement nécessaire.

Les différentes techniques de conversion numérique-synchro, ou numérique-résolver, qui viennent d'être citées, nécessitent deux informations numériques, sin θ et cos θ, traitées soit par 2 convertisseurs N/A alternatifs soit par 2 convertisseurs N/A continus.

On fait donc appel à 2 mots binaires pour désigner un angle et d'autre part on obligera en général l'unité numérique à calculer spécialement sin θ et cos θ à partir de θ.

Une autre technique consiste à délivrer la valeur numérique de θ en divisant la circonférence en 4 quadrants, ou éventuellement en 8 demi-quadrants ou octants. Un angle compris entre 0 et 2Π se désigne alors de la façon suivante : les deux premiers bits, MSB et suivant, désignent le quadrant et les n-2 autres bits donnent la valeur (amplitude) entre 0 et $\frac{\Pi}{2}$. Le tableau de la figure XII-35 donne l'équivalence numérique-angle.

L'organisation d'une conversion numérique-synchro est alors conforme au schéma de la figure XII-35. La tension de référence E.f(t) = E sin ωt, porteuse à 400 Hz en général, est appliquée à deux systèmes qui convertissent la valeur numérique θ (0 à $\frac{\Pi}{2}$) l'un en k sin θ sin ωt et l'autre en k cos θ sin ωt. Une transformation Scott permet ensuite la commande des synchros.

Cette transformation θ numérique en deux porteuses modulées peut se faire de deux manières :

1) Une conversion N/A : θ numérique ⟶ tension continue d'amplitude θ. Puis deux transformations analogiques :

$$\theta \longrightarrow \sin \theta \quad \text{et} \quad \theta \longrightarrow \cos \theta$$

à l'aide de générateurs sinus et cosinus. Enfin modulation de la référence

E sin ωt par sin θ et cos θ, grâce à deux modulateurs pour obtenir k sin θ sin ωt et k cos θ. sin ωt. Les 2 bits de quadrant fixent le signe, donc la phase, de ces deux tensions.

2) Une conversion de code : θ numérique en sin θ et cos θ numérique. Puis deux conversions N/A alternatives ·

sin θ numérique → k sin θ sin ωt cos θ numérique → k cos θ sin ωt

Pour limiter la plage de fonctionnement du générateur de fonction sinus et cosinus, qu'il soit analogique ou numérique, dans l'intervalle 0 à 90°, le sélecteur de quadrant (figure XII-35) reçoit les deux premiers bits

quadrant		θ : 0 à $\frac{\pi}{2}$	Angle θ degré
MSB		LSB	
0	0	0 0 0	0
0	0	0 0 1	LSB
⋮	⋮		⋮
0	0	1 1 1	$\frac{\pi}{2}$ - LSB
0	1	0 0 0	$\frac{\pi}{2}$
0	1	0 0 1	$\frac{\pi}{2}$ + LSB
⋮	⋮		
0	1	1 1 1	π - LSB
1	0	0 0 0	π
1	0	0 0 1	π + LSB
⋮	⋮		
1	0	1 1 1	$3\frac{\pi}{2}$ - LSB
1	1	0 0 0	$3\frac{\pi}{2}$
1	1	0 0 1	$3\frac{\pi}{2}$ + LSB
⋮	⋮		
1	1	1 1 1	2π - LSB

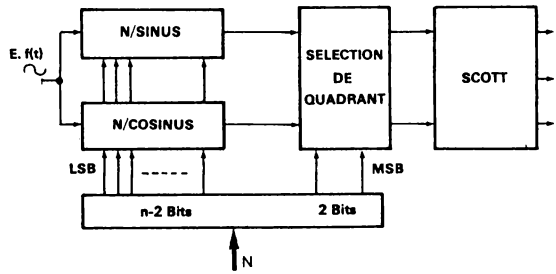


FIGURE XII – 35. – *Conversion numérique-synchro.*

(MSB) qui indiquent le quadrant occupé par l'angle Θ. En fonction de ces 2 bits il attribue aux sorties S_1 (sinus) et S_2 (cosinus) la valeur |sin Θ| ou |cos Θ| qui leur correspond ainsi que le signe, ceci conformément au tableau suivant :

bits de quadrant	quadrant	Valeur de S_1 (sin Θ)	Valeur de S_2 (cos Θ)
0 0	0 à $\frac{\pi}{2}$	+ sin Θ'	+ cos Θ'
0 1	$\frac{\pi}{2}$ à π	+ cos Θ'	- sin Θ'
1 0	π à $3\frac{\pi}{2}$	- sin Θ'	- cos Θ'
1 1	$3\frac{\pi}{2}$ à 2π	- cos Θ'	+ sin Θ'

Θ' est l'angle désigné par les n-2 derniers bits de Θ ($0 \leqslant \Theta' < 90°$).

XII-7- CODES UTILISES EN CONVERSION N/A

XII-7-1) GENERALITES

Les convertisseurs N/A étudiés précédemment peuvent délivrer 2^n niveaux de tension compris entre les valeurs extrêmes 0 et $V_M = (2^n-1)v$, v étant l'incrément minimum égal à k.E .

Ceci convient au cas où l'information numérique à convertir ne concerne que des valeurs toujours de même signe. Mais dans de nombreux cas il s'agit de restituer des tensions dont le signe, ou la phase pour des tensions périodiques, peut changer à tout moment (d'une conversion à l'autre). Par exemple une information numérique sin Θ d'un angle variant de $-\frac{\pi}{2}$ à $+\frac{\pi}{2}$ sera convertie en une tension analogique variant de $-V_M$ à $+V_M$.

Un code bipolaire comprend un bit de signe et n bits pour désigner l'amplitude. Le bit de signe est en général placé à gauche (avant le bit MSB) ce qui donne l'écriture : $N = (a_s, a_{n-1}, a_{n-2} \cdots a_1, a_0)$.
Les deux valeurs extrêmes sont maintenant :

$+ V_M = (2^n-1)v$ soit plus pleine échelle (+P.E)

et $- V_M = -(2^n-1)v$ soit moins pleine échelle (-P.E).

Dans ces conditions on appellera plage totale (P.T.) la distance de V_M à $-V_M$ soit deux fois la pleine échelle.

A partir de cette définition générale on peut imaginer plusieurs codes pour représenter les valeurs algébriques. Celui qui s'impose le plus naturellement est le code "signe et valeur absolue" dans lequel le bit de signe indique la polarité et les n autres bits l'amplitude dans le code binaire pur.

Les ordinateurs effectuent généralement leurs opérations en utilisant

le code "complément vrai" (additions et soustractions se traitent alors de la même manière). Ils délivrent donc l'information à l'aide de ce code.

Naturellement il est toujours possible d'intercaler un transcodeur approprié entre l'ordinateur et le convertisseur N/A. Mais il est préférable que les convertisseurs N/A présentent plus de souplesse à ce point de vue et puissent accepter les codes les plus usuels.

Le tableau de la figure XII-36 présente les quatre codes binaires généralement employés (cas de 10 bits + signe pour ce tableau), à savoir :

Le code binaire décalé (offset binary code),
Le code signe et valeur absolue,
Le code à complément restreint,
Le code à complément vrai.

La règle de formation de ces codes est la suivante :

1) pour les valeurs positives, l'amplitude s'exprime de la même façon pour ces 4 codes et suivant le code binaire pur. Par contre le bit de signe est 1 pour le code binaire décalé et 0 pour les 3 autres.
2) pour les valeurs négatives, le bit de signe est 0 pour le code binaire décalé et 1 pour les 3 autres. Quant aux bits d'amplitude ils s'obtiennent ainsi :
   Pour le code signe et valeur absolue : code binaire naturel.
   Pour le code à complément restreint : prendre le *complément à 1* de l'expression équivalente dans le code signe et valeur absolue.
   Pour les codes à complément vrai et binaire décalé : prendre le *complément à 2* de l'expression équivalente dans le code signe et valeur absolue.

On rappelle que le complément à 1 d'une expression binaire s'obtient en remplaçant dans cette dernière 0 par 1 et 1 par 0. Le complément à 2 s'obtient en formant d'abord le complément à 1 puis en ajoutant +1 à ce complément à 1 obtenu (complément à 2 de 01011 $\Rightarrow$ 10100 $\Rightarrow$ 10101).

D'autres codes peuvent être rencontrés. Par exemple pour des raisons technologiques, certains constructeurs proposent des convertisseurs N/A acceptant les codes précédents complémentés (complementary code). Pour commander ces modules il faudra donc intercaler dans la chaîne de transmission ordinateur-convertisseur une inversion logique. Comme généralement il y a nécessité d'utiliser une mémoire tampon en amont du convertisseur, on pourra utiliser les sorties $\overline{Q}$ des bascules au lieu de Q pour réaliser l'inversion logique.

Ceci étant précisé on va étudier les différentes possibilités qui s'offrent pour réaliser un convertisseur N/A bipolaire devant accepter les codes du tableau XII-36.

sortie analogique	binaire décalé		signe et valeur absolue		complément restreint		complément vrai	
unité : v	S	MSB LSB	S	MSB LSB	S	MSB LSB	S	MSB LSB
+ 1024		dépassement		dépassement		dépassement		dépassement
+ 1023 (+P.E)	1	1111111111	0	1111111111	0	1111111111	0	1111111111
+ 1022 (+P.E-LSB)	1	1111111110	0	1111111110	0	1111111110	0	1111111110
+ 512 (+MSB)	1	1000000000	0	1000000000	0	1000000000	0	1000000000
+ 1 (+LSB)	1	0000000001	0	0000000001	0	0000000001	0	0000000001
+ 0	1	0000000000	0	0000000000	0	0000000000	0	0000000000
- 0			1	0000000000	1	1111111111		
- 1 (-LSB)	0	1111111111	1	0000000001	1	1111111110	1	1111111111
- 512 (-MSB)	0	1000000000	1	1000000000	1	0111111111	1	1000000000
- 1022 (-P.E+MSB)	0	0000000010	1	1111111110	1	0000000001	1	0000000010
- 1023 (-P.E)	0	0000000001	1	1111111111	1	0000000000	1	0000000001
- 1024	0	0000000000		dépassement		dépassement	1	0000000000

PE = plein échelle
(FS = full scale)

FIGURE XII – 36. – *Codes binaires bipolaires (cas de 10 bits + signe).*

XII-7-2) CAS PARTICULIER POUR LE CODE SIGNE ET VALEUR ABSOLUE (fig XII-37)

Pour toutes les techniques de conversion étudiées on peut, pour accepter le code bipolaire signe et valeur absolue, agir soit sur la référence E soit sur l'étage de sortie.

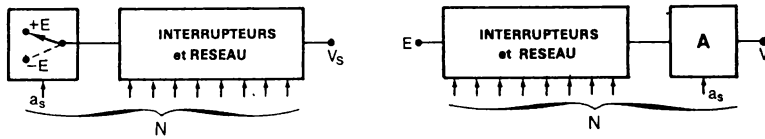


FIGURE XII – 37. – *Convertisseur N/A : code signe et valeur absolue.*

Dans le premier cas, le bit de signe a_s commande l'état d'un inverseur qui commute +E ou -E pour alimenter le réseau de sommation (ou générateurs de courant). Il faut néanmoins que les circuits alimentés par +E ou -E (interrupteurs, générateurs de courant, portes électroniques) acceptent ce fonctionnement bilatéral. Si ce n'est pas le cas la deuxième possibilité consiste à commuter le gain de l'amplificateur de sortie. Sa valeur sera +A ou -A suivant le bit de signe, et tous les circuits placés avant ont dans ce cas un fonctionnement unipolaire. .

XII-7-3) CAS DES CODES A COMPLEMENT VRAI ET RESTREINT

La règle de complémentation étant de trouver une nouvelle valeur numérique qui additionnée à l'ancienne donne la valeur maximum (ou pleine échelle) on est conduit à restituer les valeurs négatives en additionnant à une valeur négative constante, égale à -P.E, la quantité positive exprimée par les n bits d'amplitude du code bipolaire reçu.

Cette addition pourra se faire en introduisant une voie supplémentaire validée sous condition (du bit de signe) ou validée en permanence et introduisant dans ce cas un décalage de l'ensemble des valeurs. On retiendra de plus la différence de 1 LSB qui sépare le code complément vrai et le code complément restreint pour une valeur négative et d'autre part qu'il est très facile de passer du code complément vrai au code binaire décalé (et vice versa) puisque seul le bit de signe est à inverser.

Quelques exemples permettront de mieux comprendre ces opérations.

a) Cas de la commutation de tension sur réseau R-2R.

Comme l'indique la figure XII-38 une voie supplémentaire est ajoutée pour amener ou non, suivant le bit de signe a_s, la tension négative -2E.

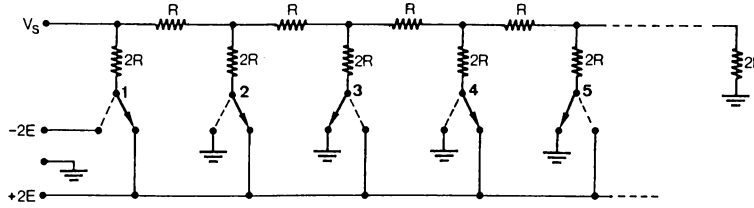


FIGURE XII – 38. – *Réseau R-2R pour code à complément vrai.*

Examinons le cas du code à complément vrai. Si le bit de signe a_s est ZERO l'inverseur (1) laisse passer le potentiel de référence ($\perp$) soit zéro. Dans ces conditions toutes les tensions positives sont restituées comme cela a été expliqué. On notera simplement l'atténuation de $\frac{1}{2}$ supplémentaire introduite par la voie "signe" d'où l'utilisation d'une tension 2E pour garder la similitude des résultats.

Si le bit de signe a_s est UN l'inverseur (1) laisse passer la tension -2E et la tension de sortie s'écrit :

$$V_S = -E + \frac{E}{2}\left[\frac{a_{n-1}}{1} + \frac{a_{n-2}}{2} + \ldots + \frac{a_0}{2^{n-1}}\right]$$

Si tous les bits a_i sont à ZERO sauf le dernier bit (LSB = 1) il vient :

$$V_S = -E + \frac{E}{2}\left[0 + \frac{1}{2^{n-1}}\right] = -E\left[1 - \frac{1}{2^n}\right] \quad \text{soit } -P.E.$$

Si tous les bits a_i sont à UN il vient :

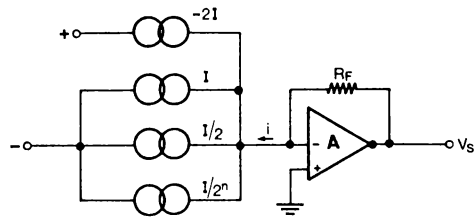
$$V_S = -E + \frac{E}{2}\left[2 - \frac{1}{2^{n-1}}\right] = -\frac{E}{2^n} \quad \text{soit } -LSB.$$

Et toutes les valeurs négatives intermédiaires seront également obtenues par addition d'une valeur positive, comprise entre + LSB et E - LSB, à la valeur négative -E.

Si le code à complément restreint doit être accepté il faut remplacer la tension $-2E$ par $-2E(1 - \frac{1}{2^n})$.

b) Cas de la sommation de courant dans un amplificateur opérationnel

Le processus d'addition est le même. Une voie de courant supplémentaire (-2I) doit être amenée ou non au point de sommation pour restituer les valeurs négatives. Cette voie est validée ou non suivant la valeur du bit de signe a_s.



$$V_S = R_F.i$$

FIGURE XII – 39.
Sommation de courant : code à complément vrai.

Pour accepter le code à complément restreint le générateur de courant supplémentaire doit être de $-2I(1 - \frac{1}{2^n})$.

D'une façon générale cette méthode d'addition a donc pour inconvénient de faire appel à une voie supplémentaire commutée et de plus elle a un sens opposé aux autres voies du convertisseur, ce qui n'est pas favorable tant au point de vue fabrication qu'au point de vue des performances (difficulté d'obtenir des voies se comportant de façon similaire).

Une autre méthode consiste à décaler une fois pour toutes, donc sans condition, la tension de sortie et cette technique est d'autre part la seule possible pour les techniques séquentielles où le signal est délivré par une seule porte.

XII-7-4) CAS DU CODE BINAIRE DECALE

Si on regarde bien le code binaire décalé (tableau figure XII-36) on

constate que s'il est envoyé à un convertisseur N/A *unipolaire* de (n+1) bits celui-ci l'accepte mais donne les 2^{n+1} valeurs positives comprises entre 0 et $(2^{n+1} - 1)$.v. Ce code progresse en effet de la valeur (000...00) à la valeur (111...11). Pour que le convertisseur donne pratiquement 2^{n+1} valeurs comprises entre -P.E et P.E, il faut décaler sa tension de sortie de telle manière qu'au code (100...0) corresponde une tension de sortie nulle (et non égale à MSB). Ceci est réalisé simplement en ajoutant une voie de calcul supplémentaires (figure XII-40), la tension V_R étant telle que $V_R + V_{S_1} = 0$ V_{S_1} étant la tension délivrée par le convertisseur unipolaire, avant modification, lorsque N = (100...00).

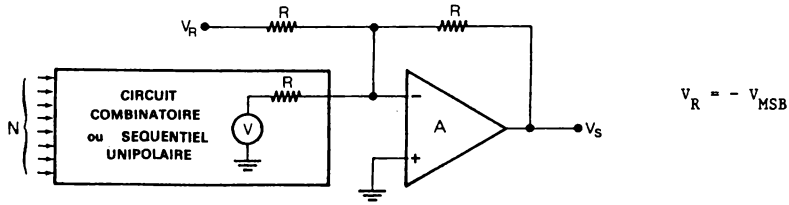


FIGURE XII – 40. – *Modification d'un convertisseur unipolaire pour accepter le code binaire décalé.*

Dans ces conditions on a rendu la plage des valeurs de sortie symétrique par rapport à zéro. Il faut naturellement que l'amplificateur opérationnel A soit bipolaire mais par contre les autres circuits du convertisseur N/A n'ont pas à être modifiés pour passer d'un code unipolaire à un code bipolaire. Enfin si le code à complément vrai doit être accepté il faudra remplacer le bit MSB par son inverse, ceci pouvant être réalisé à l'extérieur ou à l'intérieur par une porte logique par exemple.

Cette technique sera donc souvent préférée pour sa souplesse et son avantage technique.

XII-7-5) UN AUTRE CODE IMPORTANT : le code BCD

Pour accepter ce code le système combinatoire (échelle R-2R) ou le système séquentiel (compteur) doit être organisé en décades (1-2-4-8 10-20-40-80, etc...) (figure XII-41 p. 264).

XII-8- CARACTERISTIQUES ET PARAMETRES DES CONVERTISSEURS N/A

XII-8-1) ORGANISATION D'UN CONVERTISSEUR N/A - VARIANTES POSSIBLES.

Deux familles de convertisseurs viennent d'être étudiées. La première est basée sur un traitement combinatoire, procurant un fonctionnement en parallèle de toutes les voies et peut présenter une grande vitesse de

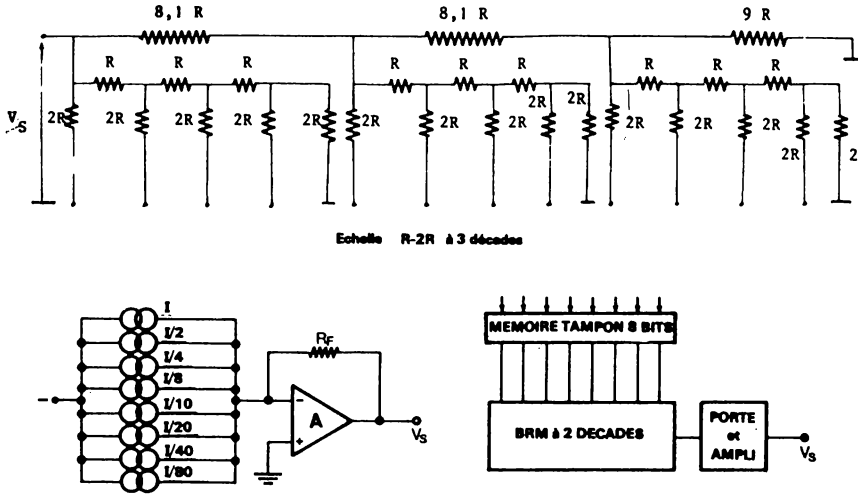


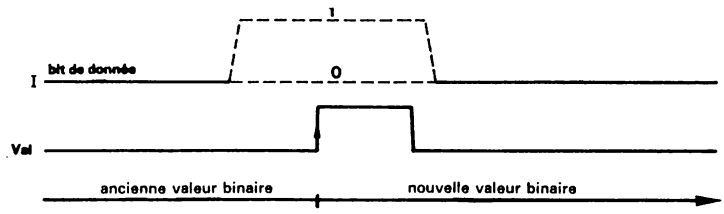
FIGURE XII – 41. – *Convertisseur N/A à code BCD.*

réponse. La deuxième famille fait appel à un processus séquentiel ; le temps de réponse est donc nettement plus long. Pour amener l'information digitale au convertisseur N/A deux méthodes sont possibles : la transmission série (écriture dans un registre à décalage de n bits) et la transmission parallèle (écriture dans une mémoire tampon de n bits).

Finalement un convertisseur N/A peut se schématiser comme l'indique la figure XII-42. On distingue quatre parties principales.

1) Un registre digital d'entrée (R) de n étages. Celui-ci peut être une mémoire tampon de n bascules (entrées et sorties parallèles) ou bien un registre à décalage de n bits avec entrée série et sortie série ou parallèle suivant la technique de conversion utilisée.

Le chargement de ce registre d'entrée est synchrone du signal de validation Val, par exemple l'action a lieu sur le front de montée, suivant un diagramme des temps classique :



2) Pour les convertisseurs N/A à principe combinatoire : un ensemble de n interrupteurs, de courant ou de tension.

Pour les convertisseurs N/A à processus séquentiel ce réseau de commutation parallèle est remplacé par un système logique séquentiel.

3) Une partie purement analogique constituée par un réseau de sommation assurant la combinaison pondérée des tensions ou courants pour restituer la valeur analogique, dans le cas d'un convertisseur N/A à principe combinatoire.

Ce réseau est remplacé par un filtre dans le cas d'un convertisseur N/A séquentiel.

4) Un circuit d'adaptation de puissance dans le cas des convertisseurs N/A à sortie tension, donnant au module la possibilité de délivrer des niveaux standards (± 10 volts) avec des courants de quelques mA (5 à 20 mA).

D'autre part les interrupteurs constituant le convertisseur N/A sont alimentés à partir de la tension de référence E et, pour un fonctionnement bipolaire, la référence -E est généralement restituée à l'intérieur du module à partir de +E de façon que toutes fluctuations présentes sur E le soient également sur -E.

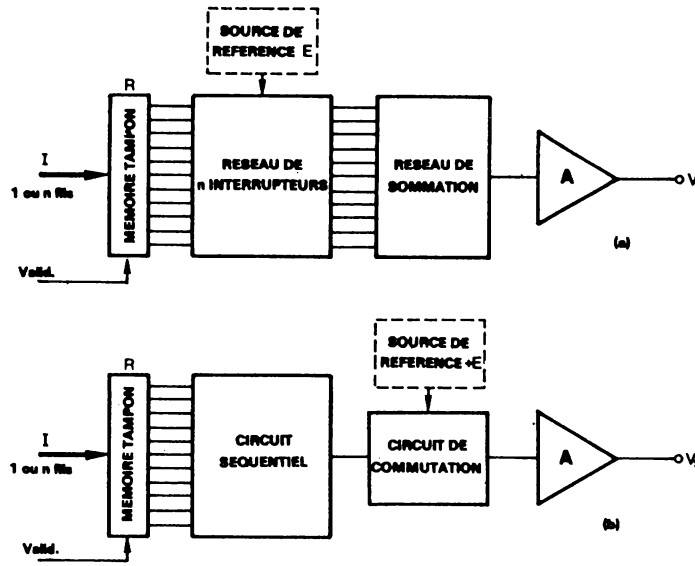


FIGURE XII – 42. – *Organisation d'un convertisseur N/A.*

Dans le cas des convertisseurs N/A multiplieurs, cette référence E est externe.

Avant de préciser en détail les caractéristiques essentielles d'un convertisseur N/A, il est bon de faire une remarque sur la rapidité.

Il faut en effet distinguer deux types de vitesse : la première est liée au temps d'écriture de l'information numérique (N) dans le registre avec deux modes possibles, et la deuxième est le temps de conversion.

L'information numérique peut être amenée sur n fils au registre d'entrée, lequel est alors chargé en parallèle dans un temps très court (0,2 à 1 µs). Mais l'information N peut aussi être amenée en série sur 1 fil au registre du convertisseur qui est alors un registre à décalage. Le temps d'écriture sera plus long, par exemple 12 µs pour 12 bits série. Mais il faut noter que pendant le chargement, donc pendant le décalage, le contenu du registre présente au convertisseur des états indésirables, et la tension de sortie présentera des transitoires qui pourront être élevées dans le cas de convertisseurs N/A rapides, ou bien ceux-ci seront intégrés et influenceront la précision dans le cas de convertisseurs suivis de filtre. Pour éviter ces perturbations il est nécessaire de maintenir l'information stable durant ce chargement série et ceci peut se faire de deux manières. La première consiste à mémoriser l'information sous la forme binaire en intercalant un registre tampon de n bits entre le registre à décalage d'entrée et les circuits de conversion. Ce registre tampon n'est chargé (en parallèle) que lorsque le registre à décalage est totalement rempli. Le deuxième procédé est la mise en mémoire de l'information sous sa forme analogique. Une mémoire analogique (sample and hold S/H - voir chapitre XV) est mise en série avec la sortie. Entre deux renouvellements de l'information, ce circuit est transparent et il se comporte comme un simple amplificateur (de gain +1 par exemple).

Immédiatement avant le début d'un renouvellement de N qui va se traduire par une charge du registre à décalage, ce circuit est mis en position de maintien (hold) gardant ainsi la valeur analogique précédente $V_S(t_n)$. A la fin du chargement et avec un décalage éventuel pour permettre l'établissement de la nouvelle valeur analogique décodée $V_S(t_{n+1})$, la mémoire est remise en position transparente pour transmettre cette nouvelle valeur $V_S(t_{n+1})$.

Le schéma et le diagramme des temps sont précisés à la figure XII-43.

Une deuxième remarque à faire est d'ordre technologique. On sait maintenant réaliser, grâce aux techniques microélectroniques, des convertisseurs de 10 à 12 bits miniatures. Toutefois dans bien des cas le registre

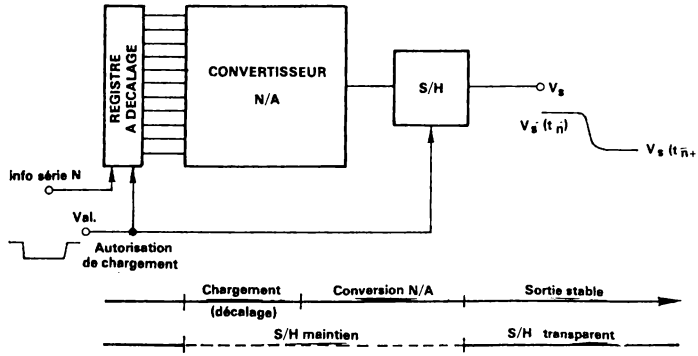


FIGURE XII – 43. – *Conversion N/A. Elimination des transitoires en sortie.*

10 à 12 bits n'est pas intégré dans le module pour rendre celui-ci plus universel et... plus économique.

Dans un système qui nécessiterait un assez grand nombre de convertisseurs N/A, on est obligé de constater que les interconnexions à réaliser par l'utilisateur sont finalement très nombreuses : n points de liaison (ou 1 en série) pour l'accès au registre, n points de sortie de celui-ci, n points d'entrée pour le circuit de conversion. Au total 2n connexions sans compter les signaux d'horloge et d'alimentations. Ce nombre est grosso modo divisé par 3 si le registre est intégré dans le module. Néanmoins, même dans ce cas, pour X convertisseurs l'utilisateur doit assurer X.n interconnexions (au moins).

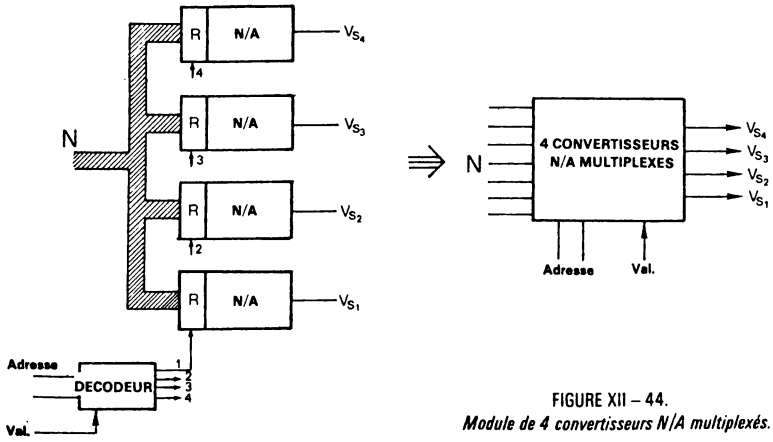


FIGURE XII – 44.
Module de 4 convertisseurs N/A multiplexés.

Un pas supplémentaire peut être fait si on sait réaliser un module groupant les chips de plusieurs convertisseurs N/A interconnectés sur un même substrat. Par exemple pour un module de quatre convertisseurs N/A l'organisation est donnée par le schéma de la figure XII-44. Un seul convertisseur est adressable à un instant donné à l'aide des 2 bits d'adresse. Le module vu de l'extérieur ne présente que n entrées + 3 (adresse et validation) et quatre sorties, le nombre n pouvant être ramené à 1 dans le cas d'une entrée série.

XII-8-2) CARACTERISTIQUES D'UN CONVERTISSEUR N/A

La résolution

La résolution est donnée par le nombre de bits acceptés par le convertisseur. Comme celui-ci peut souvent être rendu unipolaire ou bipolaire, en introduisant un décalage de tension, sans changer sa constitution profonde, il est normal d'adopter une définition générale : La plage totale (P. T.) de la tension de sortie délivrée par le convertisseur étant connue, les n bits signe compris dans le cas d'un fonctionnement bipolaire, donnent une résolution analogique de $r = \frac{P.T}{2^n - 1}$. La résolution est une donnée théorique.

Ainsi un convertisseur 10 bits unipolaire de tension 0 à + 10 volts et un convertisseur 10 bits bipolaire de tension -5 à +5 volts ont la même plage totale (P.T = 10 volts) et tous deux une résolution de 9, 8 mV. Il se peut très bien que le facteur d'échelle (ou gain) puisse être modifié pour porter la sortie à ± 10 volts par exemple pour le convertisseur bipolaire. Sa résolution sera toujours de n bits mais en valeur analogique elle aura naturellement doublée ($\frac{20}{1023}$ Volts).

Cas particulier de la conversion numérique-synchro.

Si l'information numérique N possède n bits pour désigner l'angle θ, soit deux bits pour fixer le quadrant et n-2 bits pour la valeur dans le quadrant, la résolution exprimée en minutes est de $\frac{5400'}{2^{n-2}}$. Exemple n = 14 bits. Résolution : 1',32.

La précision

La précision avec laquelle la conversion N/A est effectuée est l'écart, rapporté à la valeur pleine échelle, entre la valeur effectivement obtenue et la valeur théorique, c'est-à-dire donnée par V_S = k.N.E. Elle est fonction de plusieurs paramètres : la linéarité, le facteur d'échelle, la tension de décalage, ces paramètres étant de plus variables avec la température.

La tension de décalage (offset voltage) V_{os} (figure XII-45(a))

C'est la tension résiduelle que présente le convertisseur N/A alors que l'information numérique est ZERO. Cette tension, généralement de l'ordre

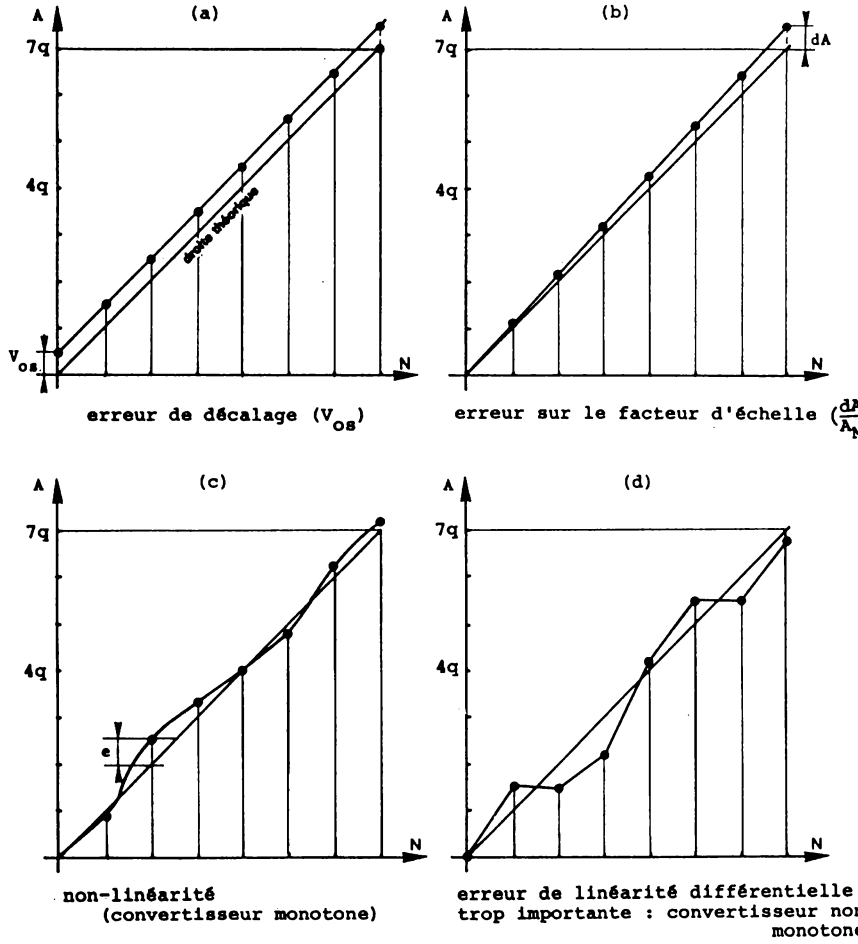


FIGURE XII – 45. – *Conversion N/A sources typiques d'erreur.*

de quelques dizaines à quelques centaines de µV, est introduite par les parties analogiques (courant de fuite des interrupteurs, amplificateurs).

Ce décalage de tension, ou de courant, pour les convertisseurs N/A à sortie courant, présente un coefficient de température exprimé en p.p.m (part per million, soit $\times 10^{-6}$) de la plage totale et par degré C. Exemple : 5.10^{-6}/°C (5ppM/°C). Si la plage totale est de 20 volts ceci donne : 100 µV/°C.

Le facteur d'échelle

La relation liant la tension de sortie V_s à l'expression numérique N est donc pratiquement : $V_s = k.E.N. + V_{os}$ où k est un coefficient de gain. L'erreur sur le facteur d'échelle, ou erreur de gain (gain error), est fonction de la précision avec laquelle peuvent être réalisés tous les éléments participant à la restitution du signal analogique (précision sur les courants, les tensions, les résistances...). Une erreur sur ce terme se traduit par une pente différente de la pente théorique pour la droite $V_s = k.E.N.$ (figure XII-45(b)). Ce gain peut souvent être ajusté au moyen d'un élément variable (résistance R_F de l'amplificateur A de sortie). Cette erreur de gain s'exprime souvent en % de la plage totale et son coefficient de température en % de la plage totale et par °C.

Exemple : erreur de gain (max) : 0,025 % de P.T.
coefficient de température : $\pm 7.10^{-6}$ de P.T. /°C.

Linéarité ou non linéarité.

La non linéarité est l'écart observé entre la courbe de transfert théorique du convertisseur et la meilleure droite (best straight line) comme le précise le digramme de la figure XII-45(c). Elle est due à la dispersion des tolérances de chaque composant et de leurs variations en fonction des niveaux de tension. Elle est exprimée en pour cent de la plage totale.

De plus elle peut être spécifiée sur une plage de température ($\pm \frac{1}{2}$ LSB de 0 à 70°C) ou bien son coefficient de température est précisé.
Remarque : on rencontre également le terme "erreur de linéarité extrême (terminal linearity error). C'est l'écart présenté entre la courbe de transfert obtenue et la droite joignant les deux points extrêmes (tous les bits OFF, tous les bits ON).

Exemple : erreur de linéarité : ± 0,003 % de P.T.
coefficient de température : ± 1 ppM de PT/°C.

Erreur de linéarité différentielle (differential linearity error).

Quand l'information numérique N subit un accroissement d'un LSB, si le convertisseur était parfait sa sortie analogique présenterait une variation d'un incrément analogique (v). En fait d'une position à l'autre les convertisseurs N/A à principe combinatoire peuvent présenter une variation rapide de l'erreur car les n voies de base ne présentent pas forcément une erreur de même signe. L'erreur peut varier notablement quand par exemple un assez grand nombre de voies changent d'état (passage de 1000...00 à 0111... 11). L'incrément analogique correspondant à une variation de 1LSB pour N sera donc compris en réalité entre v_1 et v_2 soit en moyenne $v \pm \varepsilon$. Le terme ε est appelé l'erreur de linéarité différentielle.

Il apparaît que $|\varepsilon|$ doit être inférieure à v pour qu'à un accroissement

d'un LSB pour N corresponde un accroissement pour V_s ou à la limite pas de changement (si $\varepsilon = -v$). Cette caractéristique peut se traduire d'une autre manière : la pente de la courbe de transfert réelle est toujours positive ou à la limite nulle. C'est le cas d'une fonction monotone d'où le terme anglais de : monotonicity.

Si l'erreur de linéarité différentielle ε est supérieure à LSB, on pourra rencontrer des cas de fonctionnement où à un accroissement d'un LSB pour N correspond une diminution de V_s ! (figure XII-45(d)).

On constate également que si l'erreur de linéarité est au maximum de $\pm \frac{1}{2}$ LSB l'erreur de linéarité différentielle ne peut pas être supérieure à ± LSB et le fonctionnement du convertisseur sera monotone.

Enfin on remarque que cette erreur va parfois donner l'impression d'une meilleure résolution (si $0 > \varepsilon > -v$) ou d'une résolution moins bonne que la résolution théorique (si $0 < \varepsilon < +v$).

Coefficient de tension ou sensibilité aux variations d'alimentation

Le coefficient de tension exprime la variation que subit la tension de sortie pour une variation des alimentations du convertisseur N/A. Ces variations peuvent en effet provoquer une modification de la valeur E, des courants étalons et les amplificateurs opérationnels présentent eux-mêmes un coefficient de tension.

Pour chaque variation d'alimentation il y a donc une variation maximum garantie de la tension de sortie, exprimée en p.p.m de la plage totale et en % de variation de la dite tension.

Exemple : sur l'alimentation : ± 15 volts
coefficient de tension : ± 1 ppm de P.T/%
soit concrétement, si P.T = 20 volts (± 10 volts) maximum

$$\Delta V = 10^{-6} \times 20/\% \text{ volt}$$

ou $\Delta V = 20\ \mu V$ pour $\frac{\Delta V_{15}}{V_{15}} = 1\ \%$.

Le gain et la tension de décalage peuvent présenter un coefficient de tension.

Temps d'établissement ou Temps de conversion (settling time)

C'est le temps nécessaire, après application de l'information N au convertisseur N/A, pour que la tension analogique atteigne sa valeur en régime établi (ou régime continu) avec une précision donnée.

Ce temps est lié à la vitesse de commutation des circuits logiques et des interrupteurs, au temps d'établissement de l'amplificateur ou du filtre.

Deux temps d'établissements peuvent être utiles. Le premier est le temps d'établissement pour la plage totale, donc pour que la tension de

sortie passe de la valeur $-V_{max}$ à $+V_{max}$ pour un convertisseur bipolaire ou de 0 à $+V_{max}$ pour un convertisseur unipolaire.

Exemple : 50 µsec pour atteindre la valeur définitive à 0,003 % de la plage totale.

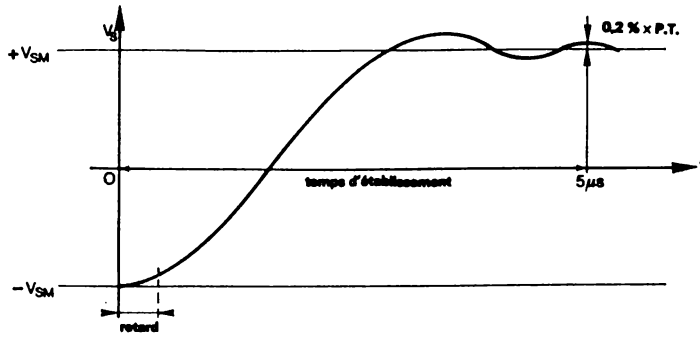


FIGURE XII – 46. – *Réponse d'un convertisseur N/A bipolaire.*

Un deuxième temps d'établissement peut être intéressant à connaître. C'est celui qui est observé à petits signaux c'est-à-dire pour un ΔV_s faible (généralement V_s = LSB). On verra que dans certaines applications (voir générateurs de fonction - chapitre XIII), c'est ce temps qui seul est à prendre en considération.

Phénomènes transitoires.

A chaque modification de la tension de sortie,,on peut en fait observer des transitoires superposées à la courbe théoriquement de forme exponentielle de la figure XII-46. Ces pointes de tension ont deux causes essentielles : la transmission des transitoires par capacité et les faux états transitoires.

Quand l'information numérique est modifiée, un certain nombre de circuits logiques, portes, bascules, interrupteurs, changent brusquement d'état. Le front de commande appliqué à ces circuits peut être transmis par capacité jusqu'à la sortie et provoque alors des pointes de tensions.

Le deuxième point est celui des faux états transitoires que peut prendre la partie logique lorsque N change de valeur. Par exemple si l'information passe de (10000...0) à (0111...1) soit une diminution de 1 LSB, la partie logique peut présenter de faux états (000...000) durant quelques dizaines de manosecondes si le passage de 1 à 0 est plus rapide que le passage de 0 à 1 et cela dépend des retards apportés par les portes, bascules et interrupteurs. Dans l'exemple choisi la tension de sortie du convertisseur va

présenter une pointe de tension négative importante (amplitude = MSB) si du moins on est en présence d'un convertisseur N/A très rapide. Pratiquement ce phénomène sera limité si les différentes voies de transmissions sont équilibrées c'est-à-dire si elles présentent une faible dispersion dans leur temps de retard.

D'autre part ce transitoire de courte durée sera d'autant mieux transmis que la courbe passante du convertisseur est élevée. Certains constructeurs spécifient l'amplitude maximum de ces transitoires (exemple : 0,5 V max).

Ce phénomène (glitch en anglais) peut être complètement éliminé si le convertisseur N/A est suivi d'une mémoire analogique (S/H) utilisée de la même manière qu'au paragraphe XII-8-1 (figure XII-43). Le module convertisseur N/A peut être dans certains cas équipé d'un tel système (deglitched N/A converter) et ne présente donc pas de transitoires sur sa sortie.

Exemple de réalisation.

Afin de concrétiser la définition de ces différents paramètres il est donné l'ensemble des caractéristiques d'un convertisseur 16 bits. (Tableau figure XII-47).

Plusieurs remarques peuvent être faites.

On constate tout d'abord que le comportement monotone (monotonicity) n'est garanti que pour 14 bits. Autrement dit l'erreur de linéarité différentielle obtenue par le constructeur ne lui permet pas de garantir au-delà. A ce point de vue on doit considérer que l'on est en présence d'un convertisseur 14 bits.

La résolution théorique est de 16 bits soit $1{,}6.10^{-5}$ de la plage totale et à 25°C l'erreur de linéarité terminale est garantie à ± 0,003 % de la plage totale (20 volts) ce qui est deux fois plus faible que la résolution.

A cela il faut ajouter les différentes dérives provenant des coefficients de température et de tension.

En bref, avec ce convertisseur on a un fonctionnement monotone assuré pour 14 bits et la résolution pratique est de 14 bits mais dans certains cas cela pourra être bien meilleur.

On notera en outre que les coefficients de température sont garantis pour un fonctionnement entre 0 et 70°C.

Ce type de convertisseurs de hautes performances (il est bien difficiles de franchir le cap de 10^{-4} avec un produit industriel de faible coût !) est un exemple, parmi d'autres, de module dont les caractéristiques sont nettement et clairement définies. Mais il faut tout lire ... avec attention!

ACCURACY (25°C)		
Terminal Linearity Error	±.003	% of F.S.R.(3)
Gain Error, (max.)(2)	±0.025	% of F.S.R.
Offset Error, (max.)(2)	±0.025	% of F.S.R.
Monotonicity (14 bit)	Guaranteed	
DRIFT (0°C to 70°C)		
Gain (max.)	±7	ppm of F.S.R./°C
Offset (max.)		
Unipolar	±1	ppm of F.S.R./°C
Bipolar	±5	ppm of F.S.R./°C
Terminal Linearity (max.)	±1	ppm of F.S.R./°C
CONVERSION SPEED		
Settling Time (to 0.003% F.S.R.)		
Voltage Output (max.) 20 V step	50	µsec
.6 mV step(4)	5	µsec
Current Output 2 mA Step	10	µsec
Output Switching Transient	500	mV
Slew Rate	1	V/µsec
POWER SUPPLY SENSITIVITY		
Unipolar Offset		
±15 V	±1	ppm of F.S.R./%
+5 V	±0.1	ppm of F.S.R./%
Bipolar Offset *		
±15 V	±4	ppm of F.S.R./%
+5 V	±0.1	ppm of F.S.R./%
Gain		
±15 V	±6	ppm of F.S.R./%
+5 V	±2	ppm of F.S.R./%
ANALOG OUTPUT		
Voltage Mode		
Ranges	0 to +5, ±2.5 0 to +10, ±5, ±10	V
Output Current (min.)	8	mA
Output Impedance (d.c.)	0.05	Ω
RMS Noise	<.003	% FSR
Current Mode		
Ranges	-2, ±1	mA
Compliance(5)	0	V
Output Impedance (d.c.)	15	k Ω
POWER SUPPLY REQUIREMENTS		
Rated Voltage	±15 and +5	V
Range	±14.5 to ±15.5 and +4.75 to +5.25	V
Supply Drain (max.)		
±15 V (including 8 mA load)	±60	mA
+5 V	+30	mA
TEMPERATURE RANGE		
Operating	0 to +70	°C
Storage	-55 to +100	°C

FIGURE XII – 47. – *Convertisseur N/A 16 bits (DAC-45 Burr Brown).*

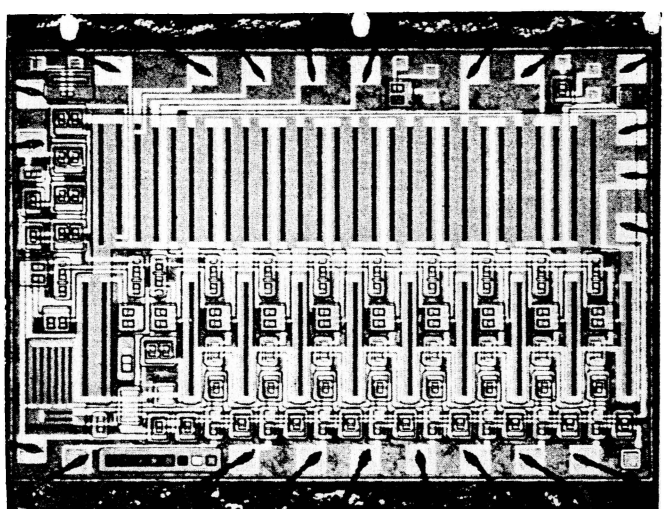


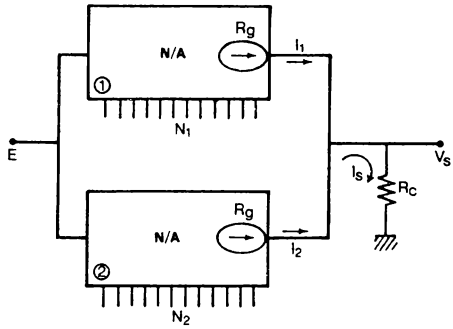
FIGURE XII – 48. – *Convertisseur N/A 8 bits (monolithique) (Doc Harris-Intertype).*

XIII-APPLICATIONS DES CONVERTISSEURS N/A

XIII-1- OPERATIONS ARITHMETIQUES HYBRIDES

a) Deux convertisseurs N/A, à sortie de courants par exemple, permettent d'effectuer une addition de deux valeurs numériques N_1 et N_2, le résultat étant délivré sous forme analogique.

Il suffit de réunir les deux sorties. La charge R_c doit être très petite devant l'impédance interne R_g des convertisseurs. Elle peut être remplacée par l'impédance d'entrée d'un amplificateur opérationnel monté en contre réaction de courant.



$$I_S = I_1 + I_2 = kN_1E + kN_2E$$

$$I_S = k(N_1+N_2).E$$

$$(V_S = R_C.I_S)$$

$$R_C <<< R_g$$

FIGURE XIII – 1. – *Addition hybride.*

EXEMPLE :

Dans une console de visualisation graphique, le convertisseur N/A n° 1 fixera une coordonnée origine (x ou y) et le convertisseur N/A n° 2 reçoit les valeurs incrémentales qui vont déplacer le spot suivant un chemin programmé en numérique.

b) Deux convertisseurs montés en cascade comme l'indique la figure XIII-2 réalisent la fonction multiplication. On notera que le convertisseur N/A n° 2 doit être multiplieur. Le multiplicande et le multiplicateur (N_1 et N_2) sont exprimés sous formé numérique et le résultat sous forme analogique.

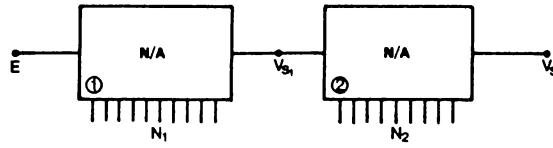


FIGURE XIII – 2. – *Multiplication hybride.*

$$V_{S_2} = k_2 N_2 . V_{S_1} = k_2 . N_2 . k_1 N_1 . E = k N_1 . N_2 E$$

$$(k = k_1 . k_2).$$

Le changement d'échelle est une application particulière de ce montage. La tension de sortie $V_{S_2} = k N_1 . N_2 E = K . N_2 . E$ est celle d'un convertisseur N/A où l'on peut faire varier le coefficient $K = k . N_1$ sous contrôle numérique (N_1).

XIII-2-SOURCE DE TENSION PROGRAMMABLE

Une source de tension programmable est représentée à la figure XIII-3. Elle est constituée d'un convertisseur N/A et d'un étage de puissance A à très faible résistance de sortie. La programmation peut être manuelle comme cela est représenté à la figure XIII-3, en utilisant des roues codeuses BCD.

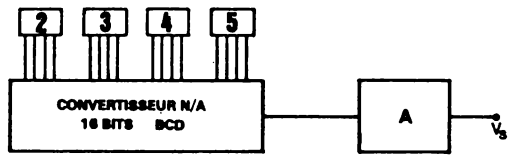


FIGURE XIII – 3. – *Source de tension programmable.*

Dans le cas de cette figure XIII-3 le convertisseur N/A étant de 16 bits BCD, la résolution est de 10^{-4}, c'est-à-dire que toute tension de 0 à 10 volts, par exemple, peut être affichée à 1mV près et obtenue avec la précision propre aux convertisseurs N/A et circuits analogiques annexes.

Si la tension de référence E est commutée à une valeur E/10 les tensions de la décade inférieure seront obtenues avec une résolution de 0,1 mV.

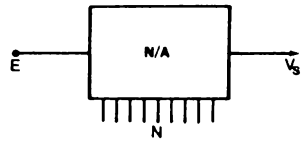
Exemple : E = 10 volts $0 < V_S < 10$ volts à 1 mV

E = 1 volt $0 < V_S < 1$ volt à 0,1 mV

et le convertisseur N/A doit être multiplieur.

XIII-3- AMPLIFICATEUR A GAIN VARIABLE SOUS COMMANDE NUMERIQUE

La réalisation d'un amplificateur à gain variable commandé numériquement découle immédiatement des propriétés des convertisseurs N/A multiplieurs.



$$V_S = k.E.N$$

ou $$\frac{V_S}{E} = k.N$$

La tension dont il faut moduler l'amplitude est appliquée à l'entrée E. Le coefficient d'amplification est kN où k est un paramètre constant lié au convertisseur N/A.

Considérons par exemple un convertisseur N/A multiplieur 16 bits BCD (résolution 10^{-4}) dont la tension de sortie maximum est de ± 10 volts. Si la tension d'entrée E peut évoluer également entre - 10 et + 10 volts, le coefficient $k = 10^{-4}$, et le gain kN de la chaîne peut prendre les 10^4 valeurs comprises entre 0 et 0,9999 par bond de 0,0001. On est donc pratiquement en présence d'un atténuateur contrôlé.

Une application typique des amplificateurs à gain contrôlé se présente dans les chaînes d'acquisition de données où il est nécessaire d'amplifier dans certaines configurations un signal analogique délivré par un capteur. La valeur du gain est sous le contrôle de l'organe numérique centralisateur lequel en tient compte à la réception après conversion analogique-numérique.

Pour amplifier le signal E, sous le contrôle numérique il faut utiliser l'une des deux configurations a ou b représentées à la figure XIII-4 suivant que la chaîne doit inverser ou non la phase du signal d'entrée E.

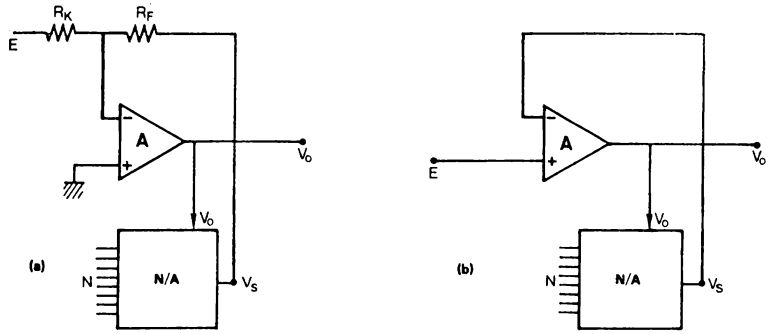
XIII-4- DEPHASEUR A COMMANDE NUMERIQUE

Deux convertisseurs multiplieurs dont les tentions de référence sont respectivement E sin ω t et E cos ω t délivrent les tensions de sortie :

$$V_{S_1} = N_1.\sin \omega t \qquad V_{S_2} = N_2.\cos \omega t$$

Si $N_1 = \cos \theta$ et $N_2 = \sin \theta$ et si les deux tensions V_{S_1} et V_{S_2} sont additionnées il vient :

$$V_S = V_{S_1} + V_{S_2} = -(\sin \omega t \cdot \cos \theta + \cos \omega t \cdot \sin \theta) = -\sin(\omega t + \theta)$$



A = amplificateur opérationnel

$$V_s = k.N.V_o = -\frac{R_E}{R_K}.E \qquad V_s = kN.V_o = E$$

d'où $V_o = -\frac{R_F}{R_K}.\frac{E}{kN}$ soit $V_o = \frac{E}{k.N}$

FIGURE XIII – 4. – *Amplificateur à gain contrôlé.*

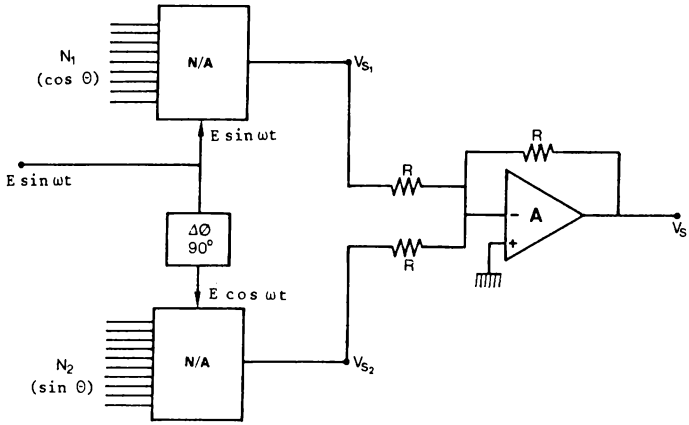


FIGURE XIII – 5. – *Déphaseur à commande numérique.*

La tension de sortie V_S présente donc un déphasage θ dont la valeur est programmée sous forme numérique traduite en sin θ et cos θ.

XIII-5- GENERATION DE FONCTIONS ANALOGIQUES

XIII-5-1) GENERATEUR DE DENT DE SCIE

Un générateur de rampe, $y = a\ t$ pour $0 \leqslant t \leqslant T$ de période T présentant une grande stabilité en amplitude et en fréquence peut être réalisé simplement comme l'indique la figure XIII-6.

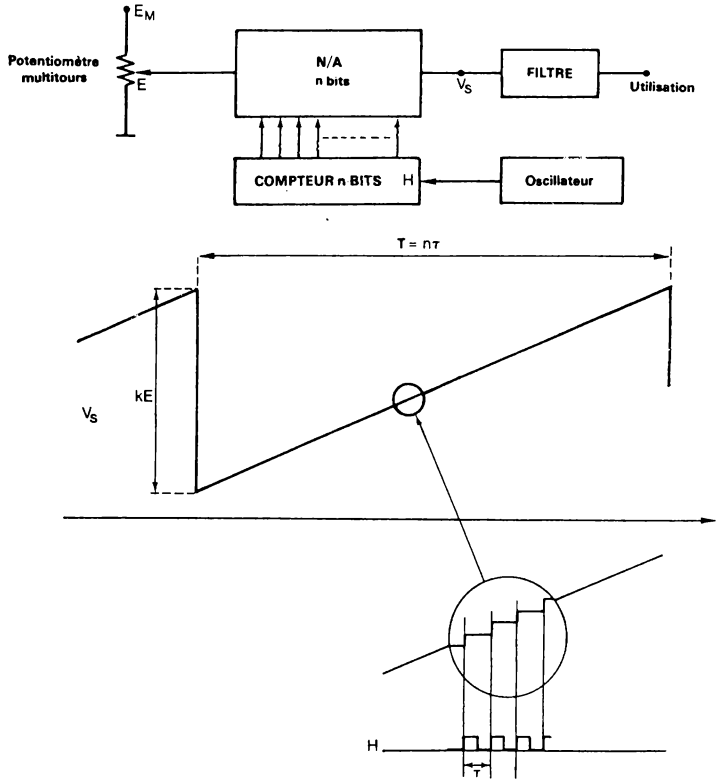


FIGURE XIII – 6. – *Générateur de rampe.*

L'oscillateur de période T peut avoir une très bonne stabilité en fréquence, 10^{-6} s'il est piloté par un quartz. Le compteur de n bits synchronisé par l'oscillateur, délivre donc une information numérique croissant linéairement, avec une résolution égale au dernier bit, de la valeur 0 à 2^n-1 et ce avec une période égale à $T = n\tau$.

Il en est donc de même de la tension analogique délivrée par le convertisseur N/A dont le registre binaire n'est autre que le compteur n bits. Un filtre permet éventuellement d'améliorer la finesse de la loi obtenue, en atténuant la tension résiduelle et les transitoires dûs à chaque conversion. Un potentiomètre de grande précision, multi-tours, fixe l'amplitude totale k E du phénomène. La tension continue E de référence peut avoir une grande stabilité (10^{-5}) et il en sera donc de même de la stabilité pour l'amplitude de V_S si elle n'est pas limitée par celle du convertisseur N/A. Enfin si la période T = nτ doit être variable il suffit de modifier la période τ de l'oscillateur.

EXEMPLE :

Générateur de rampe de haute précision utilisant un compteur 12 bits.

La figure XIII-7 présente la courbe y_1 que suit la valeur V_S de la tentions fournie par le convertisseur N/A. Cette courbe est la somme de deux courbes :

y_2 courbe linéaire idéale

Δy fonction résiduelle que l'on désire atténuer.

Pour atténuer la fonction résiduelle un filtre sera utilisé et il est donc utile de connaître la composition exacte de la fonction résiduelle.

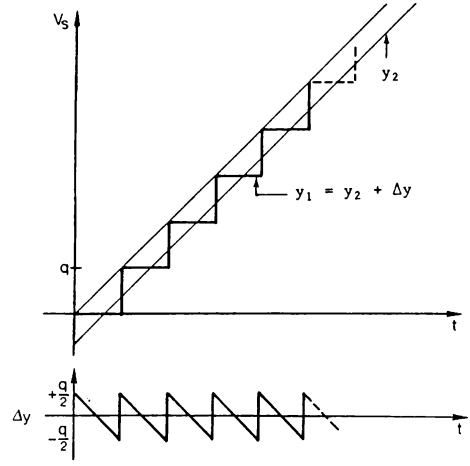
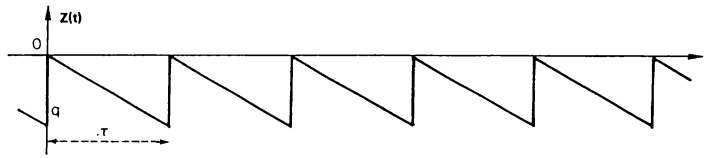


FIGURE XIII – 7.
Détail d'une rampe reconstituée numériquement.

Considérons pour cela la courbe Z(t) suivante :



L'analyse par la méthode des séries de Fourier permet d'écrire que cette fonction Z(t) est donnée par :

$$Z(t) = Z_0 + \sum_{n=1}^{\infty} (a_n \cos n\omega t + b_n \sin n\omega t) \quad \text{avec :}$$

$$z_0 = \frac{1}{\tau} \int_0^{\tau} Z(t).dt$$

$$a_n = \frac{2}{\tau} \int_0^{\tau} Z(t) \cos n\omega t.dt$$

$$b_n = \frac{2}{\tau} \int_0^{\tau} Z(t) \sin n\omega t.dt$$

Remarquons que $Z(t) = -\frac{q}{\tau}.t$ pour $0 < t < \tau$ et il vient donc $z_0 = -\frac{q}{2}$ (valeur moyenne de la fonction).

Calcul des coefficients a_n et b_n

$$a_n = \frac{2}{\tau} \int_0^{\tau} -\frac{q}{\tau}.t.\cos n\omega t.dt = -\frac{2q}{\tau^2} \int_0^{\tau} t.\cos n\omega t.dt$$

L'intégration par parties conduit à $a_n = 0$

$$b_n = \frac{2}{\tau} \int_0^{\tau} -\frac{q}{\tau}.t.\sin n\omega t.dt = -\frac{2q}{\tau^2} \int_0^{\tau} t.\sin n\omega t.dt$$

qui donne :

$$b_n = -\frac{2q}{\tau^2} \left[\left| -t \frac{\cos n\omega t}{n\omega} \right|_0^{\tau} + \int_0^{\tau} \frac{\cos n\omega t}{n\omega}.dt \right]$$

soit :

$$b_n = \frac{2q}{\tau^2} \left[-\frac{\tau}{n\omega} \cos n\omega\tau \right] = \frac{2q}{n\omega\tau}.\cos n\omega\tau$$

et comme $\omega\tau = 2\pi$, il vient $b_n = \frac{q}{n\pi}$

d'où la fonction :

$$Z(t) = -\frac{q}{2} + \frac{q}{\pi} \left[\sin \omega t + \ldots + \frac{\sin n\omega t}{n} \right]$$

Si on déplace la courbe Z(t) vers le haut d'une quantité + $\frac{q}{2}$ on retrouve la fonction résiduelle Δy de la figure XIII-7. Le terme a_0 devient nul et il reste :

$$\Delta y = \frac{q}{\Pi} \left[\sin \omega t + \frac{1}{2} \sin 2\omega t \ldots\ldots \frac{1}{n} \sin n\omega t \right]$$

avec $\omega = \frac{2\Pi}{\tau}$

Supposons que le convertisseur N/A soit de 12 bits et que son temps d'établissement à petits signaux (pour ΔN = LSB) soit de 0,5 µs. Alors la période minimum de ce générateur sera :

$$T = 4096 \times 0,5 \not\approx 2 \text{ ms}$$

Dans ces conditions $q = \frac{E}{4095}$ et

$$\Delta y = \frac{E}{4095.\Pi} \left[\sin \omega t + \frac{1}{2} \sin 2\omega t + ... + \frac{1}{n} \sin n\omega t \right]$$

avec $\omega = \frac{2\Pi}{\tau} \not\approx \frac{6,28}{0,5} 10^6 \not\approx 12,6.10^6$ rad/s

ou $f = \frac{\omega}{2\Pi} = \frac{1}{\tau} = 2$ MHZ

La tension résiduelle pourra donc avoir une valeur inférieure à 4.10^{-5} de E si on utilise un filtre de fréquence de coupure 2 MHz à 3dB. La déformation de la fonction utile y_2 (triangle), c'est-à-dire l'atténuation de ses composantes hautes fréquences qui en résultera sera négligeable puisque sa fréquence fondamentale est 4100 fois plus faible que la fréquence fondamentale du signal Δy à filtrer.

En définitive on pourra obtenir les performances suivantes :

- Fréquence de la dent de scie : 500 Hz maximum
- Précision de la fréquence : selon le quartz (10^{-5} à 10^{-7})
- Précision de l'amplitude : $\pm 10^{-4}$
- Résiduelle : inférieure à 5.10^{-5} de la valeur maximum
- Linéarité : meilleure que 2.10^{-4}

XIII-5-2) GENERATEUR SINUSOÏDAL

On connait les difficultés de réaliser un générateur sinusoïdal d'amplitude très stable (ordre 10^{-4}).

L'utilisation d'une mémoire ROM et d'un convertisseur N/A permet d'obtenir la génération de cette fonction avec comme précision et stabilité cel-

les d'un convertisseur N/A continu qui peuvent facilement être de l'ordre de 10^{-4}.

L'organisation de ce générateur sinusoïdal étalon est représenté à la figure XIII-8. Un oscillateur à quartz de période τ à grande stabilité (10^{-6} par exemple) commande un compteur - décompteur de n étages. On reconstitue la sinusoïde à l'aide de 2^n échantillons de valeurs fournies par une

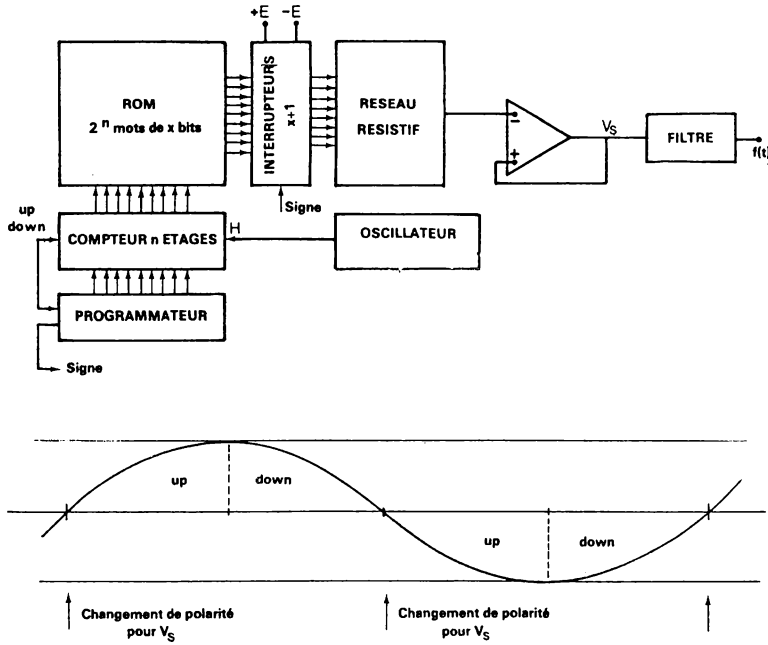


FIGURE XIII – 8. – *Générateur sinusoïdal de haute stabilité.*

mémoire ROM. Durant le premier quart de période le contenu du compteur évolue depuis 000 ... 000 jusqu'à 111 ... 111. Soit 2^n états qui sont envoyés comme adresses successives à la mémoire ROM. Celle-ci fournit en sortie la valeur numérique du sinus soit sin $(\frac{N}{2^n-1} \times \frac{\Pi}{2})$ puisque N prend les 2^n valeurs entières de 0 à $2^n - 1$. Ces différentes valeurs numériques sont délivrées sur x bits ($x \geqslant n$). Lorsque le compteur passe par l'état maximum (111...111) cette transition est détectée et donne lieu à un changement d'état de la bascule "up-down" dans le programmateur, de sorte que le compteur soit mis en position "down" (décompteur) avant l'arrivée de la prochaine impulsion. Ainsi la mémoire ROM est maintenant lue en sens inverse pour reconstituer

le deuxième quart de période. Quand le compteur passe de l'état 000...01 à l'état 000...00 cette transition est détectée et donne lieu à un changement du bit de polarité ainsi qu'à la remise de la bascule up-down en position up. A partir de la prochaine impulsion on décrit alors le 3e quart de période. Etc...

Un exemple d'une sinusoïde reconstituée à l'aide de 16 échantillons (n = 4) va permettre de préciser certains points (figure XIII-9).

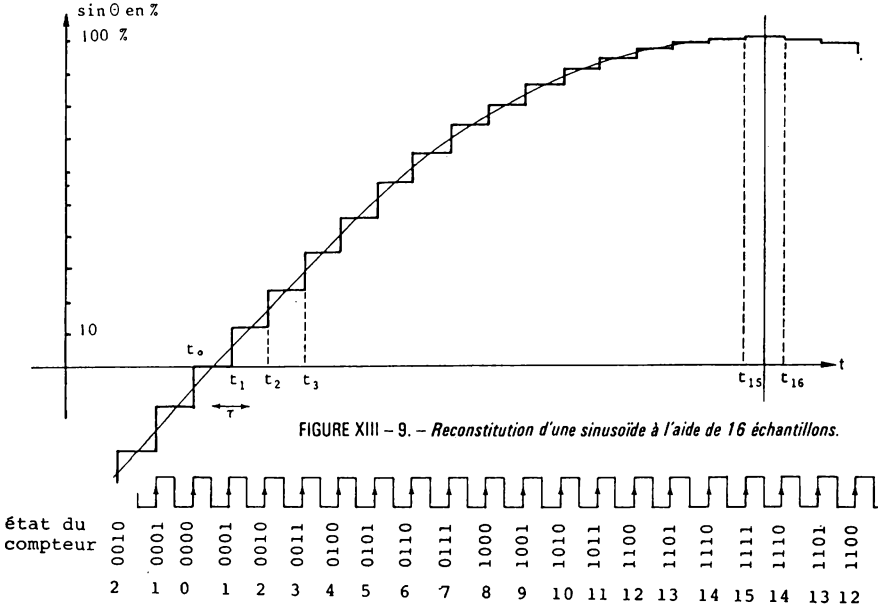


FIGURE XIII – 9. – *Reconstitution d'une sinusoïde à l'aide de 16 échantillons.*

Au temps t_0 le compteur passe de l'état 1 à l'état 0. La mémoire fait correspondre à cette adresse (0000) l'information binaire de sin 0° soit 0. Le bit de signe a été mis à 0 (signe +) et la bascule "up-down" ayant été positionnée pour le mode up, à l'instant t_1 le compteur est mis à l'état 1. A l'adresse 0001 la mémoire ROM fait correspondre la valeur $\sin \frac{90°}{15}$ = sin 6° puisque le quart de période est divisé en 15 intervalles égaux comme on va le voir. A l'instant t_2 le compteur passe à l'état 2 (0010) et à cette adresse la mémoire délivre sin 12° etc... d'où la table de valeurs de la figure XIII-10. A l'instant t_{15} le compteur passe à l'état 15 (1111) et la mémoire délivre l'information sin 90° = 1. La bascule "up-down" est aussitôt mise à l'état "down". A l'instant t_{16} l'état du compteur passe donc à 14 d'où la valeur sin (90° - 6°) soit sin 84° etc... Enfin à l'instant t_{30} le compteur passe de l'état 1 à l'état 0, transition qui est détectée et qui donne lieu, comme à tout passage à zéro, à un changement du

Adresse mémoire	angle θ degré	sin θ approché	$63 \cdot \sin\theta$ $(2^x-1) \cdot \sin\theta$	Valeur binaire choisie x bits (x = 6)	Valeur choisie décodée
0000	0	0	0	000000	0
0001	6	0,104	6,55	000111	7
0010	12	0,208	13,1	001101	13
0011	18	0,309	19,47	010011	19
0100	24	0,406	25,58	011010	26
0101	30	0,500	31,5	100000	32
0110	36	0,588	36,6	100101	37
0111	42	0,669	42,2	101010	42
1000	48	0,743	46,8	101111	47
1001	54	0,809	51	110011	51
1010	60	0,866	54,6	110111	55
1011	66	0,913	57,6	111010	58
1100	72	0,951	60	111100	60
1101	78	0,978	61	111101	61
1110	84	0,994	62,6	111111	63
1111	90	1,000	63	111111	63

FIGURE XIII – 10. – *Conversion sur 6 bits d'une valeur sinθ pour 16 valeurs d'angle*

bit de signe et à un basculement du flip-flop "up-down". L'alternance négative peut être reconstituée selon le même processus.

On constate que le quart de période est constitué de 15 intervalles τ, soit $(2^n-1).\tau$ en général, et donc la période $T = 4 \times 15\tau$. D'une façon plus générale :

$$T = 4 \times (2^n-1)\tau.$$

Quand à la mémoire elle doit contenir 16 valeurs distinctes soit d'une manière générale 2^n valeurs.

L'incrément angulaire étant de $u = \frac{90°}{2^n-1}$ on dresse la table donnant les valeurs sin 0, sin u, sin 2u, etc... jusqu'à sin 90°. Ces valeurs théoriques de sinus sont ensuite approximées et converties en binaire à l'aide d'un nombre x de bits suffisant pour ne pas apporter une erreur supplémentaire appréciable. Une fois le résultat obtenu, la mémoire ROM peut être constituée. Dans l'exemple cité on a choisi x = 6 (pour n = 4).

Pratiquement pour atteindre de hautes précisions on utilisera une valeur n beaucoup plus élevée et pour x également. Par exemple avec n = 12 on dispose de 4096 points compris entre 0 et 90°. L'information amplitude du sinus sera mise en mémoire sur 13 ou 14 bits. Ce qui conduit à une mémoire ROM de 4096 mots de 13 ou 14 bits. Pour ce nombre de bits on pourra réaliser une conversion en 1 µs, le temps de lecture en mémoire étant compris. Dans ces conditions le quart de période sera de 4095 × 1 µs et l'oscillateur fonctionnera à 1 MHz. La fréquence maximum du signal sinusoïdal sera alors de 60 Hz (période 16 ms environ). Pour générer une tension 400 Hz,

fort utilisée, on devra diminuer le nombre d'échantillons à moins que l'on puisse effectuer une lecture + une conversion N/A en 0,15 µs.

On prendra par exemple 1024 points (n = 10) et 12 bits pour l'amplitude. Le temps total pour la lecture et la conversion sera dans ces conditions de 0,6 µs.

Un filtre atténuera la tension résiduelle créée par l'échantillonnage. Cette tension résiduelle a une fréquence fondamentale de valeur $4(2^n-1)$ fois supérieure à la fréquence de la sinusoïde. Son amplitude est modulée et est de toute façon inférieure à $\frac{1}{2^n}$ fois la valeur maximum du signal utile. .

Dans ces conditions, la précision et la stabilité du convertisseur pouvant atteindre 10^{-4}, on pourra obtenir une sinusoïde de précision 10^{-4} en amplitude et 10^{-6} en fréquence.

Remarque :

Une Modulation d'amplitude et de fréquence peut facilement être obtenue, toujours sous contrôle numérique. La modulation d'amplitude est réalisée avec un convertisseur N/A pour délivrer la référence continue E au convertisseur N/A du système. Quant à la modulation de fréquence elle est obtenue en commandant le compteur du générateur de fonction par un oscillateur commandé par tension (VCO), la tension de commande étant délivrée par un convertisseur N/A (figure XIII-11).

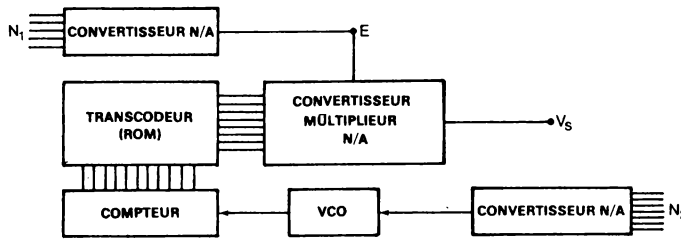


FIGURE XIII – 11. – *Générateur de fonction à amplitude et fréquence variables.*

XIII-6 - VISUALISATION SUR ECRAN CATHODIQUE

XIII-6-1) GENERALITES

Pour écrire une figure sur un écran cathodique il faut d'une part dévier le faisceau électrique à l'aide des plaques de déviation horizontale (H) et verticale (V) de façon à ce que le point d'impact des électrons (spot lumineux) occupe la position voulue de coordonnées X et Y sur l'écran et d'autre part contrôler la brillance du spot par la tension grille de commande (wehnelt).

On distingue principalement deux types de séquence pour l'inscription d'un ensemble de caractères sur l'écran. La première méthode repose sur un balayage ligne (raster scan) du type télévision (625 ou 819 lignes par exemple). L'information initiale étant numérique, délivrée par un ordinateur ou par un clavier codé, il y a lieu de placer en amont du système de visualisation proprement dit un système purement logique qui a pour rôle :

- de stocker l'ensemble du texte codé dans une mémoire digitale (mémoire d'entretien). Chaque mot sera composé du code caractère (7 bits code ASCII) du code couleur (3 bits par exemple pour un fonctionnement standard RBV, rouge bleu vert) et de quelques bits auxiliaires (parité, clignotement du caractère, etc...). Quant à l'adresse du mot dans cette mémoire d'entretien elle sera directement reliée à l'adresse que doit occuper le caractère dans le message (sur l'écran position x, y).
- d'effectuer un transcodage pour passer du code caractère (ASCII) au code matrice de points utilisée pour reconstituer chaque caractère (exemple 5 × 7 points, soit 35 bits pour un caractère). Ce transcodage est naturellement assuré par une mémoire ROM.
- de constituer le message ligne qui en sus des signaux de synchronisation habituels est composé de 1 et de 0 (point allumé ou non). Ce signal constituera le signal vidéo. Quant à la période de rafraîchissement elle est de 50 Hz (standard T.V.).

Cette méthode est surtout utilisée lorsqu'il faut visualiser des textes alphanumériques en divers endroits. La gestion de l'ensemble des postes de visualisation ainsi que les échanges avec l'ordinateur peuvent être assurés par un organe commun du type micro-calculateur.

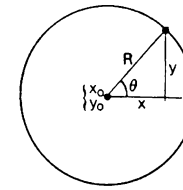
L'avantage de cette technique est de faire appel à un tube télévision, produit standard de grande diffusion, avec lequel des textes de 2048 caractères peuvent être obtenus sur grand écran (32 lignes de 64 caractères).

La deuxième méthode fait appel à un balayage assez souvent appelé balayage cavalier ou balayage aléatoire. Elle se trouve utilisée dans les consoles de visualisation alphanumériques et graphiques.

Avec cette méthode il est possible de définir un point quelconque de l'écran par ses coordonnées X, Y. A partir d'une origine il est possible de décrire point par point ou d'une manière continue, une suite de segments (cursive génération) qui va permettre de reconstituer le caractère alphanumérique ou un graphisme quelconque.

Très souvent la visualisation des caractères se fera à l'aide de matrices de points, 5 × 7 ou plus, alors que pour des figures quelconques on fera appel à des générateurs spécialisés (générateur de vecteurs et de cercle...). Ces générateurs spécialisés peuvent être constitués à l'aide d'une mémoire ROM et d'un convertisseur N/A multiplieur. Ainsi pour tracer

un cercle il faudra fixer la position du centre (x_0, y_0) et ajouter respectivement à x_0 et y_0 les valeurs $x = R.\sin\theta$ et $y = R.\cos\theta$. Ces deux valeurs peuvent être délivrées par deux convertisseurs N/A multiplieurs dont la tension de référence est proportionnelle au rayon R et dont les valeurs numériques N proviennent d'une mémoire ROM programmée en sinus et cosinus respectivement. Le spot décrira alors le cercle à la vitesse de balayage de la mémoire morte.



On notera l'importance du paramètre "linéarité différentielle" des convertisseurs N/A utilisés puisque c'est ce paramètre qui garantit la régularité du tracé (discontinuités aussi faibles que possible).

XIII-6-2) EXEMPLE DE GENERATION POINT PAR POINT SUR C.R.T.

L'exemple choisi concerne un balayage cavalier avec reproduction des caractères alphanumériques à l'aide d'une matrice 5 × 7. L'organisation du système d'inscription est donnée à la figure XIII-12. On y distingue les parties suivantes :

- un tube à écran cathodique avec ses commandes habituelles (wehnelt et plaques de déviation).
- un générateur de caractères (mémoire ROM) qui assure le transcodage et une logique associée pour fournir les différentes séquences.
- deux convertisseurs N/A qui commandent respectivement les plaques de déviation horizontale (V_X) et les plaques de déviation verticale (V_Y).

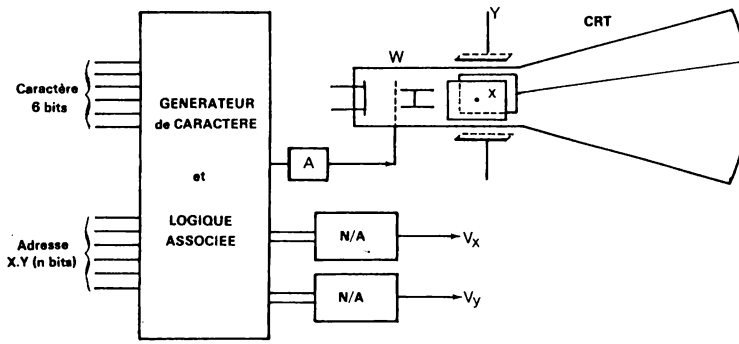


FIGURE XIII – 12.– *Organisation d'une visualisation point par point sur CRT*

Pour préciser le fonctionnement de ce système on va analyser la séquence d'inscription de la lettre R.

Les deux convertisseurs N/A reçoivent tout d'abord l'un l'informa-

tion X_0 et l'autre l'information Y_0 correspondant au point de la matrice 5 × 7 situé en bas et à gauche.

Le code désignant le caractère ayant été simultanément envoyé, le générateur de caractère sélectionne le premier bit afin que soit allumé ou non ce premier point. Dans le cas de la lettre R il doit l'être (voir figure XIII-13). Pour cela un adaptateur fournit au Wehnelt la tention conve-

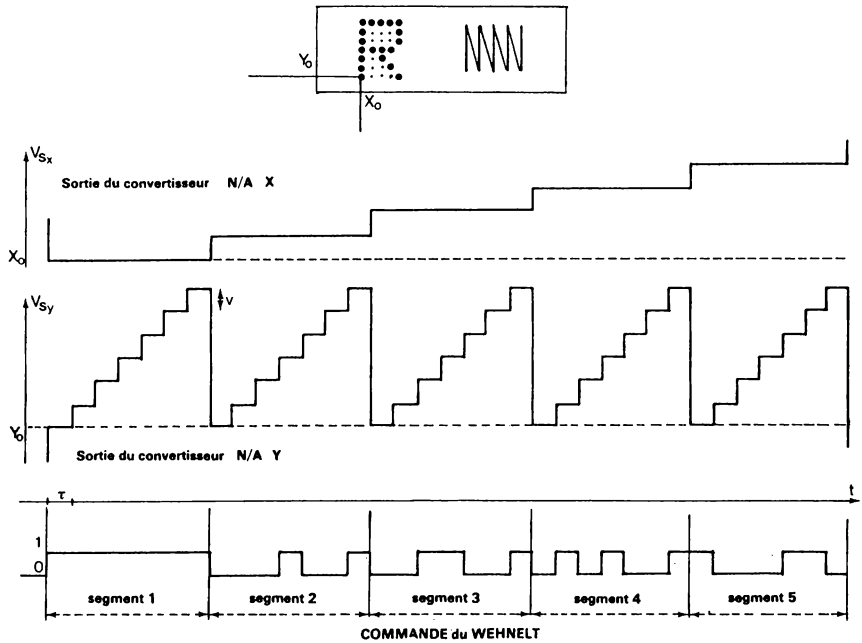


FIGURE XIII – 13.– *Séquence d'écriture de la lettre R (balayage cavalier)*

nable. Supposons que l'on ait choisi le balayage qui consiste à décrire 5 segments verticaux côte à côte dont les abscisses sont respectivement X_0, $X_0 + \Delta X$, $X_0 + 2\Delta X$, $X_0 + 3\Delta X$ et $X_0 + 4\Delta X$, ΔX étant l'incrément de tension minimum du convertisseur N/A qui commande les plaques de déviation horizontale.

Les différentes séquences qui suivent alors sont évoquées à la figure XIII-13.

La tension de sortie V_{Sy} fournie par le convertisseur N/A Y subit 6 accroissements successifs tandis que la tension V_{Sx} donnée par le conver-

tisseur N/A X reste constante et égale à V_{Sx_0}. La première colonne est donc décrite et, pour la lettre R, le signal qui contrôle le Wehnelt est constamment à 1 (auquel correspond un spot lumineux). Puis l'information numérique contenue dans le convertisseur N/A X est incrémentée (+1). La nouvelle abscisse devient $X_0 + \Delta X$. Le convertisseur N/A Y a été simultanément remis dans sa position initiale Y_0. Alors de nouveau, 6 incréments successifs lui sont envoyés de façon à décrire la deuxième colonne, et cette fois, pour la lettre R, le spot n'est rendu brillant qu'à la 3e et à la 6e incrémentation. Et ainsi de suite jusqu'à la 5e colonne.

Une organisation plus détaillée est présentée à la figure XIII-14. Les différentes signaux d'horloge pour l'incrémentation de V_{Sx} (H_1) et pour V_{Sy} (H_2), avec pour cette dernière valeur une remise à l'origine (V_{Sy_0}) par l'intermédiaire du signal Val Y_0, sont donnés par la logique de commande. Celle-ci transmet également le code du caractère, sur 6 bits dans le cas des 64 éléments principaux du code ASCII, à la mémoire ROM de 64 × 35 bits. Un complément d'adresse (3 bits) est de plus nécessaire pour appeler une des 5 colonnes de 7 bits du caractère.

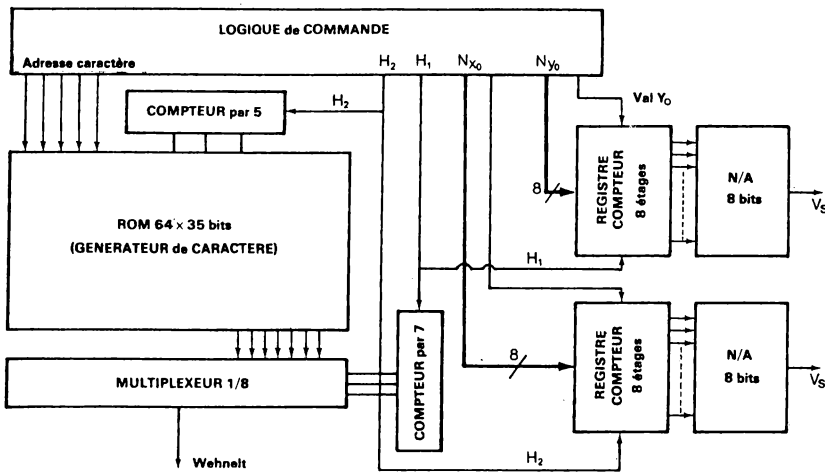


FIGURE XIII – 14.– *Organisation d'une visualisation alphanumérique sur écran cathodique.*

A chaque code désignant un caractère correspond donc une séquence de lecture donnant successivement en sortie 5 mots de 7 bits. L'information série nécessaire à la commande du wehnelt est obtenue à l'aide d'un multiplexeur 1/8 dont l'adresse provient d'un compteur par 7 (piloté par H_1) qui contrôle simultanément la progression de l'ordonnée Y.

On peut également générer les tensions V_{Sx} et V_{Sy} à l'aide de deux couples de convertisseurs N/A. Un premier convertisseur N/A décode la position origine (X_0 ou Y_0) et un autre convertisseur décode le contenu d'un compteur par 7 ou par 5 selon le cas. Les deux tensions analogiques sont additionnées pour donner V_{Sy} (ou V_{Sx}). Si le caractère doit être amplifié il suffit de changer le gain de ce dernier convertisseur ce qui peut être réalisé sous contrôle numérique.

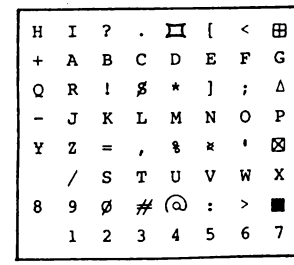
La résolution des convertisseurs N/A est liée à la densité du texte que l'on désire obtenir. Pour un texte de 20 rangées de 32 caractères, avec un espacement de 4 lignes pour séparer les rangées, il faut un total de 20 × (7+4) = 220 lignes horizontales et environ 256 lignes verticales compte-tenu des espaces entre chaque lettre et chaque mot. Ceci conduit à des convertisseurs N/A de 8 bits. Des matrices de plus haute résolution, par exemple 12 × 16, conduisent à des convertisseurs N/A de 9 à 10 bits.

L'écriture de chaque symbole devant être renouvelée à une fréquence qui est fonction du luminophore utilisé (15 Hz pour un "orange" et 40 à 50 Hz pour un "vert"), une mémoire d'entretien est nécessaire (registre à décalage ou mémoire RAM selon les techniques).

XIII-6-3) GENERATION DE CARACTERE A L'AIDE DE MONOSCOPE

Un monoscope est un tube à faisceau cathodique dans lequel on remplace l'écran par une cible ou sont gravés spécialement un certain nombre de caractères.

Pour désigner un caractère il faut également envoyer à ce tube la position X_0 Y_0 d'origine, et un balayage ligne, éventuellement synchronisé par une horloge externe, scrute le rectangle dans lequel s'inscrit le caractère adressé. Selon que le spot rencontre ou non le tracé du caractère imprimé sur la cible le signal électrique recueilli sur le circuit collecteur à l'aide d'une résistance de charge, est plus ou moins positif. Il suffit alors que ce signal vidéo soit appliqué à l'électrode de commande d'un tube à écran cathodique dont le balayage est synchrone de celui du monoscope, pour que le caractère soit reproduit.



On retrouve naturellement la nécessité d'une mémoire circulante pour régénérer cycliquement l'inscription, deux convertisseurs N/A pour les positions X_0 et Y_0 et les circuits séquentiels associés, le monoscope ne faisant que remplacer la mémoire ROM.

XIII -7- COMMANDE D'UN GRAND NOMBRE DE SORTIES ANALOGIQUES

XIII-7-1) MEMOIRE ANALOGIQUE (Sample and Hold : S/H)

On verra dans les applications qui vont suivre ainsi qu'au chapitre XV l'intérêt d'une mémoire analogique. Définissons d'abord son but, quelques exemples de réalisations et enfin ses caractéristiques.

a) Le but :

pouvoir mettre l'information en mémoire sous sa forme analogique.

En fait on ne peut, avec des circuits analogiques, garder en mémoire que des tensions continues. Et encore faut-il admettre une certaine perte d'information dans le temps.

L'organisation d'une mémoire analogique est centrée autour d'une capacité de très faible fuite, par exemple une capacité au polycarbonate métallisé qui a une résistance de fuite R_i supérieure à 50 000 MΩ pour des valeurs inférieures à 0,2 µF.

Le principe de base est donné à la figure XIII-15.

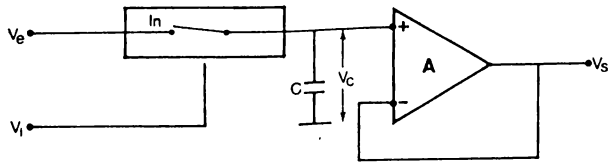


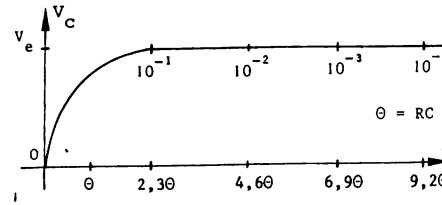
FIGURE XIII – 15.– *Principe d'une mémoire analogique (S/H circuit).*

On distingue les éléments constitutifs suivants :

1) un interrupteur électronique In qui peut occuper deux états : conducteur si la tension de commande V_I a une certaine valeur + V, et bloqué si cette tension V_I est voisine de zéro. (On peut obtenir la situation inverse selon les circuits).

A l'état conducteur l'interrupteur présente une résistance $R = R_{on}$ et si la source de tension V_e présente une résistance interne nulle, la capacité C se charge avec une constante de temps $RC = \Theta$.

L'instant initial étant celui où l'interrupteur In est mis à l'état conducteur, la tension V_c passe de sa valeur initiale à sa valeur finale au bout d'un certain temps t fonction de la précison exigée.



Celle-ci étant obtenue, l'interrupteur In est mis dans l'état bloqué ou non conducteur (OFF). La capacité C voit alors sa charge V_c se modifier dans le temps par le fait de 3 courants pratiquement constants et qui sont :

I_F le courant de fuite de l'interrupteur.
I_{in} le courant de polarisation ou courant d'entrée de l'amplificateur A.
I_K le courant de fuite de la capacité.

La somme algébrique $I = I_F + I_{in} + I_K$ représente alors le courant qui circule dans la capacité et puisque ce courant est pratiquement constant, la variation de charge qui en résulte pour la capacité C est dq = I.dt soit une variation de tension telle que :

$$\Delta V_c = \frac{dq}{C} = \frac{I.dt}{C} \quad (\frac{\Delta V_c}{\Delta t} = \text{droop rate})$$

2) un amplificateur opérationnel A bouclé en contre-réaction de tension pour présenter une grande impédance d'entrée. Son gain en boucle fermée est pratiquement égal à $1 - \frac{1}{A_v}$ donc à 1 puisque A_v, le gain en boucle ouverte, est très grand. Le courant d'entrée I_{in} (input bias current) doit être très faible. Aussi une mémoire analogique de grande performance sera équipée d'amplificateur opérationnel avec étage d'entrée à transistor FET.

3) la capacité C qui, comme cela a déjà été précisé, est à très faible fuite. On remarquera que le matériau sur lequel ce composant sera soudé devra lui aussi présenter une très faible conductivité.

b) Exemples de réalisation

Figure XIII-16 (a). L'amplificateur opérationnel A_1 présente un gain en boucle fermée pratiquement égal à $\frac{R_1+R_2}{R_2}$ (égal à 1 si $R_1 = 0$) dans la mesure ou son gain boucle ouverte A_v est très grand. Son impédance de sortie est très faible ce qui permet une charge rapide de la capacité C quand l'interrupteur est conducteur. Quant à l'amplificateur A_2 il reproduit fidèlement la tension V_c, comme cela vient d'être vu, en apportant un gain de puissance.

Figure XIII-16 (b). Dans ce montage toute la chaîne est soumise à une contre-réaction totale de tension quand l'interrupteur T_2 est bloqué (ou non conducteur) et l'interrupteur T_1 conducteur. Le gain $\frac{V_s}{V_e}$ est égal à 1 et il en est de même de $\frac{V_c}{V_e}$.

C'est la position "charge de la mémoire" que l'on appelle également "échantillonnage" (sampling). Quand la situation est inversée, T_2 se trouvant à l'état conducteur et T_1 à l'état bloqué, la capacité C se trouve isolée de la tension d'entrée V_e. Par contre l'amplificateur A_2 se retrouve bouclé en contre-réaction de tension : $V_s = V_c$. C'est la période de maintien (Hold).

Figure XIII-16 (c). Dans cette solution l'étage différentiel d'entrée de l'amplificateur A_1 est rendu bloqué ou conducteur selon le niveau de la tension V_I. Quand l'étage différentiel d'entrée est conducteur la tension de sortie V_s est comparée à la tension d'entrée V_e. Suivant le résultat de cette comparaison la sortie différentielle de A_1 met en conduction l'un des deux générateurs de courants G_1 ou G_2 pour charger ou décharger la capacité C.

Quand $V_s = V_c = V_e$ le montage est mis en position "maintien". La tension V_c bloque l'étage différentiel qui bloque à son tour les générateurs de courant G_1 et G_2. Ceux-ci doivent présenter un très faible courant de fuite. L'amplificateur A_2, bouclé en contre-réaction de tension délivre une tension $V_s = V_c$.

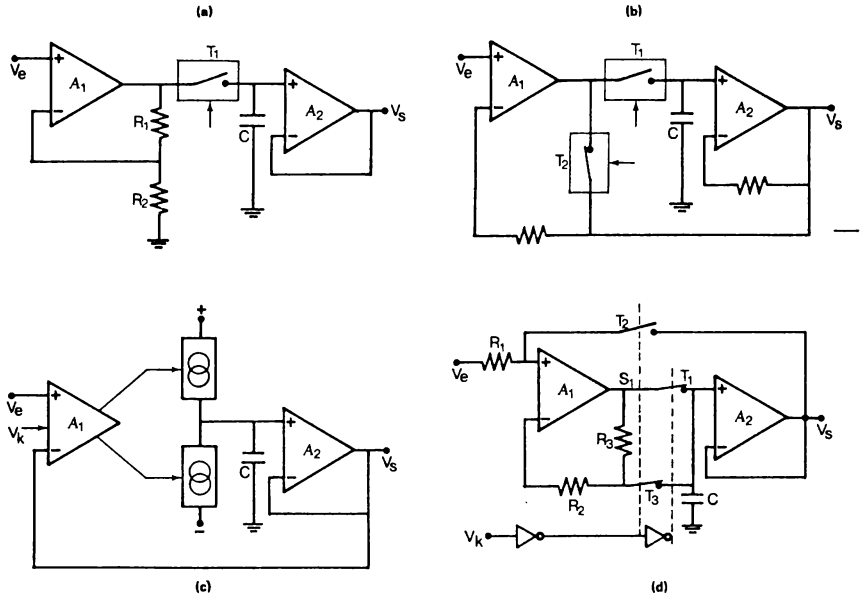


FIGURE XIII – 16.– *Mémoires analogiques (S/H circuits).*

Dans un système de restitution de données analogiques utilisant ces circuits S/H, plusieurs d'entr'eux sont connectés à la sortie d'un unique convertisseur N/A. Au cours des différents transferts (conversion N/A + mise en mémoire analogique) l'entrée d'un circuit S/H en position de maintien (hold) est soumise à des variations importantes de potentiel, de $-V_{max}$

à + V_{max} à la limite, et il ne faut pas que ces variations perturbent le contenu de la capacité. Pour le circuit (c) on constate que l'entrée de l'étage différentiel doit accepter entre ses bornes la différence $2V_{max}$ (soit 20 volts en général). Dans le cas des circuits (a) et (b) la sortie de l'amplificateur A_1 suit exactement les évolutions de l'entrée et soumet donc l'interrupteur T_1 à ces mêmes variations de tension qui, par capacité parasite, peuvent influencer la tension V_C.

Le circuit (d) de la figure XIII-16, équipé de trois interrupteurs, est organisé de telle façon que la tension aux bornes de l'interrupteur T_1 soit pratiquement nulle quand le circuit est placé en position de maintien. Le fonctionnement est le suivant. En position d'échantillonnage les interrupteurs T_1 et T_3 sont ON et T_2 est OFF. La résistance R_3 est court-circuitée (par T_1 et T_2) et l'amplificateur A_1, monté en gain + 1, charge la capacité. Au bout d'un certain temps t_2, on a $V_C = V_e$. A ce moment là les interrupteurs T_1 et T_3 sont mis à l'état OFF et T_2 à l'état ON. Dans ces conditions l'amplificateur A_1 reçoit la tension + V_C sur son entrée (+) et bouclé en gain +1 par les résistances R_2 et R_3, il délivre en sortie : $V_{s_1} = V_s = V_C$. Les interrupteurs S_1 et S_3 ont bien entre leurs bornes une tension pratiquement nulle. (principe du circuit S/H LH 00 23 C de National Semiconducteur).

Il est néanmoins important de remarquer que l'impédance d'entrée de ce circuit est faible. Avec R_1 = 20 KΩ, dans le pire des cas si V_C = + 10 volts (donc V_s = 10 volts) et si V_e = - 10 volts sur la ligne bus d'entrée, le courant circulant dans la branche constituée par R_1 et T_2 vaut pratiquement 1mA (courant sortant), la résistance de T_2 à l'état ON étant de l'ordre de 200 Ω. Inversement si $V_C = V_s$ = - 10 volts et si V_e = + 10 volts le courant (entrant) vaut encore 1mA. Si n mémoires analogiques sont connectées à la sortie d'un unique convertisseur N/A celui-ci devra donc être épuipé, ou suivi, d'un étage de puissance pouvant accepter et fournir n fois 1mA sans être perturbé (R_1 peut être augmentée au détriment de la vitesse).

c) *Caractéristiques d'une mémoire analogique.*

La figure XIII-17 représente l'évolution de la tension de sortie d'une mémoire analogique placée à l'instant t_0 en position "échantillonnage". A l'instant $t_0 + t_a$, la charge étant terminée, la mémoire est mise dans la position "maintien". On distingue donc les caractéristiques suivantes.

Le temps d'acquisition (acquisition time) constitué d'un temps de retard à la commutation suivi d'un temps de charge. Ce temps d'acquisition est le temps nécessaire pour que la sortie de la mémoire analogique passe de l'ancienne valeur $V(t_0)$ à la nouvelle valeur $V(t_0+t_a)$ avec une précision donnée. Ce temps d'acquisition peut être défini pour un balayage de la plage totale ($\Delta V_s = 2\ V_{max}$ pour une mémoire analogique bipolaire) et égale-

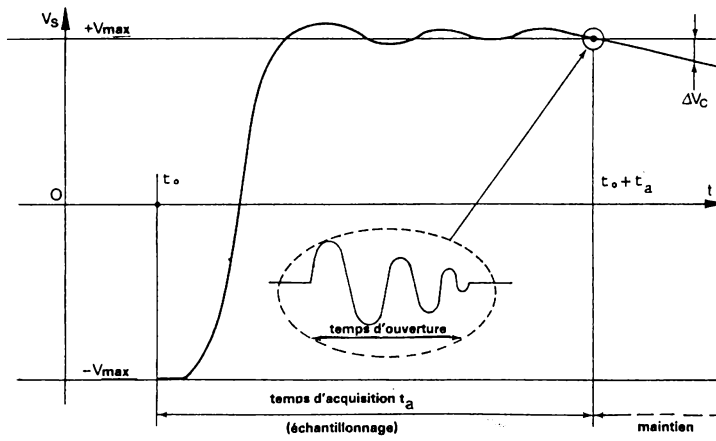


FIGURE XIII – 17.– *Réponse d'une mémoire analogique.*

ment à petits signaux (ΔV_s = 0,5 volt par exemple).

Par exemple t_a = 20 µs pour passer de -10 à +10 volts avec une précision de ± 10^{-4} (de 20 volts).

Le temps d'ouverture (aperture time) est le temps pendant lequel la mémoire passe de la position "échantillonnage" à la position "maintien". Ce temps doit être très court (20 à 100 ns pour les mémoires rapides) puisqu'il rend incertain l'instant exact où l'échantillonnage a cessé, ce qui est gênant si la tension d'entrée V_e évolue rapidement (voir multiplexage de tensions, chapitre XV).

Le taux de perte d'information (hold decay rate ou droop rate) est la variation de tension ΔV_s que l'on peut observer par unité de temps lorsque la mémoire analogique est en position "maintien". Ce taux de perte pourra être de l'ordre de ± 0,1 µ V/µS avec une capacité faible fuite.

Dans ce cas, pour rester dans le domaine des précisions de 10^{-4}, il faudra réalimenter la mémoire toutes les 10 millisecondes si la tension pleine échelle est 10 volts.

Le temps d'acquisition pouvant être de l'ordre de 5 à 10 µs, on voit que le rapport : temps de maintien sur temps d'échantillonnage peut être de l'ordre de 1000 pour des précisions de 10^{-4}.

Enfin une mémoire analogique étant généralement constituée d'amplificateur opérationnel elle présentera les caractéristiques classiques de ceux-ci : Erreur de gain, non linéarité, courant d'entrée (ou de polarisation), tension de décalage (et son coefficient de température), bande pas-

sante, vitesse de balayage en sortie, courant et tension de sortie.

XIII-7-2) APPLICATIONS POUR LES SORTIES CONTINUES

Le circuit réalisant la fonction mémoire analogique étant relativement simple, l'organisation représentée à la figure XIII-18 présente un avantage économique sur celle de la figure XIII-19 tout en conservant des performances techniques nettement suffisantes dans de nombreux cas.

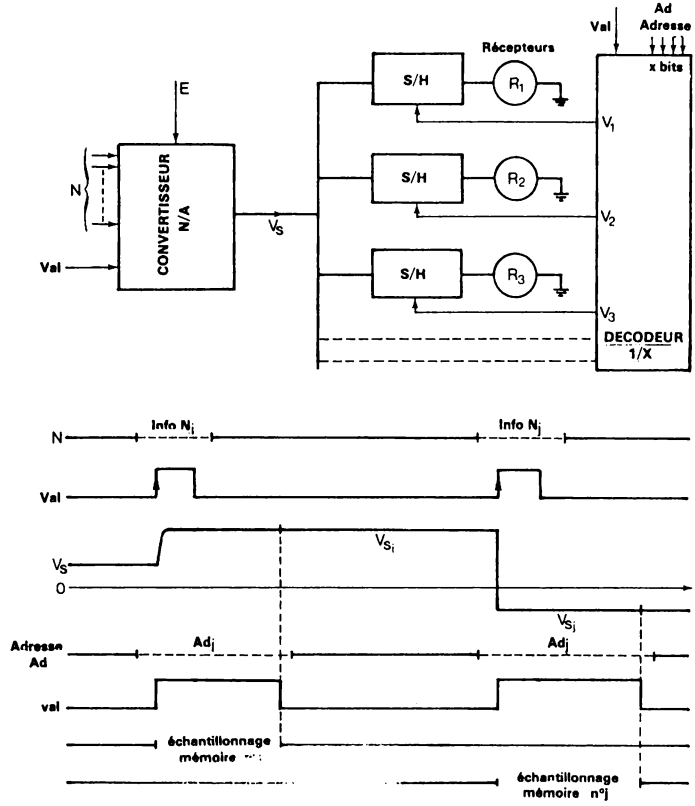


FIGURE XIII – 18.– *Convertisseur N/A et mise en mémoire analogique.*

Pour les deux systèmes représentés à ces figures le problème est le suivant :

Un certain nombre d'informations numériques sont à transférer d'une unité de calcul numérique vers un nombre X de récepteurs. Ces transferts se font en série, mot par mot, et se composent chaque fois de l'information nu-

mérique N et l'adresse (Ad) du récepteur concerné. Cette adresse est décodée (1 parmi X) et un signal de validation (val) est transmis par le décodeur à l'organe adressé. Deux solutions s'offre alors :

1) *Cet organe est une mémoire analogique.* Il y en a X, autant que de récepteurs (analogiques) indépendants et la mémoire analogique n° i prend la valeur analogique disponible à la sortie de l'unique convertisseur N/A qui reçoit au même instant l'information numérique N_i destinée au récepteur n° i.

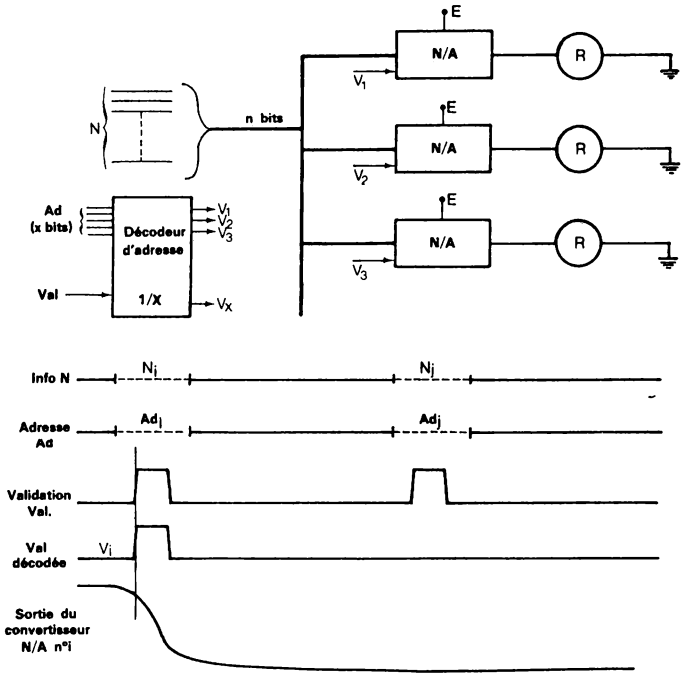


FIGURE XIII – 19.– *Sélection de 1 parmi x convertisseurs N/A.*

Quand l'acquisition par la mémoire n° i est terminée (temps $t+t_a$) celle-ci est mise en position "maintien" et une nouvelle information numérique N_j destinée au récepteur n°j peut être envoyée au convertisseur N/A ainsi que l'adresse n°j (Adj) pour sélectionner la mémoire n°j en position "échantillonnage".

Comme chaque mémoire présente une perte d'informations $\frac{\Delta V_s}{\Delta t}$ il faudra renouveler son contenu à une certaine fréquence même si le phénomène à restituer est T.B.F. ou, à la limite, de valeur constante.

Malgré tout dans la plupart des cas, le temps d'acquisition d'une mémoire analogique pouvant être bref (5µs), on pourra alimenter un grand nombre de mémoires à partir d'un seul convertisseur N/A.

2) *L'organe est un convertisseur N/A continu.* Dans ce cas l'information numérique N est aiguillée (ou démultiplexée) *avant* sa conversion en signal analogique. En effet chaque convertisseur N/A (figure XIII-19) est équipé d'un registre de n bascules pouvant mémoriser l'information numérique N. Celle-ci est envoyée à tous les convertisseurs N/A mais seul le convertisseur n°i concerné par l'information N_i est sélectionné par le signal de validation V_i. Ce signal V_i est délivré par le décodeur 1 parmi X qui reçoit l'adresse Adi et le signal de validation (val).

La charge d'un registre étant très brève, 0,2 à 1µs suivant les technologies, un grand nombre de convertisseur N/A pourront être alimentés de cette sorte même si le renouvellement de l'information doit se faire à une fréquence élevée.

REMARQUES :

Au point de vue des cadences de transfert la méthode qui consiste à utiliser un convertisseur N/A (rapide) par voie semble apporter un gain de vitesse dans le rapport 20/0,5 soit 40, en prenant pour temps moyen de mise en mémoire respectivement 0,5 µs pour une charge parallèle du registre n bits et 20 µs pour celle de la mémoire analogique.

Ainsi pour alimenter 100 voies analogiques ou pourrait théoriquement atteindre un renouvellement à une fréquence de 20 KHz (50 µs pour 100 voies) dans le cas d'un convertisseur N/A par voie et seulement 500 Hz pour les mémoires analogiques. Encore faut-il que le taux d'échange avec l'ordinateur puisse atteindre 2 MHz pour n bits ! En effet si ces 100 voies sont alimentées à partir d'une seule unité de calcul numérique la cadence de transfert ne peut dépasser le cycle de lecture de la mémoire centrale.

D'autre part il est possible d'améliorer la vitesse d'échange dans le cas des mémoires analogiques si celles-ci sont suffisamment nombreuses. On peut en effet approcher la fréquence limite de l'unité d'échange en constituant des sous-ensembles de x mémoires alimentées par un convertisseur N/A. S'il y a z sous-ensembles, soit x.z voies analogiques au total, pendant qu'un sous-ensemble enregistre dans une de ses x mémoires la valeur qui vient d'être échangée, soit pendant 20 µs par exemple, les z - 1 autres sous-ensembles reçoivent les uns après les autres une nouvelle valeur. Soit τ_m le temps d'établissement d'une sortie analogique (temps de conversion N/A + temps d'acquisition de la mémoire) et soit τ_e le temps nécessaire pour exécuter un échange entre l'unité d'entrée-sortie de l'ordinateur et un registre tampon d'un convertisseur N/A. L'unité d'échange fonctionnera au maximum de sa vitesse si le nombre z de sous-ensembles convertisseur N/A + x mémoires

analogiques est égal à τ_m/τ_e. Ce nombre peut être de l'ordre de 3 à 10 selon les cas.

Au point de vue de l'immunité aux bruits il est intéressant de pouvoir conserver l'information sous forme digitale le plus longtemps possible. Ceci conduit à la limite à placer le convertisseur N/A tout près de l'utilisation (dans le récepteur par exemple). Si des mémoires analogiques sont utilisées, étant donné que plusieurs d'entr'elles sont alimentées à partir d'un seul convertisseur N/A, il y aura nécessairement une distance à franchir pour la transmission analogique sauf dans le cas, rare, où toutes les utilisations (récepteurs) sont regroupées géographiquement.

Néanmoins si le rapport signal/bruit est jugé suffisant pour l'application envisagée, cette technique qui ne nécessite qu'une liaison bifilaire par voie est à mettre en balance avec la technique : un convertisseur N/A par voie avec transmission digitale *série*.

Finalement une mémoire analogique est simple, de constitution et d'utilisation, et sa réalisation microélectronique étant possible (et effective) son rôle demeure important dans les systèmes d'acquisition et de restitution de données analogiques.

XIII-7-3) APPLICATIONS POUR LES SORTIES ALTERNATIVES

Un moyen de convertir l'information numérique d'un angle donné sous la forme sin θ et cos θ consiste à utiliser le principe de la figure XIII-20.

L'organe de calcul numérique délivre deux informations de n bits sin θ et cos θ (signe + amplitude). Ces deux informations sont aiguillées l'une vers un convertisseur N/A qui délivre donc une tension analogique continue d'amplitude k sin θ et l'autre vers le deuxième convertisseur qui délivre alors une tension k cos θ. Dans ces conditions chaque synchromachine est commandée à l'aide de la chaîne représentée à la figure XIII-20.

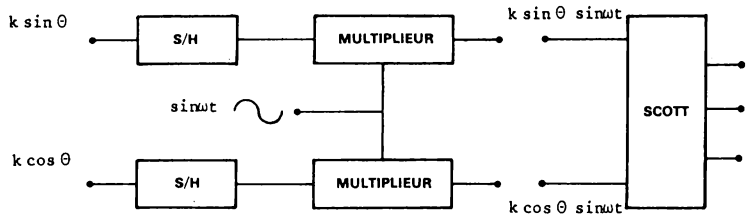


FIGURE XIII – 20.– *Elaboration d'un signal synchro à partir de deux informations sinθ et cosθ continues.*

Chaque mémoire analogique (S/H) maintient respectivement les ten-

sions d'amplitude k sin θ et k cos θ qui sont ensuite appliquées à deux multiplieurs, ou modulateurs, recevant de par ailleurs la porteuse sin ωt. Ceux-ci délivrent les tensions k sin θ.sin ωt et k cos θ sin ωt, capables d'alimenter un résolver, ou un synchro à travers un transformateur Scott. La précision d'une chaîne peut être de 0,5 %, surtout limitée par le modulateur, mais si les deux chaînes ont des caractéristiques de linéarité très voisines, le rapport tg θ obtenu pourra atteindre des précisions bien supérieures.

La commande d'un grand nombre de ces sorties se fait selon l'organisation présentée à la figure XIII-21.

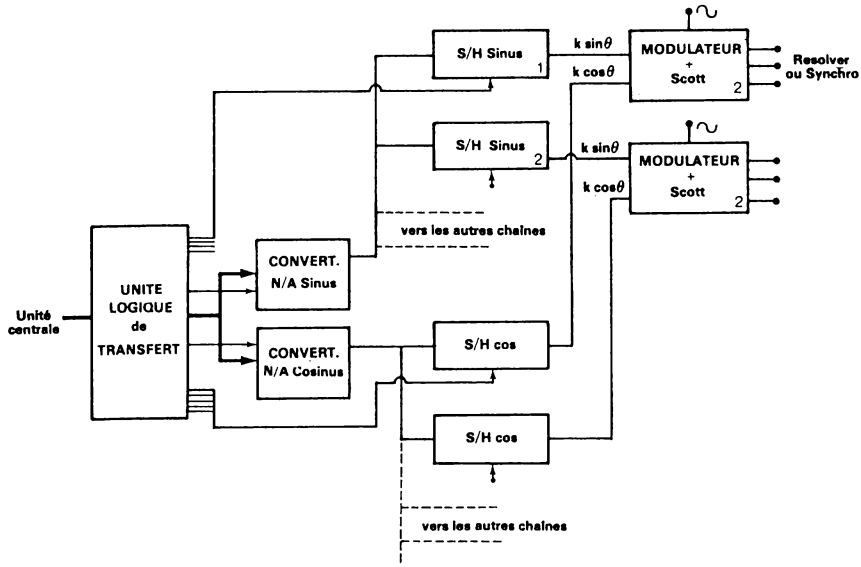


FIGURE XIII – 21.– *Organisation d'un système de conversion numérique – synchro pour X voies*

XIII-8- COMMANDE DE POSITION ANGULAIRE

La commande d'une position angulaire, ou commande de rotation d'axe, est très couramment rencontrée car le mouvement circulaire est très utilisé.

En sus des applications en mécanique, où un couple plus ou moins important est à fournir, on rencontre également cette commande angulaire dans l'affichage. L'homme s'est fort bien habitué à cette méthode de visualisation qui présente une bonne densité d'information.

On distingue deux cas, qui conduisent à des solutions différentes :

1) le débattement angulaire est inférieur à 360°,
2) le débattement angulaire est de 360°. Le mouvement fait le tour complet sans rencontrer de butées fin de course (exemple indication de cap).

XIII-8-1) DEBATTEMENT ANGULAIRE INFERIEUR A 360°

Si le couple à fournir est faible, c'est le cas pour un affichage où le mouvement doit entraîner une aiguille, un équipage galvanométrique est généralement utilisé. La puissance électrique continue à fournir est modeste. La chaîne de conversion numérique-angle est alors constituée d'un convertisseur N/A continu de n bits suivi éventuellement d'un amplificateur de courant et d'un équipage galvanométrique (bobine) (figure XIII-22(a)). Si le débattement est de 300°, grâce à une multiplication par engrenages, la résolution de cet affichage sera $\frac{300°}{2^n}$ soit par exemple 18' d'arc pour 10 bits.

Si le couple à fournir est assez important, une chaîne d'asservissement en position est nécessaire. Le retour du signal de contre-réaction est assuré par un potentiomètre circulaire. La chaîne amplificateur-moteur-potentiomètre peut être commandée par une tension alternative ou continue. Un convertisseur N/A continu est utilisé et fournit la tension V_s à l'amplificateur d'erreur qui reçoit également la tension de contre-réaction

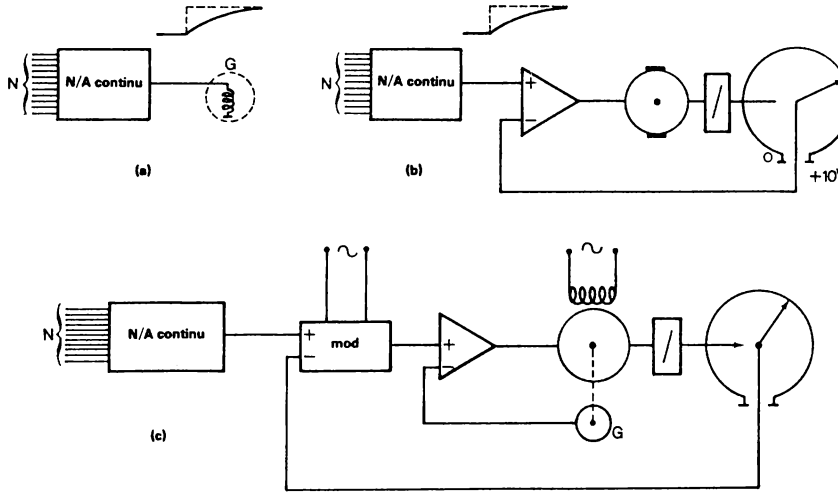


FIGURE XIII – 22.– *Conversion numérique angle θ (θ < 360°).*

continue (figure XIII-22(b)). Si la chaîne est équipée d'un amplificateur et d'un moteur alternatif, entre le convertisseur N/A et l'entrée de l'amplificateur on doit intercaler un modulateur qui transforme le signal d'erreur continu en tension alternative (figure XIII-22(c)).
Remarque : A chaque conversion N/A l'échelon de tension délivré pourra être amorti à l'aide d'une constante de temps (RC) destiné à filtrer le signal analogique.

XIII-8-2) DEBATTEMENT DE 360°

Si le couple à fournir est faible (ordre 1 à 5 g. cm) un récepteur de téléaffichage peut être utilisé. Pour le commander, toujours à partir d'une information numérique N, une conversion numérique-synchro est nécessaire, éventuellement suivie d'une amplification de puissance (figure XIII-23(a)-simulateur de synchro).

Si le couple à fournir est élevé et s'il s'agit d'une commande de *position* la chaîne d'asservissement de la figure XIII-23(b) est utilisée. Un convertisseur numérique-synchro alimente un synchro-récepteur dont le rotor fournit une tension (400 Hz) d'amplitude proportionnelle à l'écart angulaire qu'il y a entre la valeur commandée et la valeur occupée par l'axe du rotor. (Entre l'axe du rotor et l'arbre du moteur il peut exister un engrenage).

Une démodulation et un amplificateur continu, muni d'une correction de phase, attaque un moteur-couple continu dont l'axe subit une rotation

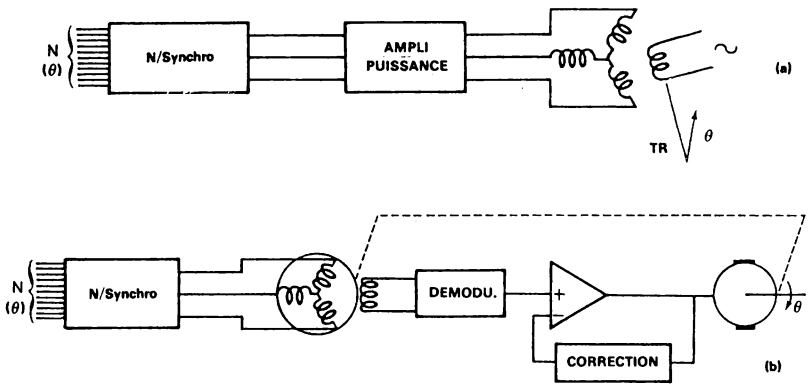


FIGURE XIII – 23.– *Conversion N/A numérique-angle.*

jusqu'à ce que la position angulaire soit égale à celle qui est commandée.

On remarquera que l'on peut coupler à l'axe un synchro-transmetteur

de forte puissance, taille 31 par exemple, qui pourra commander à distance plusieurs synchro-récepteurs.

XIII-8-3) COMMANDE ANGULAIRE A L'AIDE DE MOTEURS PAS A PAS

Il est bon de comparer ces techniques à celle de la commande par moteur pas à pas (ou moteur incrémental). Cet organe a été présenté au chapitre XI. Il ne nécessite que des circuits logiques pour assurer son fonctionnement.

L'information est donc conservée sous la forme digitale jusqu'au bout de la chaîne. Cette particularité alliée à celle non moins importante de la haute résolution possible, rend cette technique très intéressante dans différents domaines tels que la commande de machines-outils, de tables traçantes, de bandes magnétiques etc...

La figure XIII-24 donne le schéma de principe d'une telle commande. L'organe numérique précise la valeur θ_i ou $\Delta\theta_i$ selon les cas et un système logique en déduit le nombre de pas que doit effectuer le moteur incrémental. La position occupée par l'axe est généralement codée et fournie soit à l'organe de calcul numérique soit au système logique.

Pour repérer la position origine (initialisation du système) un dispositif mécanique ou optique (mini-switch ou photodiode) peut être placé en bout de course. Il délivre une information grossière de cette position et l'information fine peut être obtenue à l'aide d'un codeur à disque. Le système étant initialisé, la position angulaire peut être précisée sous la forme $\Delta\theta$.

Mais on peut également connaître à tout instant la position angulaire occupée, soit en utilisant un compteur qui accumule le nombre de pas exécuté et leur sens soit en codant la position de l'axe au moyen d'un codeur à disque multi-tour de manière à augmenter la résolution. Exemple : système de résolution 10^6 sur 1000 tours avec 2 codeurs 1000 points, figure XIV-17.

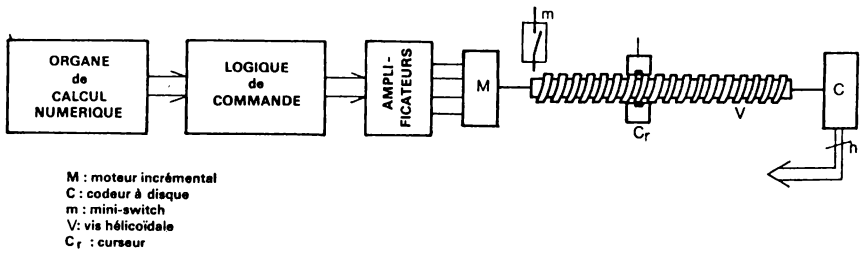


FIGURE XIII – 24.– *Déplacement rectiligne incrémental.*

XIV – CONVERSION ANALOGIQUE NUMERIQUE (A/N)

XIV-1- INTRODUCTION

Effectuer une conversion analogique-numérique c'est rechercher une expression numérique dans un code déterminé, pour représenter une information analogique avec une précision et une résolution données. Mesurer une distance AB au moyen d'une règle c'est effectuer une conversion analogique-décimale de cette distance et les qualités de cette conversion sont limitées soit par l'instrument de mesure lui-même, ici une règle, soit par l'observateur (acuité visuelle par exemple).

On voit donc apparaître déjà l'importance de plusieurs paramètres. Il faut tout d'abord une valeur étalon sur laquelle va s'appuyer la mesure ou plus exactement la comparaison. Puis le type de code numérique utilisé, sa base notamment et le nombre de digits qui est fonction de la résolution avec laquelle on veut exprimer la valeur analogique. Ce dernier point est très important d'autant plus que résolution et précision sont très souvent liées à quelques exceptions près comme par exemple le cas de mesures comparatives ou seule une haute résolution peut être demandée sans pour autant exiger une grande précision. Pour chaque application il est important de fixer la résolution et la précision qu'il est inutile de dépasser. Ainsi l'expression de la vitesse d'une automobile, si elle est un jour affichée en décimal au tableau de bord, sera exprimée en km/h, soit 180 km/h maximum par exemple, et il est en principe inutile (et cher) d'exprimer cette vitesse avec un digit de plus, soit en hm/h. Dans cet exemple la base de numération est de 10, la résolution est de 1/180, le nombre de digit de 3 et la précision pourrait être imposée à 3 % par exemple.

Notre propos est d'étudier maintenant les principales techniques de conversion A/N.

Une remarque s'impose toutefois dans le cas où l'information se présente soit sous forme discrète (série d'impulsions) soit sous la forme d'une durée. Dans ces deux cas en effet, le compteur électronique est l'organe qui assure la numérisation ce qui conduit à des solutions techniques purement logiques. Cela est évident si l'information se présente comme une suite d'impulsions à comptabiliser. Un compteur électronique accumule ces impulsions et le contenu est exprimé en binaire naturel, BCD etc... suivant la constitution du compteur lui-même. Un deuxième cas se présente si l'information se

traduit par une fréquence, ou une durée. La notion de temps intervient et le compteur accumule toujours des impulsions mais il le fait cette fois-ci pendant un temps calibré, délivré par une horloge maître. Si le compteur est autorisé à compter pendant 0,1 seconde et si pendant ce temps le nombre d'impulsions enregistrées est de 12, le phénomène possède à cet instant une fréquence moyenne de 120 Hz, et ce résultat est contenu dans le compteur sous forme binaire. Le phénomène peut aussi se traduire par une impulsion modulée en durée, la largeur de celle-ci ou le rapport cyclique porte alors l'information. La conversion s'effectuera avec une compteur piloté cette fois-ci par une horloge de fréquence stable de manière à déterminer la durée de l'impulsion qui sera le signal "autorisation de comptage". On peut également ranger dans cet exemple le cas où l'information est traduite par un déphasage variable par rapport à une onde de référence.

Si maintenant l'information source est une tension analogique on peut remarquer qu'une transformation tension-fréquence permettra de se ramener aux cas qui viennent d'être évoqués. On peut citer deux exemples de générateurs de fréquences (ou d'impulsions) à commande par tension.

Dans le cas de la figure XIV-1 la tension analogique V_i est intégrée, ce qui donne à la sortie de l'intégrateur une tension en dent de scie $V_s(t)$ de pente constante proportionnelle à l'amplitude de V_i (le phénomène analogique est supposé constant ou variant très lentement devant la rapidité d'intégration). Cette tension $V_s(t)$ est comparée par le comparateur C à un niveau de référence E. Dès que l'égalité $V_s(t) = E$ est détectée il y a simultanément émission d'une impulsion calibrée et remise à zéro (RAZ) de l'intégrateur,

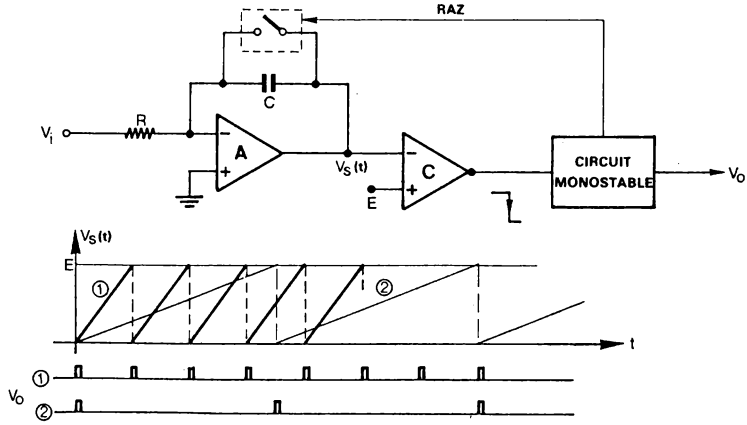


FIGURE XIV – 1.– *Convertisseur tension-fréquence.*

ce qui se traduit essentiellement par une décharge très rapide de la capacité C puis l'intégration reprend. Dans ces conditions la fréquence d'émission est proportionnelle à l'amplitude de V_i.

Un deuxième type de convertisseur est représenté à la figure XIV-2 (tension-rapport cyclique). Un intégrateur délivre une tension en dent de scie $V_s(t)$ de pente et d'amplitude très stables. La tension analogique V_i est comparée à cette tension $V_s(t)$ par le comparateur C dont la sortie est au 1 Logique tant que $V_s(t) < V_i$. La gamme de tension pour V_i est comprise entre 0 et la valeur crête de la dent de scie et la durée τ de l'impulsion disponible à la sortie du comparateur est proportionnelle à V_i.

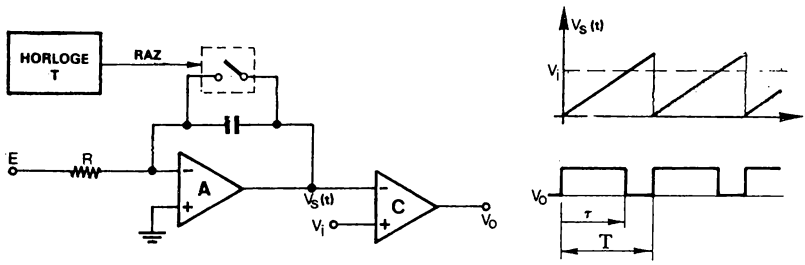


FIGURE XIV – 2.– *Convertisseur tension-durée.*

Ces générateurs d'impulsions peuvent être disposés immédiatement après un capteur analogique de manière à transmettre l'information sur une certaine distance. L'électronique associée est modeste et le signal véhiculé est purement logique. De plus une seule ligne de transmission est nécessaire tout comme dans le cas d'une transmission binaire série.

Les convertisseurs A/N qui vont être étudiés dans les paragraphes suivants se rangent suivant deux classes mais ils ont en commun la particularité de convertir une information analogique en une information binaire codée. Il s'agit d'une part des codeurs de position angulaire, ou codeurs à disque, avec pour variante le codeur incrémental appelé également générateur d'impulsions à disque. Ces systèmes électromécaniques ont été développés pour coder les mouvements circulaires mais ils peuvent également être adaptés au mouvement rectiligne. La deuxième catégorie de convertisseurs A/N, largement diffusés de nos jours, sont des systèmes purement électroniques. Ils acceptent des tensions analogiques à l'entrée et délivrent une information électrique codée binaire.

XIV-2-GENERALITES SUR LES CONVERTISSEURS A/N

Comme cela vient d'être précisé, pour assurer une conversion A/N il faut disposer d'une référence. Dans le cas de codeurs à disques ou de règles linéaires codées, la référence est l'unité de mesure (angle ou longueur) sur la base de laquelle est réalisé un dessin indéformable. Pour un convertisseur A/N électronique, la tension de référence est obtenue à partir d'une tension très stable (diode zener compensée par exemple) et de valeur connue par rapport à l'étalon volt. En présence d'une valeur analogique A le convertisseur A/N va donc pratiquement calculer la valeur du rapport $\frac{A}{E}$, E étant la valeur étalon de référence très souvent interne au convertisseur. Ce rapport de deux valeurs analogiques doit être exprimé en valeur numérique N et la relation $\frac{A}{E} \Rightarrow N$ est obtenue avec un degré de résolution et de précision qui dépend du convertisseur choisi pour l'application. On pourra écrire en général :

$$A = N.E + \varepsilon_D + \varepsilon_A.$$

ε_D est le terme d'erreur due à la quantification qui est toujours présent même si les parties analogiques du convertisseur sont rigoureusement parfaites.

ε_A est l'erreur analogique introduite par la partie analogique du convertisseur (résistances, intégrateur, etc...).

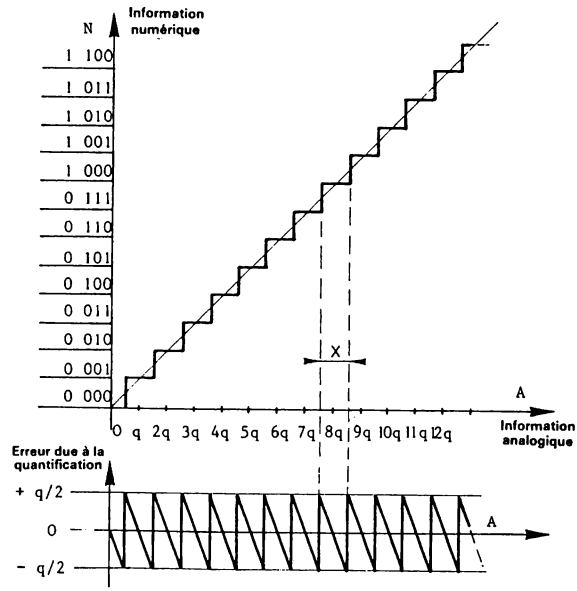


FIGURE XIV – 3.– *Courbe de transfert analogique numérique et évolution de l'erreur due à la quantification.*

N est exprimé à l'aide de n bits, donc une seule valeur parmi les 2^n possibles, et la valeur analogique A est distante de la valeur N.E de $\varepsilon_A + \varepsilon_D$ au maximum.

L'erreur de quantification est une erreur inhérente au procédé. Elle est au maximum de + LSB et plus souvent, le système étant centré, elle est de $\pm \frac{1}{2}$ LSB. Prenons l'exemple d'une valeur analogique X qui se trouve entre 7,5.q et 8,5.q, q étant l'incrément minimum. On constate que l'on ne peut pas faire mieux que de retenir la valeur N = 8 pour représenter *toutes* les valeurs de X comprises entre 7,5 q et 8,5 q. L'erreur de quantification est maximum si X = 7,5 q ou 8,5 q, elle est nulle pour le cas particulier X = 8q et elle varie entre $-\frac{1}{2}$ LSB et $+\frac{1}{2}$ LSB dans tout l'intervalle décrit par X.

La courbe de transfert théorique qui donne N en fonction de A est une courbe en escalier (figure XIV-3) qui fait apparaître l'évolution en dent de scie entre $-\frac{1}{2}$ LSB et $+\frac{1}{2}$ LSB pour l'erreur de quantification. Comme pour les convertisseurs N/A, la valeur maximum pouvant être convertie est $A = (2^n-1).q$ avec n bits pour N et la résolution est toujours $r = \frac{1}{2^n-1}$, q étant l'incrément minimum de tension (continue ou alternative) ou l'incrément angulaire dans le cas des codeurs rotatifs.

XIV-3-CODEURS A DISQUES

Le codeur à disque est un exemple typique de capteur qui effectue directement la conversion d'une grandeur physique en son expression numérique. La grandeur physique est dans ce cas la rotation d'un axe, et deux variables importantes sont généralement à détecter : sa position angulaire et sa vitesse angulaire.

On distingue en conséquence deux types de codeurs à disque :

1) Le codeur incrémental (incremental encoder) délivre une impulsion chaque fois que l'angle θ subit une variation de $\frac{360°}{N}$ dans un sens ou dans l'autre. Le paramètre N est variable selon les modèles, compris généralement entre 2^8 et 2^{12}.

2) Le codeur absolu (absolute encoder ou shaft encoder) délivre en permanence l'expression numérique, sur n bits, de l'angle θ. Cet angle θ occupé par l'axe du codeur est mesuré par rapport à une position de référence 0 pour laquelle le codeur délivre l'information 00...0.

XIV-3-1) CODEUR INCREMENTAL

La figure XIV-4 présente schématiquement la constitution d'un codeur à disque incrémental à 2 phases.

Un disque mobile autour d'un axe perpendiculaire à son plan est divisé en N secteurs égaux de longueur 2a à la périphérie. L'angle d'ouverture

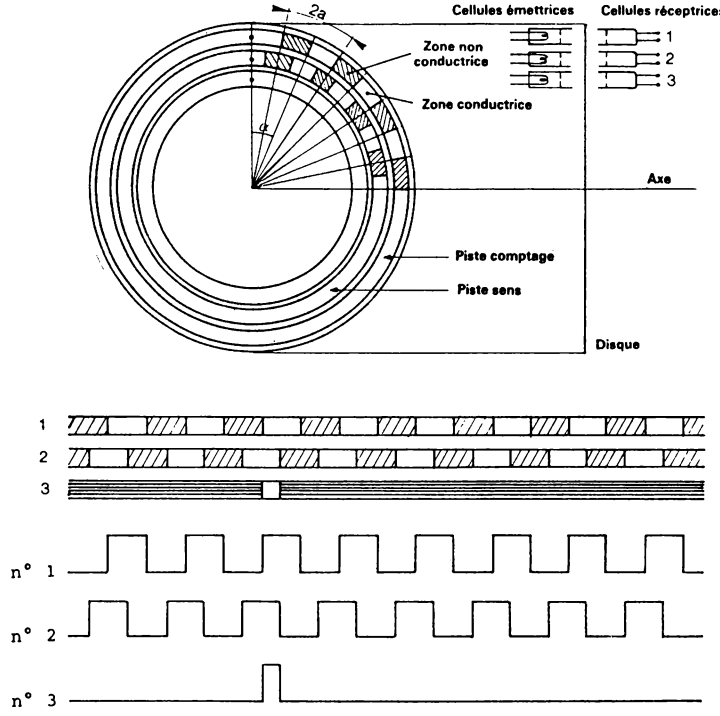


FIGURE XIV – 4. – *Codeur incrémental 2 phases + repère.*

α de ces N secteurs est donc de $\frac{21.600}{N}$ minutes d'arc.

Si N = 2048 (2^{11}) cet angle α vaut 10,5 minutes d'arc. Une couronne pour les codeurs 1 phase (rare) et 2 couronnes pour les codeurs 2 phases sont découpées comme le précise la figure XIV-4 en zones alternativement conductrices ou non. Ces zones sont conductrices ou non de courant si le codeur est du type à contacts. Dans ce cas il y a pour chaque piste un balai fixe.

Ces zones peuvent être également conductrices ou non de lumière (opaque ou transparent) et le décodeur est alors du type optique. Dans ce cas on dispose des émetteurs de lumière, à filament ou optoélectroniques, d'un côté du disque et de l'autre on place des récepteurs photélectriques, et ce pour chaque piste.

Certains types de codeurs sont équipés d'une troisième couronne présentant une seule zone conductrice plus petite que les précédentes et destinée

à repérer une position particulière.

Pour chaque passage d'un secteur au suivant, il y a une transition de niveau, de tension ou de lumière, et on peut donc disposer d'un front de tension dans le cas d'un contact ou d'un phototransistor ou d'un front de courant dans le cas où le récepteur est une photodiode. Pour éviter que la durée de cette transition ne dépende de la vitesse de rotation on utilisera en général un circuit de remise en forme, ou trigger de Schmidt, de façon à disposer d'un signal de sortie à fronts raides.

Néanmoins certains types de codeurs sont conçus pour délivrer une tension approximativement sinusoïdale dont la fréquence est égale à N fois la fréquence de rotation de l'axe.

De toute façon que le signal de sortie soit sinusoïdal ou rectangulaire, sa vitesse angulaire ω est N fois supérieure à celle du disque (Ω). Si n_t est le nombre de tours par seconde :

$$\Omega = 2\Pi.n_t r/s \text{ et il vient } \omega = 2\Pi f = N\Omega = 2\Pi.N.n_t r/s$$

Pour exploiter l'information fournie par un senseur (cellule ou balai) il faut employer nécessairement un accumulateur pour stocker chaque transition.

Un compteur électronique constitué de x étages pourra enregistrer jusqu'à 2^x-1 impulsions et la valeur de x sera choisie en fonction du nombre maximum de rotations possibles. Ainsi un déplacement angulaire Θ repéré par rapport à une position d'origine, à laquelle correspond par exemple une remise à zéro du compteur, donnera un contenu numérique B dans le compteur tel que :

$$\Theta = B.\alpha = B.\frac{2\Pi}{N}$$

Si l'axe peut tourner indifféremment dans un sens ou dans l'autre, l'accumulateur sera un compteur-décompteur. Dans ce cas il est nécessaire de détecter le sens de rotation et c'est le rôle de la deuxième piste dont les zones sont toutes décalées d'un quart de période, avec une certaine tolérance, par rapport aux zones de la première piste.

L'analyse de la séquence des états simultanés des 2 pistes permet en effet de dire si la rotation se fait dans le sens direct ou dans le sens inverse (figure XIV-5).

Sens de rotation ↶	Sens de rotation ↷
signal A 011001100.....	signal A 001100110.....
signal B 001100110.....	signal B 011001100.....
⟶ t	⟶ t

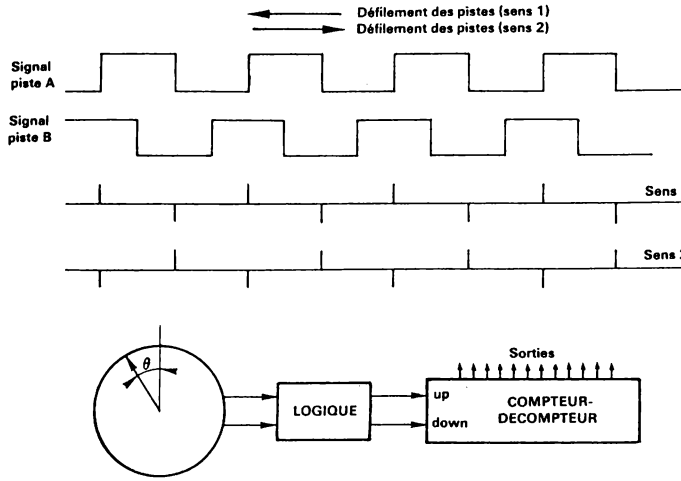


FIGURE XIV – 5. – *Codeur incrémental 2 phases et logique associée.*

Une application typique du codeur incrémental est la mesure de la vitesse moyenne de rotation d'un axe. Il suffit en effet de remettre à zéro le compteur à un instant déterminé par une commande externe et d'arrêter le comptage au bout d'un laps de temps Δt. Si B est l'information binaire contenue dans le compteur, la vitesse angulaire moyenne de l'axe est donnée par :

$$\omega_m = \frac{B.\alpha}{\Delta t} = \frac{B}{\Delta t}\,\frac{2\Pi}{N} \quad \text{rad/s}$$

avec une erreur maximum de $\frac{1}{B}$ puisque B est obtenue avec une incertitude égale au dernier bit (LSB).

Une possibilité de détecter le sens de rotation à l'aide du couple signal A signal B consiste à utiliser les impulsions dérivées du signal A (impulsion $\frac{dA}{dt}$ - figure XIV-5) et de les orienter vers l'entrée up ou vers l'entrée down du compteur-décompteur suivant la phase de B (par rapport à A). En effet l'analyse des signaux A et B montre que les impulsions positives $\frac{dA}{dt}$ ont toujours lieu quand B = 0 et les négatives quand B = 1, ceci pour le sens 1 du défilement des pistes, l'inverse étant vrai pour l'autre sens de défilement (sens 2). La voie up du compteur recevra les impulsions positives $\frac{dA}{dt}$ quand B = 0 et les impulsions négatives $\frac{dA}{dt}$ quand B = 1. La voie down recevra les impulsions positives $\frac{dA}{dt}$ quand B = 1 et les impulsions négatives $\frac{dA}{dt}$ quand B = 0. On notera que les impulsions négatives sont inversées pour les rendre utilisables et ceci a pour résultat de doubler la résolution. Le circuit logique est dans ces conditions celui représenté à la figure XIV-6.

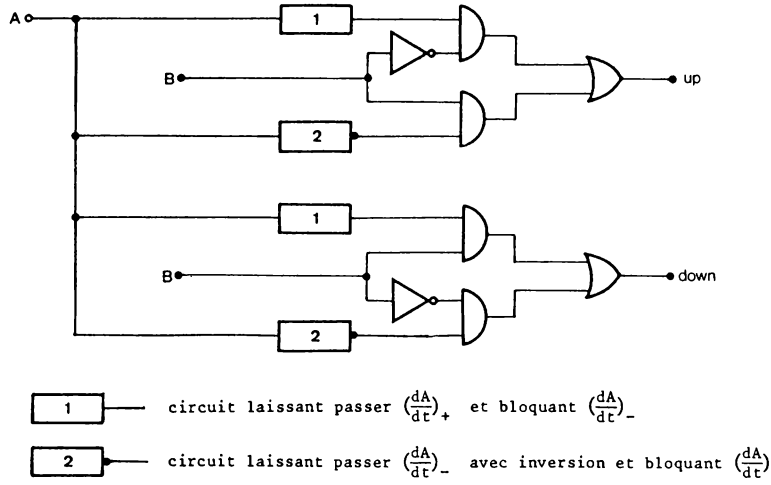


FIGURE XIV – 6. – *Circuit logique pour codeur incrémental 2 phases*

CARACTERISTIQUES obtenues couramment avec un codeur optique.

Résolution :	2^7 à 2^{12} impulsions par tour
Nombre de pistes :	2 déphasées de 90° + 1 pour repère
Déphasage entre pistes :	90° ± 30°
Vitesse maximum de rotation :	60 à 400 tours/seconde
Inertie présentée :	4 à 50 g cm^2
Couple résistant :	5 à 10 g cm
Durée de vie :	40.000 heures (filament)
	(très supérieure pour une diode As Ga)

REMARQUE

Si l'ensemble codeur incrémental et compteur-décompteur est utilisé dans un système numérique à multi entrées et que l'on désire effectuer une lecture asynchrone avec le mouvement de l'axe, une méthode consistera à utiliser un compteur Gray. Il sera ainsi possible à l'unité centrale d'interroger à tout instant ce périphérique et d'obtenir instantanément la réponse sans risquer de prélever une information erronée de plus de 1 LSB.

XIV-3-2) CODEUR ABSOLU

La figure XIV-7 présente un disque équipant un codeur absolu qui aurait une résolution de 1/16, valeur relativement faible qui n'est choisie que pour faciliter la clarté de la figure. Le disque a donc été divisé en 16 secteurs égaux d'ouverture 22°,5 ; il est composé de 4 pistes ($2^4 = 16$).

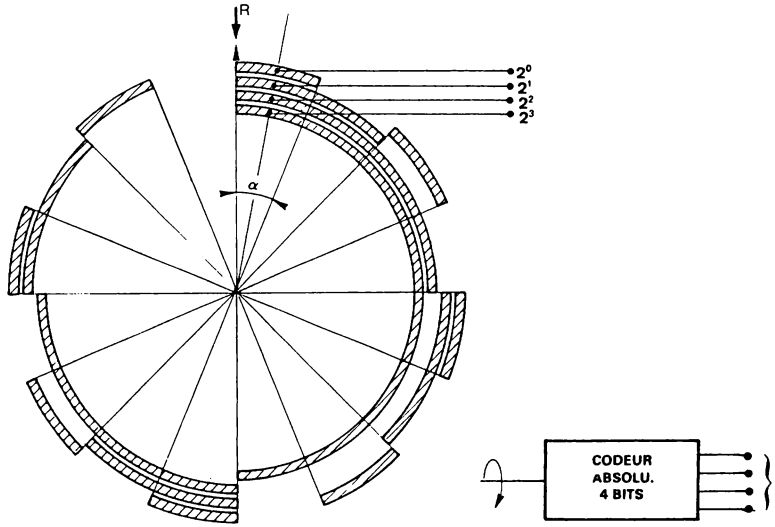


FIGURE XIV – 7. – *Codeur absolu de résolution 1/16.*

La piste la plus excentrée est réservée au bit de poids le plus faible (LSB) puisque c'est lui qui change d'état le plus souvent et la piste la plus proche du centre est celle du bit de plus fort poids (MSB). On peut donc répartir sur ces 16 secteurs et à l'aide des 4 pistes, les 16 combinaisons représentant les 16 expressions binaires de 0000 à 1111. Il suffit pour cela de remplacer l'état 1 par une zone conductrice, de courant ou de lumière, et un 0 par une zone non conductrice.

D'une façon générale si N est le nombre de secteurs (en général $N = 2^n$ ou $N = 10^x$) la piste la plus excentrée est composée de N secteurs alternativement conducteurs et non conducteurs. Comme l'ensemble des N combinaisons possibles recouvre toute la circonférence la résolution théorique de $\frac{1}{N}$ signifie que la résolution angulaire est de $\frac{2\pi}{N}$.

Pour lire les n états correspondants aux n pistes il faut naturellement n senseurs, et de même que pour les codeurs incrémentaux ces senseurs peuvent être des balais (codeurs à contacts) ou des phototransistors ou photodiodes (codeurs optiques).

Les n senseurs sont fixés sur la carcasse du codeur tandis que le disque, solidaire de l'axe, est libre. Dans ces conditions les senseurs occupant la position indiquée à la figure XIV-7, la position angulaire du disque, donc de l'axe, tel qu'il est représenté provoque une lecture égale à 0000. Ceci sera encore vrai si le disque subit une rotation de plus ou moins

$\frac{\alpha}{2}$, α étant l'angle d'ouverture d'un secteur soit ici $\alpha = \frac{2\Pi}{16}$ et plus généralement $\frac{2\Pi}{2^n}$.

L'aiguille solidaire de l'axe qui sert à repérer sa position angulaire, est donc positionnée en face du repère R qui définit la position origine 0. On constate que l'erreur de quantification peut être au moins de $\pm \frac{\alpha}{2}$ ou d'une façon générale : $\pm \frac{1}{2} \frac{2\pi}{N}$ ($\pm \frac{1}{2}$ LSB).

Cette imprécision du demi dernier bit est inhérente à la quantification. Il s'y ajoute les erreurs de construction, positionnement des secteurs et tolérance sur leur longueur, ainsi que les erreurs de détection, incertitude de la réponse du senseur. L'ensemble de ces erreurs est généralement rendu inférieur au dernier bit.

Toujours dans le cas de la figure XIV-7, si le disque tourne d'un angle supérieur à $\frac{\alpha}{2}$, l'information binaire progresse de 0000 à 0001 et pour une rotation supplémentaire α l'information devient 0010 etc...

D'une façon générale si B est la valeur binaire lue par les senseurs, l'angle Θ est tel que $\Theta = \frac{B}{N} \times 2\Pi$ avec une erreur globale généralement de l'ordre de $\pm \frac{2\Pi}{N}$, la résolution théorique étant elle-même de $\frac{2\pi}{N}$.

Ambiguïté de la lecture.

On sait que le code binaire naturel présente l'inconvénient suivant. Quand on passe de certaines valeurs binaires à la suivante, ou à la précédente, par exemple de 10000 à 01111, tout ou partie de l'ensemble des digits subit une modification. Cette transition peut être extrêmement brève (30 ns) si elle est effectuée par un organe électronique rapide tel qu'un compteur synchrone. Mais il n'en est pas de même d'un organe électromécanique comme le codeur à disque qui de plus, peut très bien s'arrêter au moment où la transition s'effectue. Il n'est donc pas possible d'exploiter directement le système simple tel qu'il vient d'être décrit. En effet les bords de chaque secteur et de chaque senseur présentent nécessairement des irrégularités et de plus l'alignement de ceux-ci se fait avec une certaine tolérance qui aussi faible soit-elle, ne peut pas être nulle.

Cette ambiguïté de lecture doit donc être éliminée.

Deux méthodes sont généralement utilisées présentant chacune des avantages et des inconvénients.

1) Utilisation d'un code où un seul digit change à chaque accroissement élémentaire (+1) de l'information binaire.

Exemple : code Gray (code non pondéré).

2) Utilisation d'un dessin modifié pour inscrire le code binaire, en général le code binaire naturel, le code BCD ou le code BCD excédent 3, la lecture étant assurée par un nombre double de senseurs disposés suivant

une loi bien précise.

XIV-3-2-1) UTILISATION DU CODE GRAY

Si le dessin des pistes est fait selon un des codes réfléchis, Gray, BCD réfléchi ou BCD réfléchi + 3 (voir tableau de la figure XIV-8) le problème des faux états est résolu. Il ne reste plus comme erreur de lecture, en sus de l'erreur obligatoire de $\pm \frac{1}{2}$ LSB due à la quantification, que la somme des erreurs de fabrication : tolérance sur la position et la longueur des zones, position des senseurs, déformation du disque etc... La précision globale du système sera dans ces conditions de l'ordre de ± LSB.

Le code Gray n'étant pas pondéré il est nécessaire d'effectuer une conversion gray-binaire pour utiliser cette information dans un ensemble de calcul numérique. Si le système est bâti autour d'un calculateur cette conversion pourra être exécutée par un sous-programme (software).

Valeur décimale	Code Gray (binaire réfléchi)	Code Binaire Décimal Réfléchi		Code Binaire Décimal Réfléchi excédent 3	
0	0 0 0 0 0	0 0 0 0	0 0 0 0	0 0 1 0	0 0 1 0
1	0 0 0 0 1	0 0 0 0	0 0 0 1	0 0 1 0	0 1 1 0
2	0 0 0 1 1	0 0 0 0	0 0 1 1	0 0 1 0	0 1 1 1
3	0 0 0 1 0	0 0 0 0	0 0 1 0	0 0 1 0	0 1 0 1
4	0 0 1 1 0	0 0 0 0	0 1 1 0	0 0 1 0	0 1 0 0
5	0 0 1 1 1	0 0 0 0	0 1 1 1	0 0 1 0	1 1 0 0
6	0 0 1 0 1	0 0 0 0	0 1 0 1	0 0 1 0	1 1 0 1
7	0 0 1 0 0	0 0 0 0	0 1 0 0	0 0 1 0	1 1 1 1
8	0 1 1 0 0	0 0 0 0	1 1 0 0	0 0 1 0	1 1 1 0
9	0 1 1 0 1	0 0 0 0	1 1 0 1	0 0 1 0	1 0 1 0
10	0 1 1 1 1	0 0 0 1	1 1 0 1	0 1 1 0	1 0 1 0
11	0 1 1 1 0	0 0 0 1	1 1 0 0	0 1 1 0	1 1 1 0
12	0 1 0 1 0	0 0 0 1	0 1 0 0	0 1 1 0	1 1 1 1
13	0 1 0 1 1	0 0 0 1	0 1 0 1	0 1 1 0	1 1 0 1
14	0 1 0 0 1	0 0 0 1	0 1 1 1	0 1 1 0	1 1 0 0
15	0 1 0 0 0	0 0 0 1	0 1 1 0	0 1 1 0	0 1 0 0
16	1 1 0 0 0	0 0 0 1	0 0 1 0	0 1 1 0	0 1 0 1
17	1 1 0 0 1	0 0 0 1	0 0 1 1	0 1 1 0	0 1 1 1
18	1 1 0 1 1	0 0 0 1	0 0 0 1	0 1 1 0	0 1 1 0
19	1 1 0 1 0	0 0 0 1	0 0 0 0	0 1 1 0	0 0 1 0
20	1 1 1 1 0	0 0 1 1	0 0 0 0	0 1 1 1	0 0 1 0
21	1 1 1 1 1	0 0 1 1	0 0 0 1	0 1 1 1	0 1 1 0
22	1 1 1 0 1	0 0 1 1	0 0 1 1	0 1 1 1	0 1 1 1
23	1 1 1 0 0	0 0 1 1	0 0 1 0	0 1 1 1	0 1 0 1

FIGURE XIV – 8. – *Codes réfléchis et dessin des pistes.*

Si pour des raisons de rapidité on ne peut choisir cette solution il y a lieu de faire cette conversion à l'aide de circuits cablés (hardware). Cela représente un intérêt surtout dans le cas où plusieurs informations Gray sont à convertir.

Le passage d'une expression numérique exprimée en code Gray (G) à une expression numérique exprimée en code binaire pur (B) se fait en utilisant l'équation logique suivante qui donne la relation liant le bit de rang (i-1) du code Gray (G_{i-1}) au bit de rang (i-1) du code binaire pur (B_{i-1}), connaissant le bit de rang i du code binaire pur : $B_{i-1} = G_{i-1} \cdot \overline{B_i} + \overline{G_{i-1}} \cdot B_i$. ce qui donne un OU exclusif entre les bits G_{i-1} et B_i : $B_{i-1} = G_{i-1} \oplus B_i$.

Comme les bits de poids le plus fort (MSB) sont les mêmes dans les deux codes, si n+1 est le nombre de bits utilisés les bits MSB sont $B_n = G_n$. D'où les n relations :

$$B_{n-1} = G_{n-1} \oplus B_n = G_{n-1} \oplus G_n$$
$$B_{n-2} = G_{n-2} \oplus B_{n-1}$$
$$\text{- - - - - - - - - - - - - -}$$
$$B_0 = G_0 \oplus B_1$$

Inversement la conversion binaire naturel à Gray se réalise à partir de l'équation logique générale :

$$G_{i-1} = B_i \cdot \overline{B_{i-1}} + \overline{B_i} \cdot B_{i-1} = B_i \oplus B_{i-1}$$

avec toujours : $G_n = B_n$(MSB)

La figure XIV-9 donne les connexions à réaliser entre les différentes portes OU exclusif pour faire la conversion Gray - binaire pur. D'autre part puisque le résultat pour le bit de rang i n'est vrai que lorsque le bit de rang supérieur i+1 est stabilisé, on note un retard entre le moment où l'on applique le code Gray et le moment où le résultat en binaire est disponible.

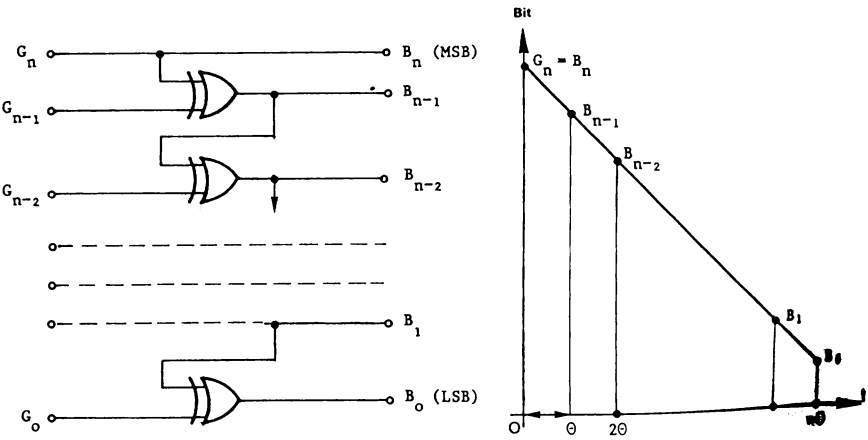


FIGURE XIV – 9. – *Conversion Gray-Binaire et diagramme des temps.*

Le retard total est celui avec lequel on obtient le bit LSB (B_0) à savoir $t_r = n\theta$ pour n+1 bits utilisés, θ étant le retard d'une porte OU exclusif ; par exemple θ = 30 ns et n + 1 = 12 soit un temps de retard de t_r = 330 ns.

Pour conserver l'avantage que procure le code Gray lorsque le système est interrogé d'une façon asynchrone, il y a lieu de mettre en mémoire l'information Gray *avant* de faire la conversion.

L'organisation d'un système qui traite plusieurs informations numériques en Gray provenant de capteurs différents, est alors celle représentée à la figure XIV-10. Le diagramme des temps, représente les différents signaux échangés entre une unité centrale et l'ensemble de conversion Gray-binaire constitué en fait d'un multiplexeur digital, d'un registre n bits et d'un décodeur Gray binaire.

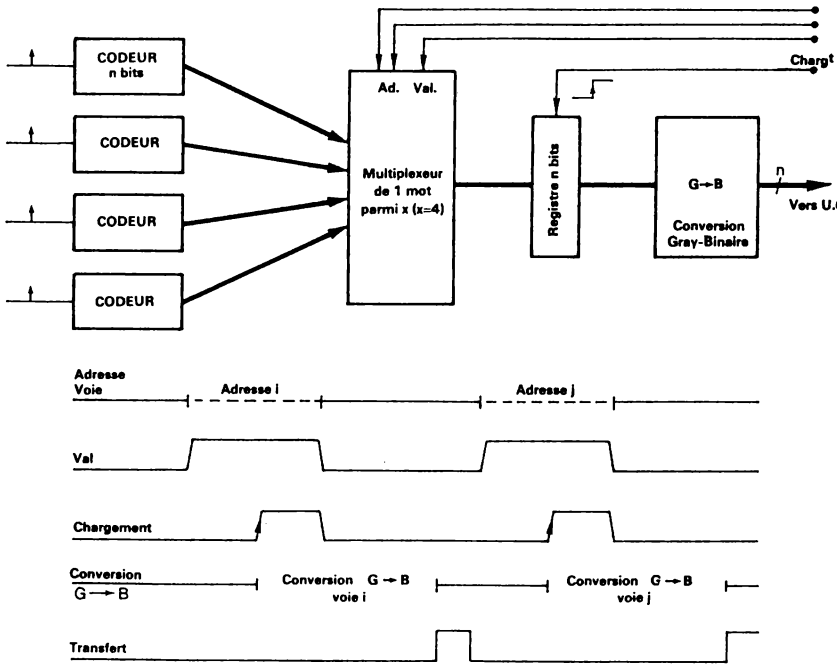


FIGURE XIV – 10. – *Multiplexage et transfert de positions angulaires après conversion Gray-Binaire*

S'il y a x capteurs de n bits le multiplexeur digital délivre sur sa sortie les n bits d'un capteur parmi x, sélectionné grâce à l'adresse et

au signal de validation Val délivrés par l'unité de commande. Les informations Gray étant toujours disponibles à l'entrée du multiplexeur, la réponse de celui-ci peut être emmagasinée dans un registre n bits (signal "chargement"). La conversion Gray-binaire peut alors se faire, délivrant le résultat avec un retard t_r, suivi du transfert. L'adresse de la voie suivante peut ensuite être envoyée pour traiter un autre capteur.

XIV-3-2-2) UTILISATION DE DOUBLES BALAIS

a) Codeur à balayage U (U- Scan Encoder)

Dans cette méthode le dessin des secteurs sur le disque est réalisé suivant le code binaire naturel. Mais une double rangée de senseurs judicieusement disposés permet de lever l'ambiguïté. Seul le bit de plus faible poids (LSB) n'a qu'un balai. Les autres bits B_1 à B_n sont lus par l'un des deux balais en fonction de la position du disque. Pour cela les deux colonnes de senseurs sont disposées symétriquement par rapport à l'axe OS_0 (rayon dans le cas d'un disque) S_0 étant la position du senseur unique correspondant au bit LSB. Et la distance d'une colonne de senseurs à cet axe est égale à la moitié de la longueur du secteur utilisé pour le dernier bit (LSB).

La figure XIV-11 représente, suivant un développement rectiligne, la position des senseurs et celle du disque avec l'exemple du passage de la position 15 à 16 devant le repère R.

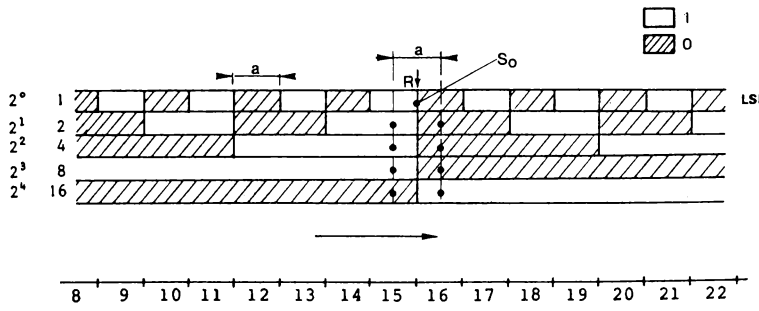


FIGURE XIV – 11. – *Principe du balayage en U.*

Il ressort de cette organisation que la position du balai S_0 peut être utilisée pour indiquer si l'information binaire doit être lue à l'aide des balais "à gauche" ou des balais "à droite". En effet si le balai S_0 est sur une zone 0 Log, on constate que la lecture effectuée par les balais "à droite" est juste. De plus, ces balais étant éloignés d'au moins $\frac{a}{2}$ ($\frac{LSB}{2}$) de la zone de transition la plus proche, l'alignement des balais et l'alignement des zones de transition pourront présenter quelques irrégularités (inférieures à $\frac{LSB}{2}$) sans mettre en cause la lecture.

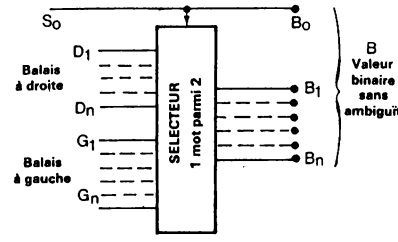
Dès que le balai S_0 passe sur la zone voisine (1 Log) la lecture doit se faire avec les balais "à gauche" et les mêmes remarques peuvent être faites. Dans le cas précis de la position représentée à la figure XIV-11, si $S_0 = 0$ le bon code est délivré par les balais à droite (0111) et si $S_0 = 1$ il est donné par les balais à gauche (1000).

Ainsi donc :

si $S_0 = 0$ lire avec les balais à droite,

et

si $S_0 = 1$ lire avec les balais à gauche.



Si on appelle $D_1D_2 \ldots D_n$ les bits délivrés par les senseurs situés à droite et $G_1G_2 \ldots G_n$ les bits délivrés par les senseurs à gauche (du balai S_0) le système devra sélectionner un mot de n bits parmi 2 en fonction de l'état de S_0.

L'information binaire en sortie est donc :

$$B = (S_0, D_1, D_2 \ldots\ldots D_n) \text{ si } S_0 = 0$$
$$B = (S_0, G_1, G_2 \ldots\ldots G_n) \text{ si } S_0 = 1$$

Ce circuit de sélection pourra être placé à l'intérieur du codeur. Dans ces conditions on dit que le codeur délivre l'information angulaire sous la forme "binaire naturel sans ambiguïté".

Si a est la longueur du secteur correspondant au LSB on voit que l'on peut partager les erreurs entre : la distance de chaque senseur à l'axe de symétrie passant par S_0 qui peut être de $\frac{a}{2} \pm \frac{a}{4}$ et la position de chaque transition qui peut également être définie à $\pm \frac{a}{4}$.

Ceci ne tient pas compte de l'épaisseur de la zone de lecture du senseur mais montre simplement que l'alignement des senseurs n'a plus besoin d'être très rigoureux.

Malgré tout, dans le cas d'un disque, ces senseurs sont alignés suivant un rayon. A mesure que l'on s'approche du centre, les distances se font plus petites et donc les difficultés de positionnement plus grandes. C'est là un des principaux facteurs de limitation du système.

b) Balayage en V (V- Scan Encoder)

Ce procédé fait également appel à 2 senseurs par piste toujours disposés symétriquement 2 à 2 par rapport au rayon passant par le senseur qui donne le bit LSB. Toutefois ces senseurs ne sont plus alignés mais disposés en éventail, ou en V, comme le précise la figure XIV-12. La distance qui sépare chaque senseur de l'axe de symétrie est donnée par la règle suivante.

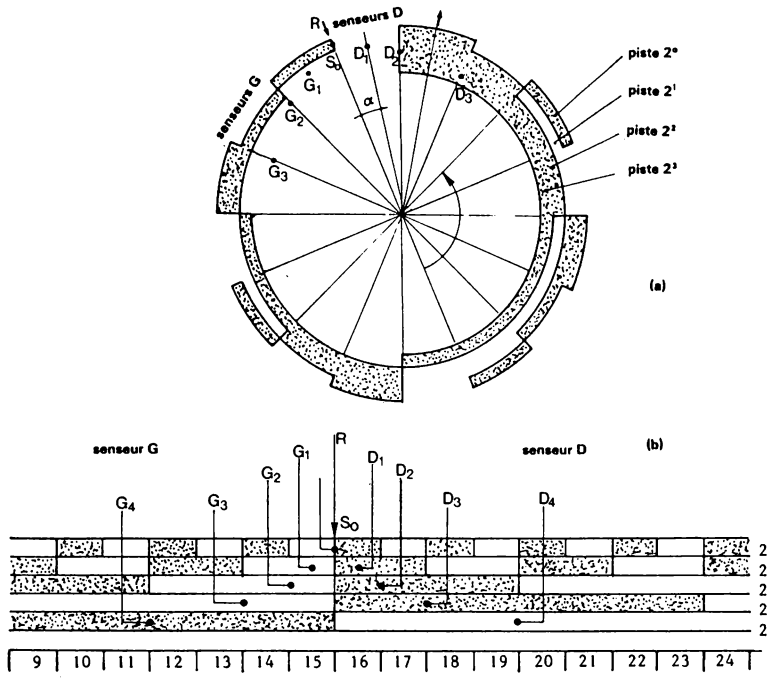


FIGURE XIV – 12. – *Codeur absolu à balayage en V.*

Les deux senseurs de la piste de rang i (poids 2^i) sont disposés à une distance de cet axe égale à la moitié de la longueur du secteur correspondant à la piste immédiatement supérieure (rang i-1, poids 2^{i-1}).

La figure XIV-12(a) donne la position de ces senseurs pour un codeur à disque et la figure XIV-12(b) pour une règle (mesure des déplacements rectilignes). Pour que la lecture soit automatiquement faite sans ambiguïté le senseur qui doit lire est déterminé de la façon suivante :

Quand le bit B_i de rang i, délivré par le senseur convenable à partir de la piste de poids 2^i, est ZERO l'état logique du bit de rang i+1 (poids 2^{i+1}) est donné par le senseur de droite (D_{i+1}). Si ce bit B_i est UN c'est le senseur de gauche (G_{i+1}) qui est vrai.

Comme le bit LSB est donné par le seul senseur S_0 il vient :

Si $S_0 = 0$ $\quad B_1 = D_1$ $\quad$ Si $B_1 = 0$ $\quad B_2 = D_2$
Si $S_0 = 1$ $\quad B_1 = G_1$ $\quad$ Si $B_1 = 1$ $\quad B_2 = G_2$ etc...

Si le support est une règle on constate que chaque secteur de la

piste de poids 2^i à une longueur double par rapport aux secteurs de la piste de poids 2^{i-1}. Si le support est un disque cette progression géométrique s'applique à l'angle d'ouverture du secteur.

Dans ces conditions on observe que le dispositif en V - Scan n'exige pas une précision de positionnement des senseurs aussi importantes que le dispositif U - Scan.

On peut le vérifier en faisant tourner le disque de la figure XIV-12(a). La mesure de l'angle se fait à l'aide de l'aiguille, solidaire de l'axe, par rapport au repère R.

Pour la disposition occupée dans le cas de cette figure, l'information aura l'une des deux valeurs suivantes :

1) Si $S_0 = 0$ alors $B_1 = D_1 = 1$
puisque $B_1 = 1$ alors $B_2 = G_2 = 1$
puisque $B_2 = 1$ alors $B_3 = G_3 = 1$
d'où l'information 1110 = 14 soit $(14 \times \frac{2\pi}{16})$

2) Si $S_0 = 1$ alors $B_1 = G_1 = 1$
puisque $B_1 = 1$ alors $B_2 = G_2 = 1$
puisque $B_2 = 1$ alors $B_3 = G_3 = 1$
d'où l'information 1111 = 15 soit $(15 \times \frac{2\pi}{16})$

La transition se fait donc au moment où le balai S_0 passe de la zone 0 à la zone 1 et les balais qui sont alors choisis ne sont pas au voisinage d'une zone de transition.

Si à présent on fait tourner le disque de presque + LSB c'est-à-dire d'un angle juste inférieur à + $\frac{2\pi}{16}$ dans le sens de la flèche, le senseur D_1 passe sûrement de la zone 1 à la zone 0 mais le senseur S_0 est encore dans la zone 1. Il vient :

$S_0 = 1$ donc $B_1 = G_1 = 1$
puisque $B_1 = 1$ alors $B_2 = G_2 = 1$
puisque $B_2 = 1$ alors $B_3 = G_3 = 1$
d'où l'information 1111 = 15 $(15 \times \frac{2\pi}{16})$

Si enfin le disque avait tourné d'un angle légèrement supérieur à l'incrément minimum $(\frac{2\pi}{16})$, le senseur S_0 serait sur la zone 0 et on obtiendrait :

$S_0 = 0$ donc $B_1 = D_1 = 0$
puisque $B_1 = 0$ alors $B_2 = D_2 = 0$
puisque $B_2 = 0$ alors $B_3 = D_3 = 0$
d'où l'information 0000 soit 0^0

En résumé la loi qui sélectionne le balai convenable s'écrit :

$$B_i = G_i \cdot B_{i-1} + D_i \cdot \overline{B_{i-1}}$$

qui s'énonce bien : B_i est égal à G_i (senseur de gauche) si $B_{i-1} = 1$ ou à D_i (senseur de droite) si $B_{i-1} = 0$.

Le bit LSB est toujours donné directement par S_0 ($B_0 = S_0$) et les autres bits B_i sont obtenus à l'aide d'une logique appropriée dont un exemple est donné à la figure XIV-13. P étant un circuit élémentaire répétitif.

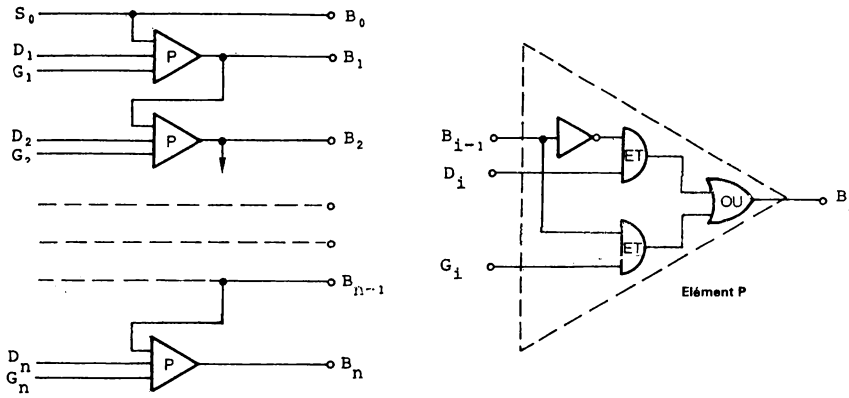


FIGURE XIV – 13.– *Logique de sélection pour le balayage en V.*

Pratiquement, au point de vue de la fabrication, il est beaucoup plus commode d'utiliser des balais alignés.

En conséquence on décale une piste d'une quantité égale à celle que subit le balai. Puisque deux balais sont utilisés on fait correspondre à chaque balai une demi-piste. Le passage d'un montage à balayage en V (V-Scan) au montage qui utilise un disque à pistes décalées (V-disc) et une rangée de 2n-1 balais alignés est représenté à la figure XIV-14. La figure (a) est le montage théorique, la figure (b) une disposition intermédiaire et la figure (c) représente le disque tel qu'il est obtenu après les différents décalages.

Et par rotation de Π d'une demi piste sur deux on peut réaliser un alignement des balais sur un diamètre.

On remarquera que le bit de rang i, excepté le bit LSB, est toujours le résultat d'un choix à faire entre deux balais.

Si cette sélection est faite à l'intérieur du codeur, celui-ci délivre le code binaire naturel avec levée d'ambiguïté. Sinon l'information est transmise sur 2n-1 fils, au lieu de n.

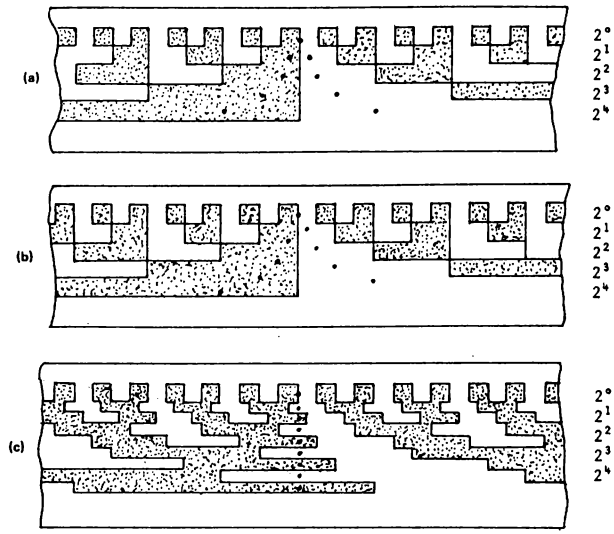


FIGURE XIV – 14.– *Balayage en V : Disque modifié pour l'utilisation de senseurs alignés.*

En résumé on peut faire les remarques suivantes :

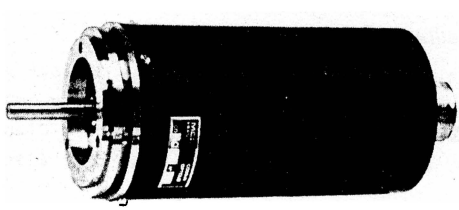
Le code Gray présente l'avantage de ne faire appel qu'à 1 balai par bit et théoriquement peut même donner lieu à une résolution deux fois meilleure à surface de disque égale, puisque le bit LSB ne change que tous les 2 incréments ce qui conduit à une longueur de zone double. Par contre il faut le décoder puisque, non pondéré, il est inutilisable tel quel pour les calculs. Mais les circuits intégrés rendent ce transcodage facile.

Les balayages en U et en V évitent ce transcodage mais ils nécessitent une logique de sélection. D'autre part ces méthodes conduisent à un nombre double de balais et de piste (à section égale) ce qui limite le nombre de bits.

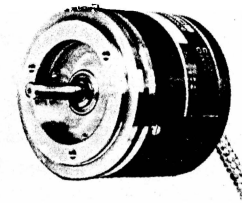
La figure XIV-15 présente un codeur absolu de 13 bits utilisant le code réfléchi (codeur optique) et un disque photogravé (10.000 points, code BCD réfléchi).

c) Caractéristiques.

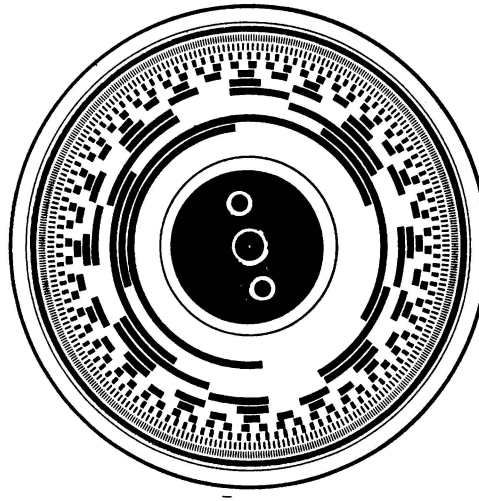
Le développement des techniques optoélectroniques miniatures, phototransistor, diode émettrice de lumière à l'arséniure de gallium ou au phosphure de gallium, permet d'atteindre pour les codeurs optiques des pouvoirs de résolution très élevés et une grande fiabilité. Les caractéristiques pour des codeurs optiques 1 tour peuvent être les suivantes. On verra dans les



Codeur optoélectronique de position 13 bits avec électronique incorporée (Doc. M.C.B. type CO6OB)



Codeur optoélectronique de position 13 bits (Doc M.C.B. type CO6OA)



Disque photogravé pour codeur 1000 points (3 BCD)

FIGURE XIV – 15.– *Codeurs de position (Doc : MCB).*

applications que la résolution peut être augmentée avec des codeurs multi-tours.

Résolution : 14 bits (pour un diamètre de 6,5 cm environ)
Code Gray (ou cyclic code), binaire naturel (sans ambiguïté)
Code BCD (10.000 points par exemple)

Inertie : 35 g.cm^2

Couple résistant : 15 g. cm

Vitesse de rotation : 15.000 tours/minute max.

Température ambiante : -40 à + 70°C.

Durée de vie : 10^9 heures pour des éléments semi-conducteurs émetteurs de lumière, 10^5 pour filament sous-alimenté.

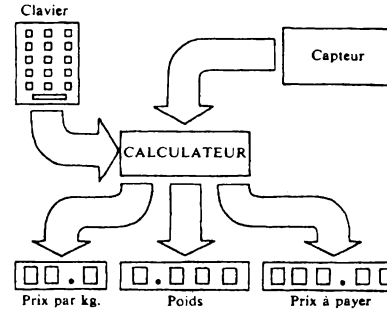
XIV- 4 - APPLICATIONS DES CODEURS A DISQUE

XIV- 4 - 1) AFFICHAGE D'UNE POSITION ANGULAIRE

L'axe du codeur à disque est solidaire de l'axe dont il faut mesurer l'angle de rotation. L'information numérique délivrée par le codeur est convertie par un ensemble de décodeurs BCD décimal. L'utilisation d'un codeur utilisant le code 8421 BCD, avec levée d'ambiguïté, est tout à fait indiquée.

Exemple : Pesage

Il y aura transformation d'un mouvement rectiligne en mouvement circulaire. L'introduction de paramètres variables (prix du kg, etc...) donne lieu à un calcul pour l'affichage automatique du résultat (prix total par exemple). Le code utilisé est par exemple le code BCD réfléchi, pour éviter l'ambiguïté, excédent 3.



XIV- 4 - 2) AFFICHAGE D'UNE POSITION ANGULAIRE DE TRES HAUTE RESOLUTION

Si un axe peut tourner de x tours maximum pour rendre compte de la variation complète du phénomène, le système sera composé d'un codeur incrémental de 2^n points par tour et d'un compteur de capacité $x.2^n$. La résolution sera de $\frac{1}{x.2^n}$.

Dans l'exemple donné à la figure XIV-16 le codeur incrémental est de 2000 points et l'axe peut faire 16 tours. Le nombre de pas total est de 32.000 et le chiffre maximum est donc 31.999. Cinq décades sont utilisées ainsi que 5 décodeurs BCD décimal. Une logique de décision interprète la rotation du disque à partir des deux pistes à 90°.

Pour réaliser un codage de position on pourra également utiliser un ensemble de deux codeurs absolus. Le codeur n° 1, directement relié à l'axe multi-tours, délivre les i derniers bits de l'information numérique globale. Par l'intermédiaire d'une démultiplication $\frac{1}{2^j}$ l'axe du codeur n°2 est commandé. Il délivre les j bits de poids supérieur (i+j = n). Le nombre maximum de tours possibles pour l'axe multi-tours est alors 2^j.

Pour éviter qu'une information gravement erronée ne soit délivrée chaque fois que le disque n° 1 termine un tour, une levée d'ambiguïté est nécessaire tout comme cela est réalisé pour les pistes d'un même codeur. En effet quand l'information du codeur 1 passe de 111...11 à 000...00, simultanément l'information délivrée par le codeur n° 2 doit être incrémentée (+1).

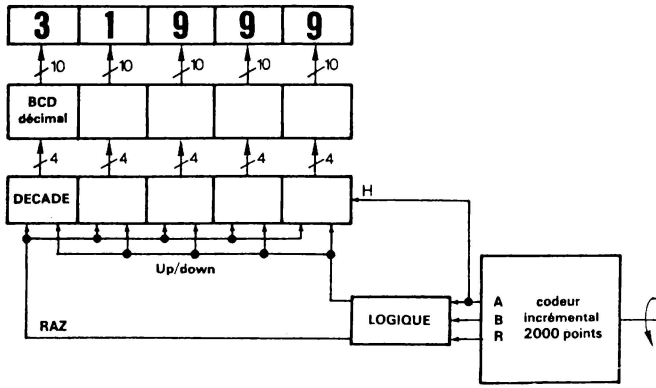
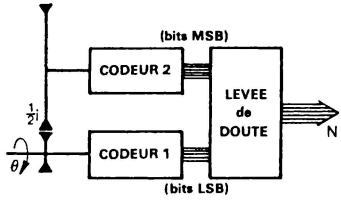


FIGURE XIV – 16.– *Affichage d'une position angulaire de haute résolution.*



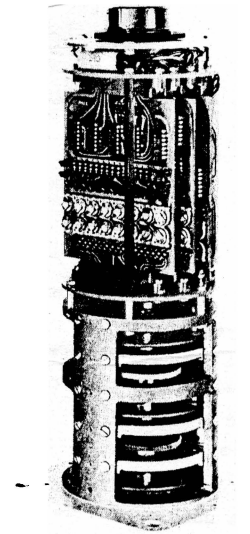


FIGURE XIV – 17.

Codeur optoélectronique à démultiplication pour codage angulaire sur plusieurs tours (Doc MCB type COD90 10 7 points).

XIV–4–3) CONVERSION SYNCHRO NUMERIQUE

Une conversion synchro-numérique peut être réalisée comme l'indique la figure XIV-18.

Un synchro-transmetteur (CT) envoie sur 3 fils l'information angulaire (analogique) correspondant à la position de son axe. Un synchro récepteur (CX) reçoit cette information qui alimente son stator (3 phases), et son rotor est le siège d'une tension induite s'il n'occupe pas la position θ correspondante.

Un amplificateur A amplifie alors cette tension qui commande un servo-

moteur générateur suivi d'une démultiplication de rapport N/1. Le rotor du synchro récepteur étant solidaire de l'axe de sortie du réducteur, le système ne s'arrête que lorsque l'angle θ est affiché par l'axe. Un codeur absolu solidaire de cet axe délivre alors l'information numérique équivalente à l'angle θ.

Avec un codeur absolu 13 bits on peut donc atteindre une résolution de $\frac{360°}{2^{13}} \approx 2{,}6$ minutes d'arc. La réponse du système est naturellement liée à celle du servomécanisme.

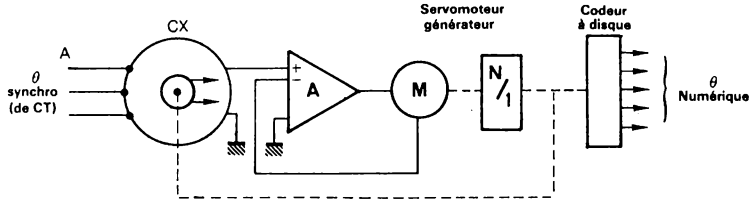


FIGURE XIV – 18.– *Conversion synchro-numérique.*

XIV - 5 - CONVERSION A/N DE TENSIONS CONTINUES

Le convertisseur A/N de tensions continues est un dispositif important pour les systèmes d'acquisition de données car très souvent il sera possible de traduire l'évolution d'un phénomène quelconque sous la forme électrique, tension continue ou alternative, à l'aide de capteurs appropriés. Si le signal généré par le capteur est une porteuse, 400 Hz par exemple, modulée en amplitude, une détection crête de celui-ci ramènera le problème à une conversion A/N de tensions continues.

Ces systèmes purement électroniques sont capables d'atteindre de hautes vitesses. Néanmoins plusieurs techniques ont été développées de manière à résoudre au mieux des cas aussi différents que la conversion A/N de signaux vidéo (10 et même 100 MHz) avec quelques bits et la conversion de signaux T.B.F. sur 16 bits.

XIV-5-1) CONVERSION A/N PARALLELE

C'est le type de conversion le plus rapide puisque tous les bits de l'expression N sont calculés simultanément, d'où l'expression "conversion A/N parallèle". Mais cette rapidité s'obtient au détriment du nombre de composants nécessaires lequel progresse sensiblement en 2^n ! Cette technique est donc limitée au cas où une faible résolution suffit (5 bits) et où la rapidité est primordiale (vitesse de conversion 50 à 100 ns).

PRINCIPE

La quantité analogique d'entrée A étant une tension continue, celle-ci sera désormais désignée par V_E.

La conversion A/N parallèle consiste à faire 2^n-1 comparaisons simultanées pour détecter la valeur N, parmi les 2^n possibilités, qui est la plus proche de V_E (ou $\frac{V_E}{E}$). A ces 2^n valeurs numériques de N correspondent 2^n valeurs analogiques qui ont pour amplitude v.i avec i prenant toutes les valeurs entières de 0 à 2^n-1 et v représentant l'incrément minimum de tension analogique. On est donc conduit à comparer simultanément la tension d'entrée V_E aux valeurs étalons :

$$\frac{v}{2}\ \frac{3v}{2}\ \frac{5v}{2}\ \frac{7v}{2}\ \ldots\ldots\ldots\ldots\ (2^n - \frac{3}{2})v$$

pour connaître la valeur N cherchée à $\pm \frac{1}{2}v$ ($\pm \frac{1}{2}$ LSB).

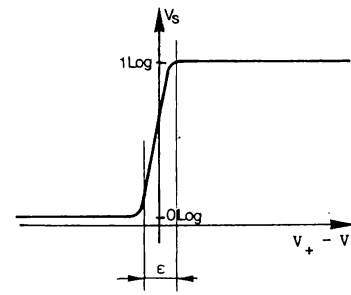
On notera de plus que la valeur maximum de V_E qui peut être acceptée est $V_{E_M} = (2^n\text{-}1)v + \frac{v}{2}$ soit $V_{E_M} = (2^n - \frac{1}{2})v$. A cette valeur correspondra en effet l'expression maximum N = (111...11) = (2^n-1) et l'erreur de quantification sera + $\frac{1}{2}$ LSB(+ $\frac{v}{2}$). Il faut donc que le convertisseur soit constitué de 2^n-1 tensions de référence et autant de comparateurs. Si n = 5, le volume est déjà assez important...

Réalisation pour n = 3

Le convertisseur A/N de 3 bits à fonctionnement parallèle représenté à la figure XIV-19 est composé de 3 parties :

- un réseau de résistances qui élabore les différentes valeurs de référence : $\frac{v}{2}$, $3\frac{v}{2}$ ..... $13\frac{v}{2}$. On suppose que la tension V_E est unipolaire donc comprise entre 0 et 7,5 v.
- un ensemble de n-1 comparateurs rapides C
- une logique qui calcule l'information numérique ($I_2 I_1 I_0$) à partir des résultats Δ donnés par les 7 comparateurs (Δ_i est la sortie du comparateur C_i).

Ces comparateurs sont tels que leur sortie Δ est 1 (+ 5 Volts) si l'entrée + est à un potentiel supérieur à l'entrée - et 0 dans le cas inverse. Il existe malgré tout une zone d'incertitude dont la largeur ε est d'autant plus petite que le gain du comparateur $G = \frac{\Delta V_S}{V_+ - V_-}$ est grand. Dans cette zone, Δ oscillera entre 1 et 0.



COURBE DE TRANSFERT D'UN COMPARATEUR DE TENSIONS A GRAND GAIN

La tension V_E est appliquée à toutes les entrées +. Chaque comparateur reçoit de plus sur son entrée - une des 7 tensions de référence V_R suivant son rang. Connaissant la valeur analogique de V_E, on peut la situer dans une des 8 zones élémentaires (voir échelle d'équivalence A/N de la figure XIV-19). Si par exemple V_E est compris entre 4,5 et 5,5 v, l'information numérique doit être 101 et les résultats Δ seront les suivants :

$\Delta_7 = 1$ puisque $V_E > V_{R_7}$ $\quad V_E > 4{,}5$ et $V_{R_7} = 0{,}5$ v
$\Delta_6 = 1$ puisque $V_E > V_{R_6}$ $\quad$ " $\quad V_{R_6} = 1{,}5$ v
$\Delta_5 = 1$ puisque $V_E > V_{R_5}$ $\quad$ " $\quad V_{R_5} = 2{,}5$ v
$\Delta_4 = 1$ puisque $V_E > V_{R_4}$ $\quad$ " $\quad V_{R_4} = 3{,}5$ v
$\Delta_3 = 1$ puisque $V_E > V_{R_3}$ $\quad$ " $\quad V_{R_3} = 4{,}5$ v
$\Delta_2 = 0$ puisque $V_E < V_{R_2}$ $\quad$ " $\quad V_{R_2} = 5{,}5$ v
$\Delta_1 = 0$ puisque $V_E < V_{R_1}$ $\quad$ " $\quad V_{R_1} = 6{,}5$ v

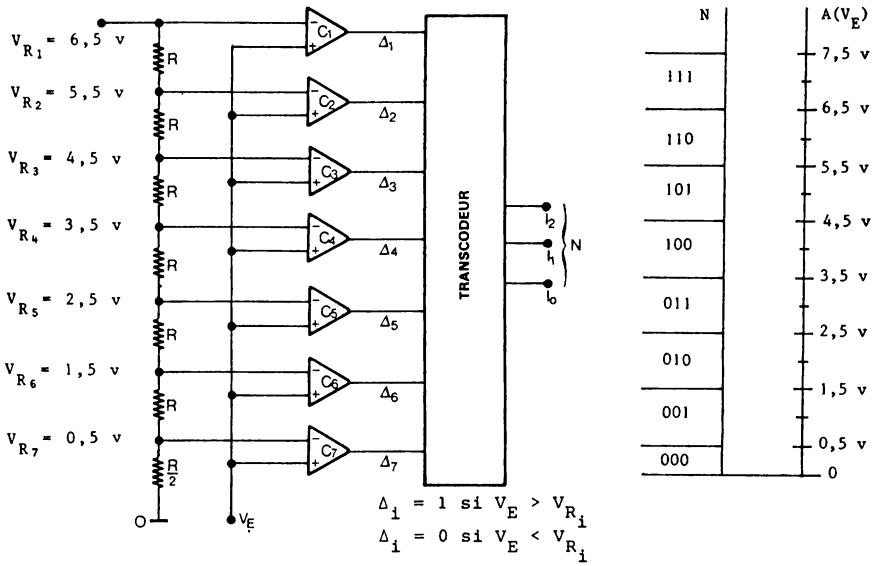


FIGURE XIV – 19.– *Convertisseur A/N de 3 bits à fonctionnement parallèle.*

A l'information Δ = (0011111) doit correspondre l'information N = (101) à la sortie du transcodeur. Pour chacune des 8 zones élémentaires, on peut de même établir la correspondance $\Delta \Rightarrow N$. On forme alors une table de vérité de laquelle on extrait les équations logiques qui donnent $I_2 I_1$ et I_0; on obtient :

$$I_2 = \Delta_4$$
$$I_1 = \Delta_2 + \Delta_6.\overline{\Delta_4}$$
$$I_0 = \Delta_1 + \Delta_3.\overline{\Delta_2} + \Delta_5.\overline{\Delta_4} + \Delta_7.\overline{\Delta_6}$$

La table de vérité et les circuits logiques qui en résultent sont présentés à la figure XIV-20. Pour ceux-ci on constate que si le temps de retard d'une porte ou d'un inverseur est de t_r (20 ns par exemple) un délai supplémentaire de $3t_r$ est apporté par cette logique. Le temps de conversion, temps qui sépare l'application de la tension V_E de l'instant où les sorties $I_2I_1I_0$ sont vraies, est donc constitué du délai d'un comparateur, plus le délai de la logique, soit 60 ns pour chacun. Si un fonctionnement optimum

Valeur analogique	sorties Δ_i Δ_1	Δ_2	Δ_3	Δ_4	Δ_5	Δ_6	Δ_7	Valeur numérique I_2	I_1	I_0	erreur
0 à v/2	0	0	0	0	0	0	0	0	0	0	
v/2 à 3v/2	0	0	0	0	0	0	1	0	0	1	
3v/2 à 5v/2	0	0	0	0	0	1	1	0	1	0	$\pm \frac{1}{2}$ LSB max
5v/2 à 7v/2	0	0	0	0	1	1	1	0	1	1	
7v/2 à 9v/2	0	0	0	1	1	1	1	1	0	0	
9v/2 à 11v/2	0	0	1	1	1	1	1	1	0	1	
11v/2 à 13v/2	0	1	1	1	1	1	1	1	1	0	
13v/2 à 15v/2	1	1	1	1	1	1	1	1	1	1	
au-delà 15v/2	dépassement										

$$I_2 = \Delta_4$$
$$I_1 = \Delta_2 + \Delta_6.\overline{\Delta_4}$$
$$I_0 = \Delta_1 + \Delta_3.\overline{\Delta_2} + \Delta_5.\overline{\Delta_4} + \Delta_7.\overline{\Delta_6}$$

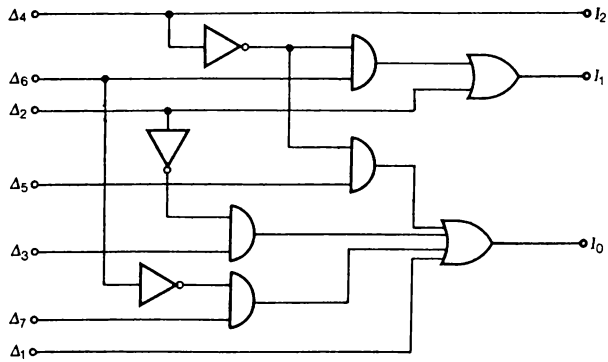


FIGURE XIV – 20.– *Table de vérité et circuits logiques pour un convertisseur A/N de 3 bits à fonctionnement parallèle.*

est désiré, il faut écrire les équations logiques sous des formes équivalentes qui conduisent à des circuits parallèles et non en série. Si chaque comparateur délivre Δ et la sortie complémentée $\overline{\Delta}$ on peut par exemple utiliser des portes ET-NON à collecteur ouvert qui permettent de réaliser la fonction :

$$X = \overline{A.B + C.D + E.F + ...}$$

Dans ces conditions, le montage de la figure XIV-21 délivre l'information complémentée ($\overline{I_2}\,\overline{I_1}\,\overline{I_0}$) avec un retard qui peut être inférieur à 80 ns, soit 60 ns pour le comparateur et 20 ns pour les portes ET NON.

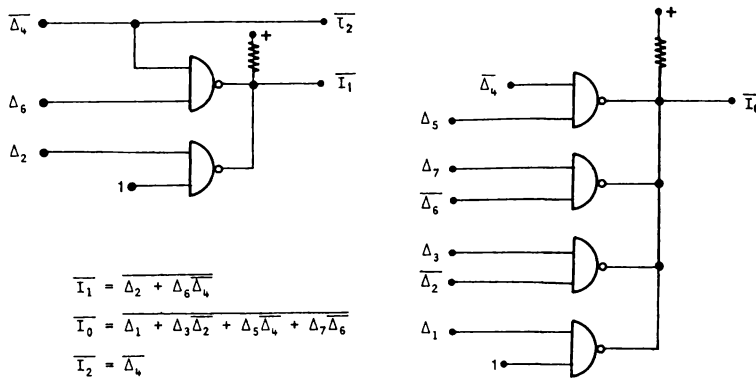


FIGURE XIV – 21. – *Circuits logiques pour un convertisseur A/N de 3 bits à fonctionnement parallèle.*

Mais si le nombre de bits est supérieur à 3, il deviendra difficile d'éviter la mise en série de plusieurs portes. D'autre part, chaque fois que l'on ajoute 1 bit, le nombre de comparateurs et de tensions de référence est multiplié pratiquement par 2, et le nombre de connexions devient vite important. Puisque les comparateurs fonctionnent en parallèle, c'est en définitive la logique qui, devenant complexe, sera la principale source de retard. La limite de cette technique se situe aux environs de 5 à 6 bits.

Extension à un plus grand nombre de bits.

Pour augmenter la résolution, donc le nombre de bits, tout en limitant la complexité du système on peut effectuer la conversion A/N en deux étapes. Tout d'abord un premier convertisseur A/N détermine par exemple les 5 premiers bits de N. La sortie de celui-ci est reconvertie en signal analogique et soustraite à la tension d'entrée V_E à convertir. Cette différence, multipliée par un coefficient éventuellement, est convertie par un deuxième

convertisseur A/N qui délivrera les 5 derniers bits de N. On remarque que si cette résolution de 10 bits doit s'accompagner d'une précision de même ordre, soit 10^{-3}, le convertisseur N/A (figure XIV-22) doit avoir cette précision ainsi que le convertisseur A/N n° 1. Néanmoins le système se compose de 2 fois 2^5 comparateurs et d'un convertisseur N/A rapide au lieu de 2^{10} comparateurs !

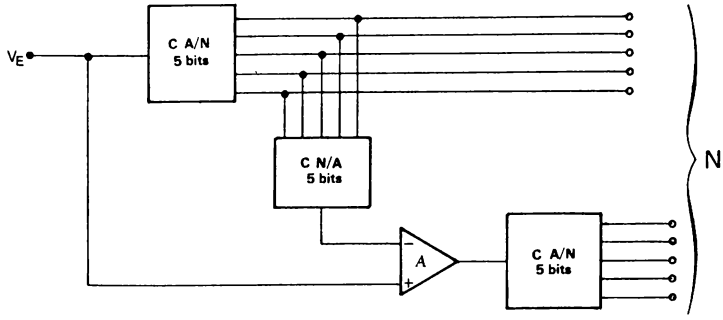


FIGURE XIV – 22.– *Convertisseur A/N 10 bits rapide.*

XIV – 5 – 2) CONVERSION A/N SERIE

Dans cette technique, la conversion de la tension analogique V_E se réalise en effectuant des comparaisons successives entre la tension V_E et des valeurs de référence engendrées à l'intérieur du convertisseur.

XIV-5-2-1) CONVERTISSEUR A RAMPE NUMERIQUE

L'idée qui vient (presque) naturellement à l'esprit consiste à comparer la tension V_E successivement aux 2^n valeurs de référence et de s'arrêter lorsque l'égalité, ou un dépassement, est constaté.

Ces 2^n valeurs de référence sont aisément fournies par un convertisseur N/A continu de n bits dans lequel on fait varier l'information binaire d'entrée de (000-00) à (111...11). La configuration du système de conversion A/N est alors celle de la figure XIV-23. Une horloge H fait avancer d'un pas, à chaque front de montée par exemple, le contenu du compteur préalablement remis à ZERO. Le contenu de ce compteur est constamment converti en tension, continue V_{S_A} par le convertisseur N/A. Enfin, un comparateur C compare la tension d'entrée V_E et la tension V_{S_A}. Sa sortie Δ est à UN si $V_E > V_{S_A}$ et passe à 0 dès que $V_E < V_{S_A}$. En conséquence, dès que la tension V_E est appliquée ainsi que l'ordre de début de conversion, qui est utilisé en ordre de remise à ZERO, le comparateur permet la progression du compteur à chaque impulsion d'horloge et tant que $V_E > V_{S_A}$. Dès que $V_E < V_{S_A}$, $\Delta = 0$ et les

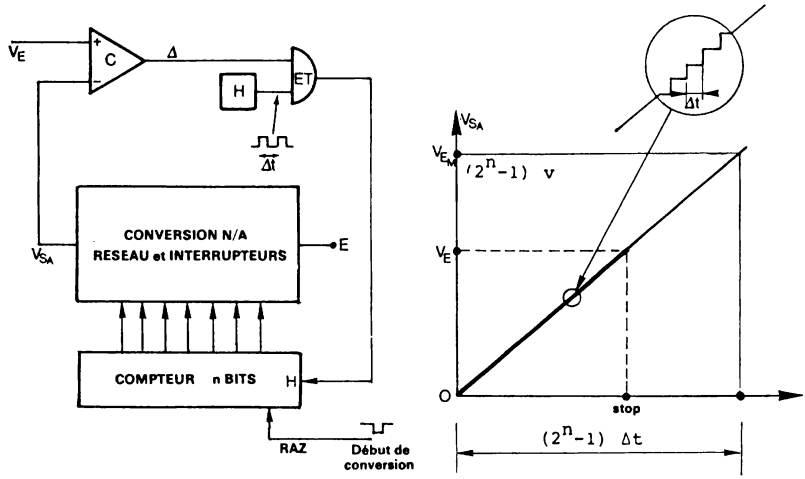


FIGURE XIV – 23.– *Convertisseur à rampe numérique.*

impulsions d'horloge ne peuvent plus être transmises au compteur. Le contenu de celui-ci est l'expression N recherchée.

Caractéristiques principales

Nous avons donné l'appellation de "rampe numérique" à cette technique par opposition à la méthode de la rampe analogique qui sera étudiée plus loin.

Si n est le nombre de bits, la tension analogique d'entrée V_E est donc comparée successivement à un certain nombre des 2^n tensions continues comprises entre 0 et $(2^n-1)v$. Dans le cas où la tension à convertir est effectivement voisine de la valeur maximum $V_{E_M} = (2^n-1)v$, c'est pratiquement 2^n comparaisons successives que le système doit effectuer avec autant de conversion N/A. Or une conversion N/A pour n = 11 bits peut demander 2 µs pour une précision nécessaire de 5.10^{-4} au moins. Le temps de réponse du comparateur, plus celui de la porte ET, peut être de l'ordre de 0,3 µs pour un gain de 5.10^3 que doit avoir le comparateur si le bit LSB fait 5 mV et si on veut apprécier une différence $V_E - V_{S_A}$ de l'ordre de $\frac{1}{4}$ LSB soit 1 mV environ.

Dans ces conditions, le temps de conversion pour une tension qui peut atteindre la valeur maximum V_{E_M} est égal à $t_c = 2^n \times 2{,}3\ 10^{-6}$ soit $t_c \neq 4{,}6$ ms. Cette technique ne peut donc être utilisée que si une fréquence de conversion de 200 Hz est suffisante, c'est-à-dire pratiquement dans le cas où l'évolution du phénomène analogique est à basse fréquence.

XIV-5-2-2) SERVO-CONVERTISSEUR A/N (up-down continous converter)

Ce type de convertisseur présente une similitude de principe avec une chaîne d'asservissement d'où son nom. Il est en effet constitué d'une boucle dont le rôle est d'assurer constamment une annulation du signal d'erreur.

Principe

Un amplificateur opérationnel A monté avec un gain de boucle fermée égal à X, reçoit la tension analogique V_E et une tension $-V_R$ délivrée par un convertisseur N/A de résistance interne R (convertisseur à réseau R-2R par exemple). La tension de sortie de l'amplificateur opérationnel est $V_S = -\frac{XR}{R}(V_E - V_R) = -X.\Delta V (\Delta V = V_E - V_R)$. Et le système va tendre à faire $\Delta V = 0$ c'est-à-dire $V_E = V_R$. Pour ce faire, l'information numérique transmise au convertisseur N/A, qui est transformée en tension V_R, est délivrée par un compteur-décompteur qui doit être incrémenté (up) ou décrémenté (down) selon que $V_E > V_R$ ou que $V_E < V_R$. La valeur V_R enveloppe donc la courbe $V_E = f(t)$ comme le précise la figure XIV-24. L'organisation du système est précisé à la figure XIV-25.

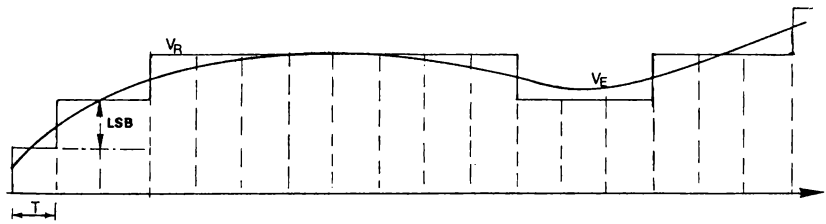


FIGURE XIV – 24.

Dès que la tension de sortie V_S de l'amplificateur A est inférieure à -0,6 volt environ, le transistor T_1 conduit et sa tension de sortie tombe à zéro (U = 0).

Or si $V_S = -X.\Delta V < -0,6$ V cela signifie que ΔV est positif donc que $V_E > V_R$.

On en déduit que pour U = 0 il faut que le compteur soit incrémenté (up) pour augmenter V_R.

Le transistor T_2 est par contre bloqué. On notera que la sortie V_S de l'amplificateur ne peut pas être inférieure à -1,5 V ni supérieure à + 1,5 V, grâce au jeu de diodes D, ceci afin de protéger la jonction base-émetteur des transistors.

Donc U = 0 et D = 1 et dès le premier front de montée du signal H

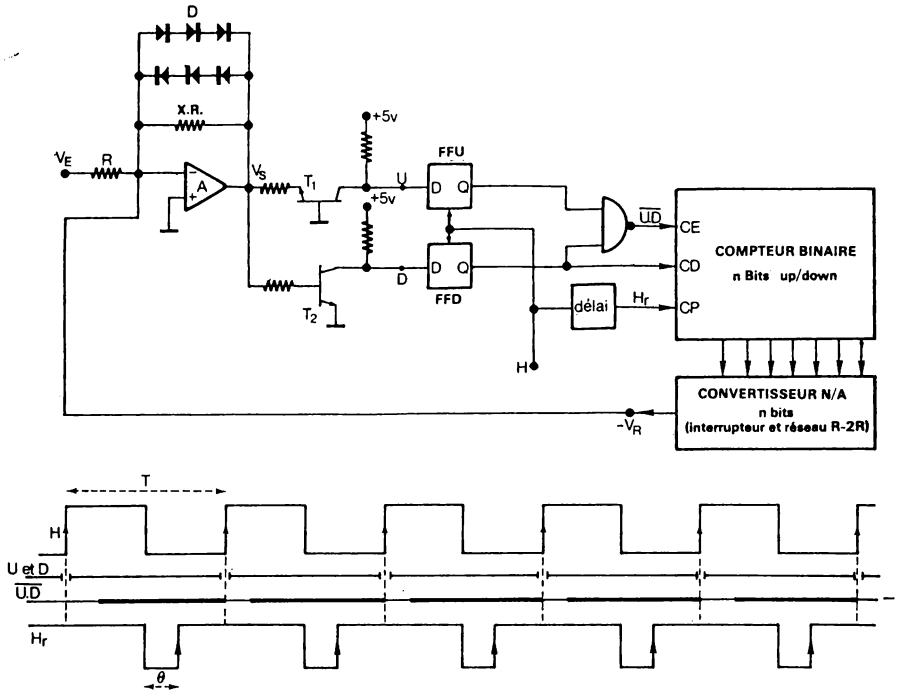


FIGURE XIV – 25.– *Servo-convertisseur A/N n bits et diagramme des temps.*

La bascule FF U est mise à ZERO (U est appliquée à son entrée) et la bascule FF D est mise à UN (D est appliquée à son entrée). La porte ET - NON qui fait suite à ces bascules délivre le signal $\overline{U.D}$ qui est donc à UN dans ce cas. Ce signal $\overline{UD}$ est appliqué à l'entrée CE (count enable) du compteur-décompteur et le signal D mis en mémoire dans la bascule FFD est envoyé à l'entrée CD (count down) de ce même compteur.

Avec CE = 1 et D = 1 le compteur est en position Up. C'est donc le cas si $\overline{U.D}$ = 1 = CE et D = 1. Son contenu va s'accroître de + 1 à la prochaine impulsion d'horloge appliquée à l'entrée CP. Ce signal d'horloge, H_r, est constitué d'une impulsion, qui passe de 1 à 0, d'une durée θ de 150 ns environ, chaque fois que le signal d'horloge principal H passe de 1 à 0 ; donc une demi-période après le front de montée qui a mis en mémoire les états U et D (voir diagramme des temps de la figure XIV-25).

Ce fonctionnement tient compte de l'exigence de certains compteurs MSI comme le compteur up-down type 9335 de Fairchild, qui impose qu'une

modification des entrées CE et CD ne soit faite que si l'horloge ($CP = H_r$) est à UN.

Finalement un temps θ après le front de descente des signaux H et H_r le front de montée de H_r a lieu et à ce moment, puisque CE = 1 et D = 1, le compteur est incrémenté (+1). La tension V_R subit donc un accroissement de +v.

Inversement dès que $V_s = -X.\Delta V > + 0,6$ v on obtient U = 1 et D = 0, états qui sont mis en mémoire dans les bascules FFU et FFD au prochain front de montée de H, et avec $CE = \overline{U.D} = 1$ et D = 0 le compteur est placé en position down. Au prochain front de montée de H_r la tension de sortie V_R diminue alors de v.

Enfin si la tension de sortie V_s est comprise entre -0,6 et + 0,6 volt les deux transistors T_1 et T_2 sont non conducteurs, U = D = 1, et avec $CE = \overline{U.D} = 0$ l'état du compteur reste inchangé malgré la présence de l'horloge H_r.

Précision du système

Pour que la tension V_R enveloppe la tension d'entrée V_E avec une précision de l'ordre de $\frac{1}{2}$ LSB, donc pour que l'information numérique N contenue dans le compteur soit l'expression binaire de V_E à $\pm \frac{1}{2}$ LSB, il faut réaliser les deux conditions suivantes :

a) Un écart $\Delta V = \frac{1}{2}$ LSB doit être suffisamment amplifié par A. Le gain en boucle fermé (X) de l'amplificateur A sera tel que :

$$X \# \frac{0,6}{\frac{1}{2} v} \quad \text{(v incrément de tension analogique)}$$

EXEMPLE :

v = 5mV ($V_{E\ max} \# 10$ volts n = 11 bits)

$$X \# \frac{600}{2,5}$$

b) La vitesse de balayage, $\frac{dV_E}{dt}$, du signal V_E à convertir ne pourra pas être supérieur à $\frac{v}{T}$, T étant la période avec laquelle on peut modifier le contenu du compteur. Si cela n'était pas, on pourrait en effet observer des écarts entre V_E et V_R, donc entre V_E et N, supérieurs à LSB.

Puisque la vitesse de balayage d'une sinusoïde E sin ωt est maximum au passage à zéro et vaut alors $\frac{d}{dt}(E \sin \omega t) = E\omega$, on en déduit que le signal V_E ne devra pas comporter des fréquences supérieures à f_M telle que

$$E\omega = E\ 2\Pi f_M = \frac{v}{T} \quad \text{soit} \quad f_M = \frac{v}{E} \cdot \frac{1}{2\pi T}$$

EXEMPLE :

Pour un convertisseur A/N de 11 bits.

Le temps de conversion sera conditionné surtout par le temps

d'établissement de la tension V_R après une modification du compteur. Ce temps de conversion N/A pour 11 bits peut être de l'ordre de 2µs.

Si t_r est le temps de retard apporté par l'amplificateur et les transistors il faut que :

$$\frac{T}{2} - \Theta = 2\mu s + t_r$$

t_r peut être de l'ordre de 0,4µs et Θ de 0,1µs soit donc T = 5µs.

On pourra néanmoins gagner 2µs sur ce temps en rendant l'horloge H dissymétrique (2,5 + 0,5µs) puisque après le front de montée de H il faut uniquement le temps de mettre en mémoire plus un retard de porte (ET-NON) et un certain délai pour appliquer les états CE et CD au compteur avant que H_r ne passe à ZERO. Soit environ 0,5µs.

On peut donc avoir T = 3µs.

Si v = 5mV et E = 10 volts la fréquence maximum est alors :

$$f_M = \frac{5.10^{-4}}{2\Pi.3.10^{-6}} \# 26 \text{ Hz}$$

Mais l'expression binaire correspondant à V_R est *constamment et immédiatement* disponible !

Il faudra seulement prendre la précaution de ne pas la prélever au moment du front de montée de H_r. On pourra par exemple se servir du front de montée de H.

En définitive ce type de convertisseur, relativement simple et économique, est tout désigné chaque fois que l'on désire utiliser un convertisseur A/N pour chaque voie V_E et dans les domaines des basses fréquences (inférieur à 50 Hz). Sa résolution et sa précision, celles du convertisseur N/A, peuvent être élevées.

Variante équipée d'un convertisseur N/A stochastique.

Dans le servo-convertisseur A/N qui vient d'être étudié, le convertisseur N/A peut très bien être un convertisseur N/A stochastique qui, comme cela a été souligné au chapitre XII, a la propriété d'être un système à forte proportion de circuits logiques. Dans ces conditions un servo-convertisseur est constitué de trois parties comme le précise le schéma de la figure XIV-26. On distingue : le convertisseur N/A stochastique suivi d'un filtre, un comparateur analogique dont le rôle est toujours de comparer V_E à V_R et une partie logique regroupant diverses fonctions.

Cette partie logique peut être réalisée elle aussi en circuit LSI avec les avantages bien connus : fiabilité, réalisation miniature, performances élevées, tout ceci pour un faible coût si le produit est de large diffusion. Ainsi le circuit LSI développé par la firme G.I. Europe est organisé suivant le schéma de la figure XIV-27 et permet de regrouper :

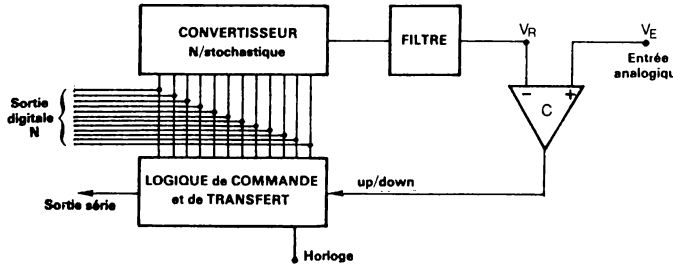


FIGURE XIV – 26.– *Servo-convertisseur équipé d'un convertisseur numérique-stochastique.*

a) la fonction intégration des impulsions, réalisée par un compteur up-down.

b) la fonction émission et dialogue avec l'extérieur, réalisée à partir de divers signaux échangés tels que :
   - l'ordre de chargement dans le transmetteur du contenu N avec arrêt simultané de l'évolution du compteur,
   - le signal de validation qui passe à 1 Logique dès que le contenu N du compteur est chargé dans le transmetteur,
   - l'ordre de transfert, qui doit être mis à 1 Logique dès que le signal de validation (à 1 Logique) est reçu par l'organe demandeur (unité de commande).

L'émission de la valeur numérique N peut se faire suivant le mode parallèle ou le mode série. Dans ce dernier cas les n bits sont accompagnés

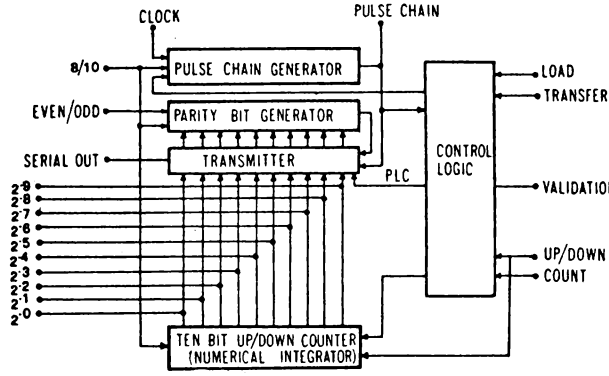


FIGURE XIV – 27.– *Intégrateur numérique et transmetteur réalisé en circuit monolithique (Doc G.I. Europe circuit AY-6-5054).*

d'un bit de parité généré automatiquement, et il y a de plus émission de n+1 impulsions d'horloge (pulse chain).

La partie analogique de ce convertisseur A/N se résumant à un filtre et un comparateur, une telle réalisation est possible en microélectronique. Dès lors ce convertisseur A/N peut être introduit au coeur du capteur analogique pour le transformer en capteur à sortie numérique, série ou parallèle, immédiatement disponible sur ordre extérieur transmis à distance, ce qui ouvre de larges possibilités.

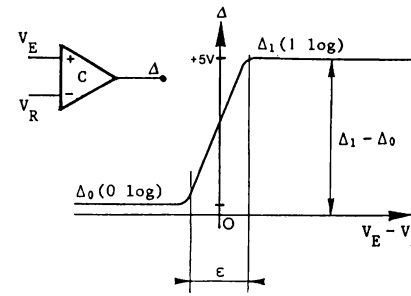
XIV-5-2-3) CONVERSION PAR APPROXIMATIONS SUCCESSIVES OU PAR PESEES SUCCESSIVES

Dans certaines applications la tension analogique V_E présente des phénomènes transitoires à grande vitesse de balayage. Un convertisseur A/N acceptant de grandes variations de la tension d'entrée et effectuant la conversion en quelques microsecondes, est donc nécessaire.

La technique par approximations successives réalise actuellement un des meilleurs compromis pour obtenir simultanément une grande résolution et une précision élevée avec une rapidité de 10 à 25 µs et un coût ainsi qu'un encombrement relativement peu élevés. Cette technique va donc être étudiée en détail.

Dans cette méthode, des comparaisons entre la tension V_E à convertir et des tensions de référence sont encore à faire en série, mais le nombre de ces comparaisons est réduit à n, au lieu de 2^n ce qui pour les grandes valeurs de n est un gain appréciable ! et ce, grâce à une séquence qui est pratiquement celle qui est appliquée pour trouver le poids P d'un objet de 20 kg maximum à l'aide d'une balance et de n poids : 10 kg, 5 kg, 2,5 kg, etc...

Cette séquence, de pesées successives, est bien décrite par la figure XIV-28 où l'on trouve également le schéma synoptique simplifié du convertisseur A/N. Un comparateur C compare la tension analogique V_E à convertir à la tension V_R issue d'un convertisseur N/A et élaborée suivant un processus que l'on va décrire. La sortie Δ de ce comparateur est liée à la différence $V_E - V_R$ appliquée sur son entrée différentielle, suivant la courbe de transfert représentée par le graphique ci-contre.



Courbe de transfert d'un comparateur.

gain dans la zone linéaire : $G = \frac{\Delta_1 - \Delta_0}{\varepsilon}$

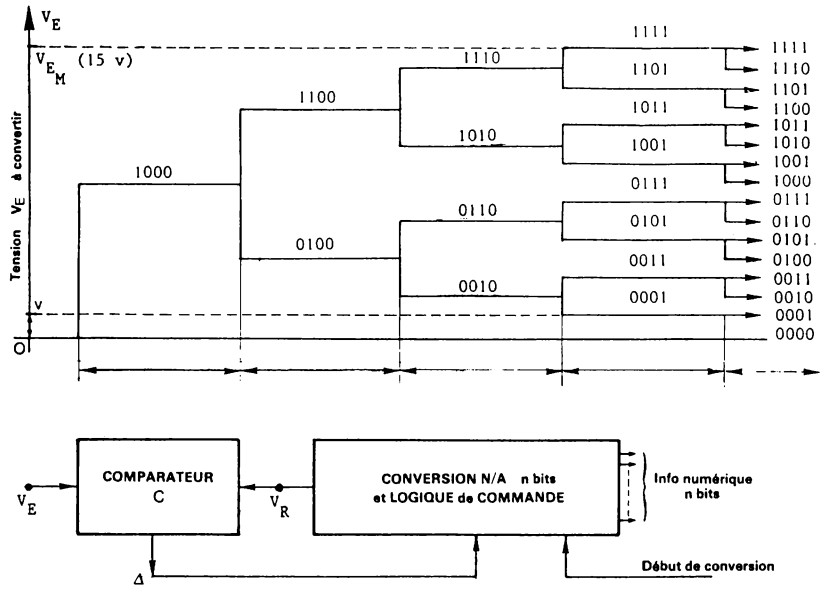


FIGURE XIV – 28.– *Conversion A/N par approximations successives.*

Lorsque l'ordre de départ "début de conversion" est donné, le système est mis dans un état initial bien déterminé. Après un certain délai la logique de commande donne au convertisseur l'information (1000..00), c'est-à-dire MSB seul à UN. Deux cas se présentent comme d'ailleurs à chaque comparaison suivante.

Ou bien V_E est supérieure à la tension V_R que le convertisseur N/A fait correspondre à cette information 100...00, ou bien elle lui est inférieure. Si elles sont égales on verra qu'il y a indécision d'où une erreur possible de l'ordre du dernier bit ou de $\pm \frac{1}{2}$ LSB suivant le réglage du comparateur.

Si la tension V_E est supérieure à V_R pour N = (1000...00), la réponse du comparateur est $\Delta = 1$, et la logique de commande ajoute à cette information binaire le bit de rang immédiatement inférieur. La comparaison suivante se fait donc entre V_E et V_R pour N = (1100....00). Si la tension V_E est inférieure à V_R pour N = (100...00), la réponse du comparateur est par contre $\Delta = 0$, et la logique de commande remplace l'information (100... 00) par l'information de valeur moitié : (0100....00). La comparaison n° 2 se fait donc entre V_E et V_R pour $N = \frac{MSB}{2}$. A la fin de cette comparaison n° 2 on a également deux possibilités $V_E > V_R$ ou $V_E < V_R$, etc...

En définitive suivant la valeur de V_E, le processus de recherche va se faire selon l'un des 2^n chemins qui sont possibles. Dans le cas de la figure XIV-27 il y a 16 chemins possibles puisque n = 4. Et chacun de ces 2^n chemins aboutit à l'une des 2^n expressions binaires possibles pour N, que l'on trouve dans l'état final du convertisseur N/A de n bits. A ce moment là, $V_E = V_S$ à $\pm \frac{1}{2}$ LSB et N est bien l'expression binaire de V_E.

2^n chemins sont possibles mais 1 seul est pris et dans chaque cas, n comparaisons sont nécessaires.

Erreur de quantification

La courbe de transfert du comparateur (figure p. 340) précise que si $V_E - V_R > 0$ à $\frac{\varepsilon}{2}$ près, la sortie du comparateur est $\Delta = 1$. Dans ces conditions, on a vu que la logique de commande ajoute à l'information numérique présente le bit suivant c'est-à-dire le bit de poids moitié de celui qui vient d'être essayé.

Prenons l'exemple où v = 1 mV (LSB) et un nombre de bits n = 10 ce qui donne $V_{E_{max}}$ = 1023 mV (111....111). Supposons que la tension V_E à convertir soit de 512,99 mV. Le bit MSB = 512 mV a été essayé et gardé puisque $V_E - V_R$ = 512,99-512 = 0,99 mV > 0 et donc $\Delta = 1$. Par contre, lors de toutes les comparaisons suivantes V_R est rendu supérieur à 512,99 donc $\Delta = 0$ et les tensions $\frac{512}{2}$.$\frac{512}{4}$ etc... ne sont pas gardées. La dernière comparaison arrive alors ou la logique de commande ajoute le bit 1 mV (LSB) à V_R = 512 déjà sélectionnée ce qui fait 513 mV. Mais $V_E - V_R$ = 512,99 - 513 = -0,010. Ce bit est donc également refusé et le résultat binaire final est donc (10000...00) soit 512 mV pour 512,99 mV. D'où une erreur de 0,99 mV soit pratiquement + LSB.

Dans le cas de 4 bits l'évolution de la tension V_S pour arriver à l'état final est représentée à la figure XIV-29. La tension V_E est supposée être légèrement inférieure à 10 v et le système retient N = 1001 (9 v) d'où l'erreur de + LSB maximum.

Pour centrer l'erreur due à la quantification à $\pm \frac{1}{2}$ LSB, il faut déplacer la courbe de transfert du comparateur C de telle façon que l'on ait :

$$\text{Si } V_E - V_S > -\frac{v}{2} : \Delta = 1 \qquad \text{Si } V_E - V_S < -\frac{v}{2} : \Delta = 0$$

Ce qui revient à dire que le dernier bit (LSB) est maintenant gardé même si V_S est supérieur à V_E de $\frac{1}{2}$ LSB au maximum. Si l'exemple d'une conversion de la tension V_E = 512,99 mV est repris, on constate que le système retient cette fois-ci l'information 100...001 correspondant à 513 mV, puisque $V_E - V_S$ = 512,99-513 = -0,010 mV est supérieur à -0,5 mV donc $\Delta = 1$. L'évolution de la tension analogique de référence V_S pour la conversion en 4 bits d'une tension V_E = 10 v - ε est repris à la figure XIV-30. Le résultat est 1010 (10 v).

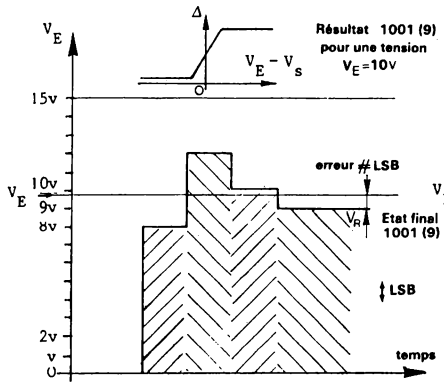


FIGURE XIV – 29. – *Evolution de la tension analogique de référence pour une erreur de LSB.*

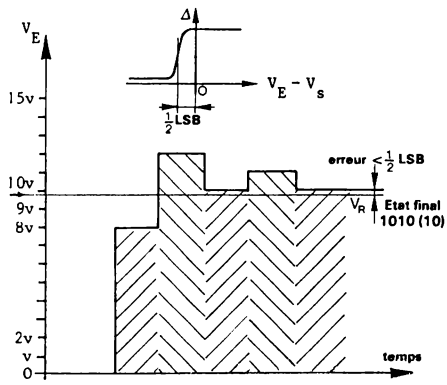


FIGURE XIV – 30. – *Evolution de la tension analogique de référence pour une erreur de ± 1/2 LSB.*

Constitution d'un convertisseur A/N à pesées successives.

La figure XIV-31 regroupe le schéma synoptique d'un tel convertisseur A/N, l'évolution de la tension de référence V_S délivrée par le convertisseur N/A et la réponse Δ du comparateur (plusieurs cas possibles).

La figure XIV-32 précise une configuration possible pour ce convertisseur A/N et la figure XIV-33 donne le diagramme des temps pour les différents signaux générés par la logique de commande.

FONCTIONNEMENT

Un signal de durée t_m est appliqué à l'entrée "départ". Il remet à UN la bascule FFO ; alors $Q_0 = 1$. Ce signal remet également à ZERO le compteur 4 étages. Dès que le signal t_m revient à UN, le compteur est prêt à recevoir l'horloge H_0 que peut transmettre la porte ET puisque $Q_0 = 1$. Dès le premier front de montée de H_0, le compteur prend l'état 0001. Le circuit décodeur 1/16 émet alors un signal identique à "Val" sur sa sortie n° 1. On notera que le signal "Val" est délivré par un circuit monostable à chaque front de montée du signal d'horloge transmis par la porte ET (quand $Q_0 = 1$). Sa durée peut être de l'ordre de 100 à 200 ns si on utilise des circuits logiques de moyenne rapidité.

Le circuit décodeur 1/16 est supposé réalisé de telle façon que la sortie adressée, par 4 bits, reproduise l'état de l'entrée où est appliqué le signal "Val". Toutes les sorties non adressées, 15 sur 16, sont donc à UN.

Le signal "Val", disponible sur la sortie n° 1 puisque le décodeur reçoit du compteur l'adresse 0001, sert à remettre à ZERO les n bascules du

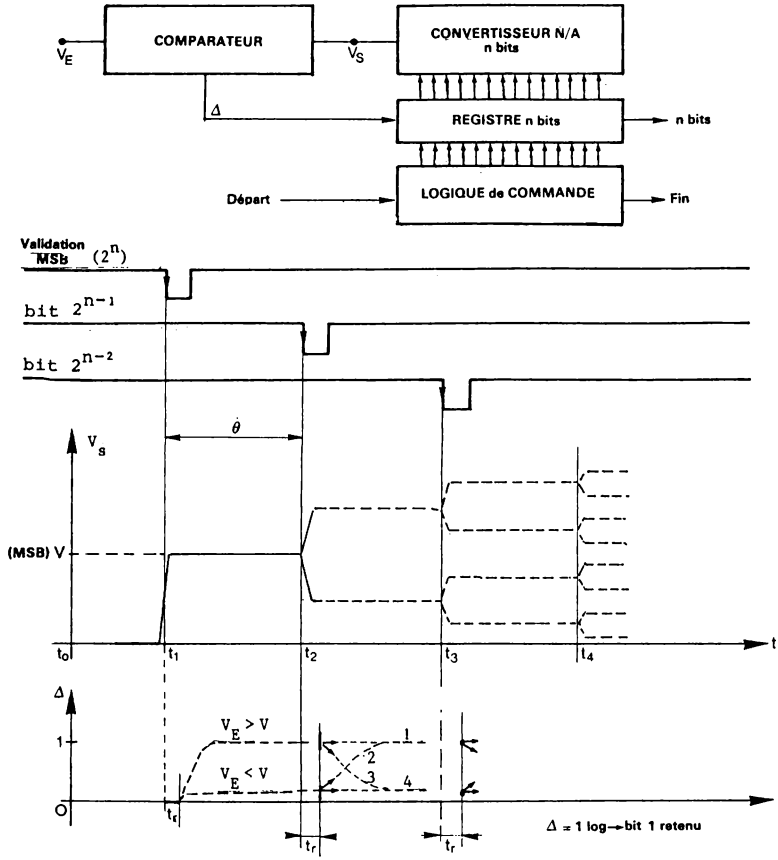


FIGURE XIV – 31. – *Conversion A/N par approximations successives.*

type D qui servent de registre binaire au convertisseur N/A. Donc après cette remise à ZERO la sortie du convertisseur N/A est $V_S = 0$ (temps t_0 à t_1 à la figure XIV-31).

Au deuxième front de montée du signal H_0, le compteur prend l'état 0010 et le signal "Val" apparaissant sur la sortie n° 2 du décodeur 1/16 met la bascule n° 1 (bascule du MSB) à UN. L'information binaire envoyée au convertisseur N/A est à présent (10000....00) et sa sortie se stabilise donc à $V_S = +V = 2^{n-1}.v$. Cette valeur est comparée à V_E par le comparateur qui délivre un signal de sortie Δ, égal à UN si $V_E - V_R > -\frac{v}{2}$, lequel est appliqué aux entrées D des n bascules. Le 3ème front de montée de H_0 se présente alors

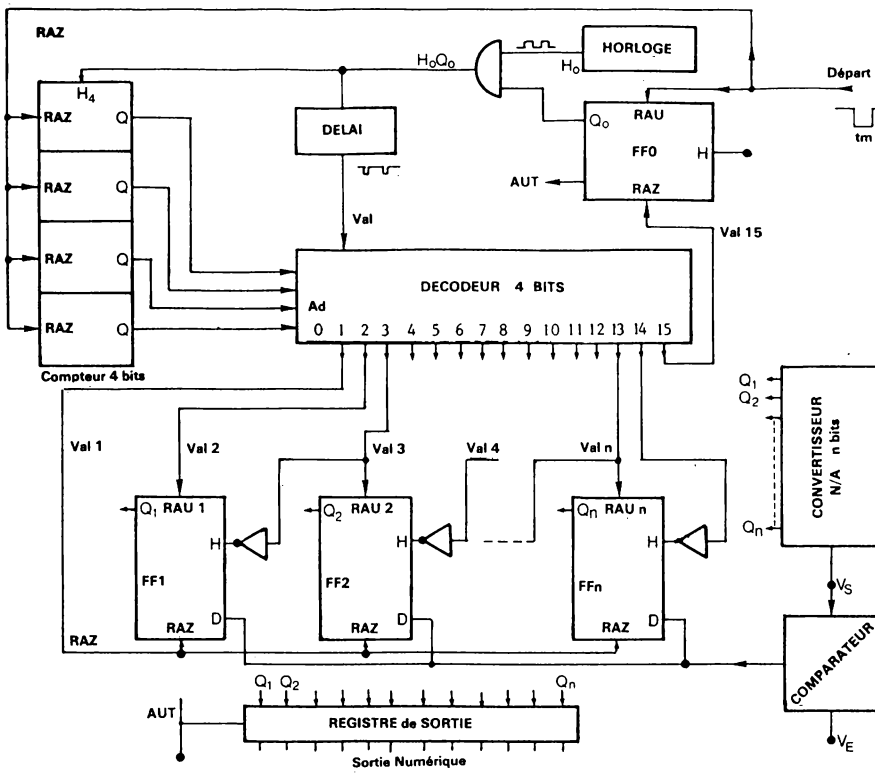


FIGURE XIV – 32 – *Convertisseur A/N par approximations successives.*

mettant le compteur dans l'état 0011 et le signal "Val" disponible sur la sortie n° 3 met la bascule n° 2 à l'état UN et simultanément, à travers un inverseur pour utiliser le front de montée, met à UN la bascule n° 1, si $\Delta = 1$ (elle y était déjà donc elle y reste) et à ZERO si $\Delta = 0$. On constate que si $\Delta = 1$, la tension de référence V est conservée (la bascule n° 1 ne sera jamais plus remise à ZERO durant la conversion) ce qui est normal puisque le résultat $\Delta = 1$ indique que le comparateur a trouvé $V_E - V > -\frac{V}{2}$.

La bascule n° 2 étant mise à UN par signal "Val" n° 3, comme on vient de le voir, la sortie V_S du convertisseur N/A s'établit à $V + \frac{V}{2}$ (1100...00) si la bascule n° 1 a été conservée à UN, ou à $\frac{V}{2}$ seulement (0100...00) si la bascule n° 1 n'a pas été conservée à UN. Cette nouvelle tension est comparée à V_E et le résultat de cette comparaison (Δ) sert à garder ou à refuser la bascule n° 2 dans cet état 1 tout en mettant à UN la bascule n° 3 pour valider

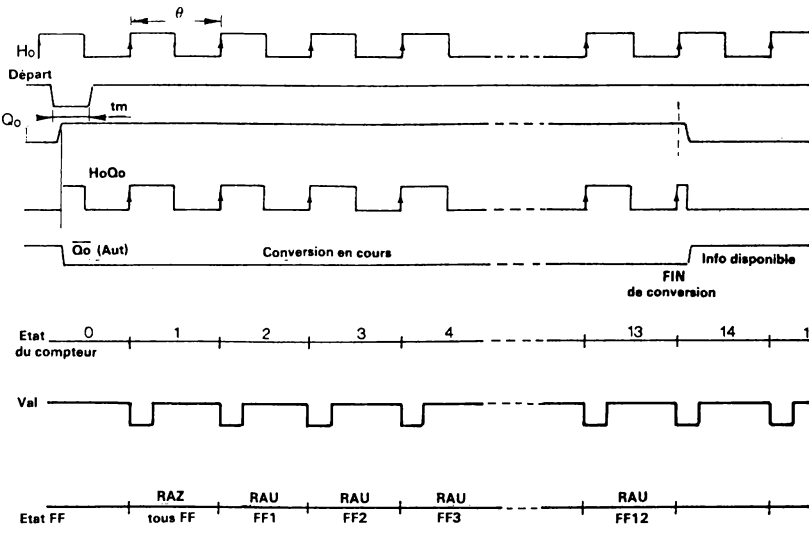


FIGURE XIV – 33. – *Diagramme des temps (conversion A/N).*

le bit $\frac{V}{4}$ etc... Ceci jusqu'au moment où le compteur atteint la valeur 1110. Le signal "val" qui est délivré par la sortie n° 14 du décodeur 4 bits se présente à l'entrée horloge de la dernière bascule (n° 12). Au moment du front de montée de ce signal, cette bascule est conservée à l'état UN si $\Delta = 1$ ($V_E - V_S > -\frac{V}{2}$) ou remise à ZERO si $\Delta = 0$.

A partir de cet instant l'expression binaire de la tension V_E est disponible dans le registre de n bascules. Le front de montée suivant de H_0 (n° 15) met le compteur dans l'état 1111 et le signal "val" délivré sur la sortie n° 15 du décodeur 4 bits met à ZERO la bascule d'entrée FFO. Alors $Q_0 = 0$ et le signal H_0 ne peut plus être transmis au compteur. Le système s'arrête dans cette configuration.

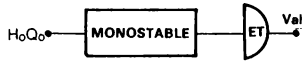
REMARQUES

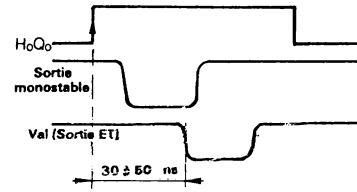
Le dernier signal H_0 transmis par la porte ET alors que Q_0 était encore à 1, est tronqué au bout d'un temps t_d quand Q_0 passe à ZERO (donc $H_0 . Q_0 = 0$). Ce temps t_d est le temps de transmission de la chaîne constituée par le compteur, le décodeur et la bascule d'entrée FFO. Ce temps t_d pourra donc être de l'ordre de 100 à 200 ns.

Quand Q_0 retombe à ZERO, $\overline{Q_0}$ passe à UN indiquant par là que la conversion est terminée et on pourra se servir de ce front de montée pour charger l'information numérique dans un registre tampon en vue d'un transfert

vers une unité centrale, alors qu'une nouvelle conversion est lancée.

On remarquera également que malgré l'utilisation d'un compteur synchrone, de fausses adresses pourront être appliquées au décodeur 4 bits durant de très brefs instants (10 ns). Le signal "val" sera donc retardé de 20 à 50 ns par rapport au front de $H_0.Q_0$ pour éviter qu'une impulsion très brève n'apparaisse sur les sorties du décodeur risquant de mettre à UN des bascules autres que celle qui est adressée réellement. Un retard de cet ordre peut être apporté par une simple porte, TTL low-power par exemple.





vitesse de conversion.

La durée totale d'une telle conversion A/N est donc constituée de n comparaisons, pour n bits, plus une séquence de remise à ZERO de toutes les bascules et une séquence au début et à la fin de la conversion. Soit au total environ $(n+3).\theta$.

La valeur θ est limitée par le temps d'établissement de la tension de sortie du convertisseur N/A et la réponse du comparateur. Il faut d'autre part tenir compte du retard du signal "Val" transmis par le décodeur 4 bits et de la mise à UN d'une bascule. En définitive avec une logique rapide (TTL) un convertisseur N/A et un comparateur rapides, on pourra faire θ = 1,5 µs. Ce qui conduit à un temps de conversion de 21 µs pour n = 11 bits.

Performances du comparateur-Précision .

La tension maximum que l'on peut convertir étant $V_{E_M} = (2^n-1).v$, plus n est grand plus v est petit puisque V_{E_M} est généralement limité à 10 volts pour des raisons technologiques. Le gain du comparateur, $G = \frac{\Delta_1-\Delta_0}{\varepsilon}$ avec ε de l'ordre de $\frac{v}{10}$, doit donc être augmenté à mesure que n croît. Sa vitesse de réponse décroîtra alors.

Ainsi pour n = 11 V_{E_M} = 2047 v.

Avec V_{E_M} = 10 volts il vient v ≠ 4,9 mV.

Avec $\varepsilon = \frac{v}{10}$ = 0,49 mV, pour que la zone d'incertitude soit négligeable, le gain du comparateur doit être de $G = \frac{\Delta_1-\Delta_0}{\varepsilon} = \frac{3 \text{ volts}}{0{,}49.10^{-3}}$ soit G ≠ 6000.

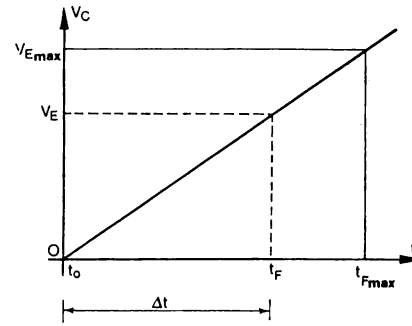
La précision du convertisseur N/A sera déterminée par :

- La précision du convertisseur N/A,
- Les performances analogiques du comparateur, c'est-à-dire par la dérive de sa tension de décalage et sa réjection de mode commun.

XIV-5-2-4) CONVERTISSEUR A UNE RAMPE OU A MODULATION DE LARGEUR D'IMPULSION

Cette technique repose sur la transformation qui fait correspondre à une amplitude de tension continue une impulsion rectangulaire de largeur proportionnelle. Cette transformation est aisément réalisée à l'aide d'un générateur de courant de haute impédance interne qui de l'état bloqué passe à l'état conducteur du courant constant I à un instant t_0. Ce courant I charge une capacité C initialement déchargée (C = 0 au temps $t = t_0$). Au bout d'un temps Δt la tension aux bornes de la capacité C vaut $V_C = \frac{I.\Delta t}{C}$.

Lorsque la tension V_C atteint la valeur V_E de la tension E à convertir, un comparateur détecte cette égalité. Le temps séparant cet instant t_F et l'instant t_0 est Δt tel que $\Delta t = \frac{C.V_E}{I}$ c'est-à-dire proportionnel à V_E.



Pour obtenir l'information V_E en numérique il suffit donc de compter cet intervalle de temps Δt, à l'aide d'un compteur électronique. Dans ces conditions, l'organisation du convertisseur A/N à rampe (analogique) est conforme au schéma de la figure XIV-34(a).

Au moment où l'ordre de départ est donné (entrée D), la logique de commande remet à zéro un compteur n bits et décharge la capacité C à l'aide de l'interrupteur I_n. L'horloge interne de la logique initialise alors le système. C'est le temps t_0. L'interrupteur I_n est mis en position "ouvert", la charge de la capacité C débute donc, et à chaque intervalle de temps Θ le compteur va être incrémenté par ce signal d'horloge tant que la sortie du comparateur est au 1 Logique ($V_E > V_C$).

Pour obtenir une erreur maximum de $\pm \frac{1}{2}$ LSB le comparateur sera réglé de telle façon que $V_S = 0$ si $V_C - V_E > \frac{v}{2}$ avec $v = \frac{I.\Theta}{C}$, la valeur maximum pour V_E étant $V_{E_{max}} = (2^n - \frac{1}{2})v$.

Θ étant la période de l'horloge, une conversion A/N de n bits peut nécessiter (2^n-1) incrémentations donc un temps $t_C = (2^n-1).\Theta$, dans le cas où la tension analogique V_E a la valeur maximum $V_{E_{max}}$.

Si le comparateur C a un temps de réponse de l'ordre de quelques

centaines de nanosecondes, on peut choisir θ = 0,5 µs. Néanmoins, pour n = 11 bits, le système mettra environ 1 ms pour effectuer la conversion de $V_{E_{max}}$. Cette technique est donc lente tout comme celle de la rampe numérique.

Néanmoins le temps de conversion est proportionnel à l'amplitude de la tension et dans certains cas, pour améliorer la vitesse, on pourra utiliser le signal de sortie du comparateur pour signaler que la conversion A/N est terminée (information N disponible).

On remarquera de plus que dans cette technique un parasite superposé à la tension V_E pourra notablement perturber le résultat, en avançant ou reculant l'instant où le signal du comparateur arrête le comptage.

Il sera donc nécessaire d'utiliser un filtre sur chaque voie ce qui n'est pas incompatible avec cette technique puisque celle-ci ne peut être utilisée que pour des phénomènes lents.

Enfin, on remarquera que la précision et la stabilité du système seront surtout déterminées par les performances du générateur de courant. Un montage intégrateur avec amplificateur opérationnel peut également faire la même fonction.

Cette technique, de précision moyenne (10^{-3}) et malgré tout sensible aux parasites, ne peut en définitive présenter qu'un intérêt économique. En effet, l'utilisation presque exclusive de circuits intégrés lui confère un prix de revient modique.

Pour certaines applications où la précision n'est pas élevée et où quelques entrées analogiques sont à traiter, le système de conversion A/N pour plusieurs voies représenté à la figure XIV-34 (b) peut présenter un intérêt. Pour traiter N voies il y a N comparateurs mais seulement un intégrateur, une logique de commande et un compteur.

Le multiplexage se fait après les comparateurs, c'est-à-dire en digital. Le multiplexeur analogique est éliminé ce qui est très appréciable.

Les différentes tensions à convertir (V_{E_i}) sont donc appliquées aux entrées (+) des comparateurs. Celles-ci sont converties les unes après les autres, l'adresse étant envoyée au multiplexeur de i entrées pour ne sélectionner que la tension Δ du comparateur correspondant à la tension V_E choisie.

A chaque fin de conversion, l'adresse est changée et simultanément le compteur est remis à ZERO et la capacité C déchargée.

Par exemple, pour une conversion sur 8 bits de 16 voies analogiques, avec une horloge de 2 µs, il faudra un temps total maximum de $16 \times 255 \times 2$ µs soit pratiquement 8 ms. Des signaux V_E évoluant à des fréquences de l'ordre de l'hertz pourront être analysés.

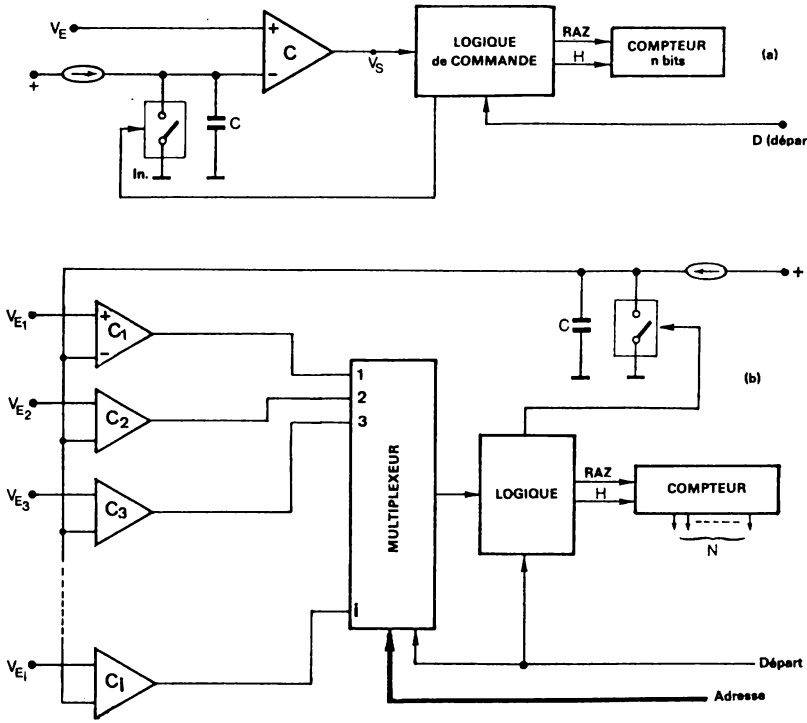


FIGURE XIV – 34. – *Convertisseur A/N à rampe et multiplexeur.*

XIV-5-2-5) CONVERSION A/N A DOUBLE RAMPE (conversion avec intégration)

La technique de conversion avec intégration permet de rendre le système de conversion moins sujet aux parasites d'entrée superposés à la tension à convertir, moyennant une légère augmentation de la complexité.

En effet dans une première phase, avant la conversion A/N proprement dite, le signal d'entrée constitué de V_E plus les parasites qui lui sont superposés, est intégré (calcul de la moyenne) durant un temps constant. On conçoit donc qu'un bruit aléatoire dont les fréquences qui le composent sont assez grandes par rapport à ce temps d'intégration donne lieu à une moyenne pratiquement nulle, pouvant même être vraiment nulle si ces fréquences sont rigoureusement égales au temps de conversion (ou un multiple de ce temps). Exemple : une durée d'intégration de 20 ms synchronisée par la fréquence secteur 50 Hz est choisie pour éliminer les bruits 50 Hz.

Le système est organisé suivant le schéma de la figure XIV-35 où l'on distingue les deux parties essentielles :

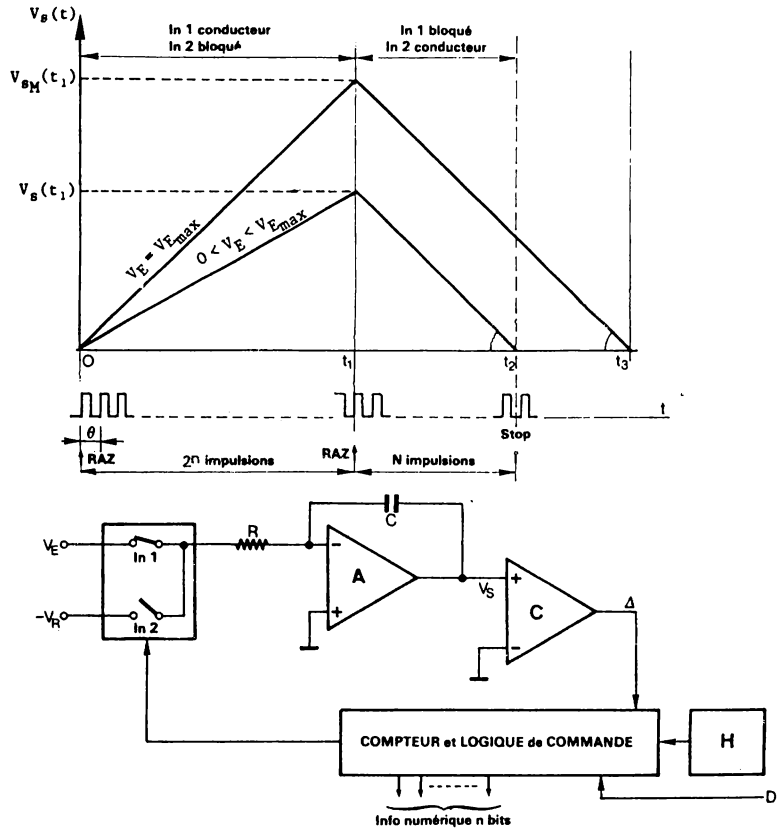


FIGURE XIV – 35. – *Conversion A/N à double rampe*

1) Un compteur ainsi qu'une logique de commande synchronisés par une horloge H, recevant l'ordre de début de conversion D et fournissant un certain temps après l'information binaire N.

2) Un montage intégrateur, utilisant un amplificateur opérationnel A, qui possède une grande linéarité si le gain en boucle ouverte de A est élevé. Sa tension de sortie V_S est comparée à ZERO (potentiel de référence analogique) par un comparateur C.

Si les conditions suivantes sont réunies :

- gain en boucle ouverte de l'amplificateur A élevé
- impédance d'entrée de A élevée (faible courant d'entrée)
- faible dérive de tension ramenée à l'entrée de A

et si à un instant t_0, on applique une tension d'amplitude V_E à l'entrée de l'intégrateur (interrupteur I_{n_1} conducteur) sa tension de sortie s'écrit :

$$V_S(t) = \frac{1}{RC} \int_{t_0}^{t} V_E.dt + V_S(t_0)$$

Le circuit d'intégration peut être organisé de telle façon qu'à l'instant de cette commutation la tension de sortie V_S soit légèrement négative et quand $V_S(t)$ passe par ZERO, le comparateur C délivre sur sa sortie une tension Δ (1 Logique) qui autorise l'incrémentation du compteur au rythme de l'horloge H de période θ. Ce compteur a bien entendu été remis à ZERO à l'instant t_0.

Lorsque le contenu de ce compteur n bits est maximum, soit donc au bout d'un temps $t_1 = (2^n-1)\theta$, la tension $V_S(t_1)$ est égale à :

$$V_S(t_1) = \frac{1}{RC} \int_{0}^{t_1} V_E.dt + V_S(0) = \frac{1}{RC} \int_{0}^{t_1} V_E.dt = \frac{1}{RC}.V_{E_m}(2^n-1)\theta$$

V_{E_m} étant la moyenne de la valeur $V_E(t)$ sur tout l'intervalle de temps t_1. Les coefficients R, C et θ étant constants, cette valeur $V_S(t_1)$ est proportionnelle à V_{E_m}.

Quand le contenu du compteur arrive à son maximum (111...11), cet état est détecté par la logique de commande qui bloque l'interrupteur In 1 et met l'interrupteur In 2 en position "conducteur", transmettant ainsi une tension continue stabilisée d'amplitude V_R et de signe opposé à celui de V_E. La capacité C est donc déchargée par un courant constant et cette décharge est arrêtée lorsque la tension de sortie V_S de l'intégrateur s'annule. Le temps t_2 au bout duquel cet évènement se produit est tel que :

$$V_S(t_1) - V_S(t_2) = V_S(t_1) = \frac{1}{RC} \int_{t_1}^{t_2} V_R.dt = \frac{V_R}{RC}(t_2-t_1)$$

et on peut écrire :

$$V_S(t_1) = \frac{1}{RC}.V_{E_m}.(2^n-1)\theta = \frac{V_R}{RC}(t_2-t_1) \quad \text{soit :} \quad t_2 - t_1 = \frac{V_{E_m}}{V_R}.(2^n-1).\theta$$

Ce compteur ayant été remis à ZERO par l'impulsion d'horloge suivant l'instant t_1, où son contenu est maximum, à l'instant t_2 le nombre N qu'il présente est tel que :

$$t_2 - t_1 = N.\theta$$

Par conséquent :

$$N.\theta = \frac{V_{E_m}}{V_R}.(2^n-1).\theta \quad \text{soit} \quad N = \frac{V_{E_m}}{V_R}.(2^n-1)$$

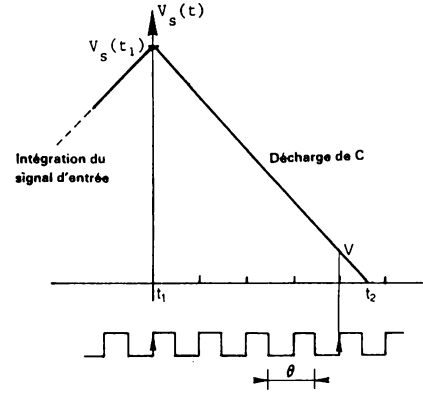
N est donc bien l'information numérique qui représente la quantité V_{E_m} et on devra choisir $V_R = V_{E_{max}}$, tension maximum d'entrée à convertir.

Remarque importante

Pour que ce résultat soit vrai il faut et il suffit que les paramètres Θ, R *et* C *dont l'expression qui donne N paraît être indépendante, soient constants durant le temps* t_0 *à* t_2. *Ce qui signifie qu'ils peuvent éventuellement varier à long terme, c'est-à-dire avec une période très grande devant le temps* t_2, *pour ne pas diminuer la précision du système.*

On constate de plus que le système est occupé un temps égal à $2 \times (2^n-1)\Theta$ si la tension V_E à convertir possède sa valeur maximum. C'est donc là encore une technique de conversion lente.

Néanmoins, la particularité déjà citée de posséder une bonne réjection des bruits et notamment des résiduelles 50 Hz, rend ce système bien adapté et universellement utilisé pour la réalisation des voltmètres numériques de tensions continues (voltmètre intégrateur numérique, multimesureur, etc...).



On peut appliquer à cette technique l'idée générale d'une double mesure "gros-fin" pour augmenter soit la rapidité soit la résolution. Une première conversion A/N (double intégration) donne un résultat N_1 (résultat gros) suivant le processus qui vient d'être étudié. Toutefois un circuit de mémorisation conserve à tout instant la dernière valeur $V_S(t)$ présentée par la sortie de l'intégrateur à chaque impulsion d'horloge (durée Θ), ceci pendant la 2e intégration. Ainsi au moment où $V_S(t)$ s'annule (instant t_2) on trouve dans cette mémoire un niveau V proportionnel à la valeur fine qui peut compléter l'information N_1 obtenue. A l'instant t_2 cette valeur V, multipliée par un coefficient constant adéquat, remplace la valeur d'entrée V_E et le système exécute une nouvelle conversion A/N. Le résultat N_2 obtenu à la fin de cette deuxième conversion A/N, constitue la partie fine de l'information N de V_E :

$$N = (N_1, N_2) \text{ avec } 2n \text{ bits}$$

La durée de conversion est donc à présent égale à 2 fois le temps $t_1 + t_2$ avec $t_1 = (2^n-1).\Theta$ et $t_2 \leqslant t_1$. Or pour obtenir une résolution de 2n bits avec une seule double intégration, ou double intégration classique, il faudrait un temps de $t_1 + t_2$ avec $t_1 = (2^{2n}-1)\Theta$ et toujours $t_2 \leqslant t_1$. A résolution égale la durée de conversion est donc approximativement divisée par 2^{n-1}.

Exemple : $n = 8 \qquad \Theta = 2\mu s.$

durée maximum pour double intégration classique (et pour une résolution de 2n bits) : $2t_1 = 2 \cdot (2^{16}-1) \cdot 2 \neq 250$ ms

durée maximum pour double intégration et deux phases (de n bits chacune soit pour une résolution de 2n bits) : $2 \times 2t_1 = 4 \cdot (2^8-1) \cdot 2 \neq 2$ ms

REMARQUE : D'autres méthodes de mesure "gros-fin" peuvent être imaginées, en particulier en associant deux techniques différentes. Ainsi dans l'exemple précédent on pourrait avoir une première phase à double intégration, soit une durée de 1 ms pour 8 bits, et convertir la tension résiduelle V à l'aide de la technique par approximations successives, soit 10 µs pour 8 bits. La conversion totale durerait pratiquement 1 ms.

XIV-6-CONVERSION A/N DE TENSIONS ALTERNATIVES

XIV-6-1) CONVERSION A/N D'INFORMATION MONOPHASEES

On sait qu'une tension périodique, sinusoïdale en général, peut véhiculer une information par l'intermédiaire d'un de ses 3 paramètres : l'amplitude, la fréquence ou la phase. L'information est dite monophasée si une voie seulement est utilisée.

Comme dans ce chapitre il n'est évoqué que la conversion A/N pour les amplitudes (de tensions), la conversion A/N pour la fréquence ou la phase pouvant se traiter exclusivement en circuits logiques à l'aide de compteurs, il ne sera question que d'information en provenance de capteurs délivrant une onde porteuse modulée en amplitude.

Mais pour véhiculer une information analogique A avec une précision de 10^{-3}, la stabilité de l'amplitude de l'onde porteuse doit être supérieure à 10^{-3}, ce qui représente, pour atteindre ces performances, un matériel assez complexe et cher.

En fait, on dispose couramment de générateurs sinusoïdaux (alternateurs, oscillateurs de puissance) délivrant une tension alternative (400 Hz très souvent) dont l'amplitude E est stable à 1 % environ. Celle-ci se présente dans beaucoup de cas, modulée à 50 Hz avec $\frac{\Delta E}{E}$ de l'ordre de 1 % (figure XIV-36). Dans ces conditions, il ne faut pas évaluer l'information A

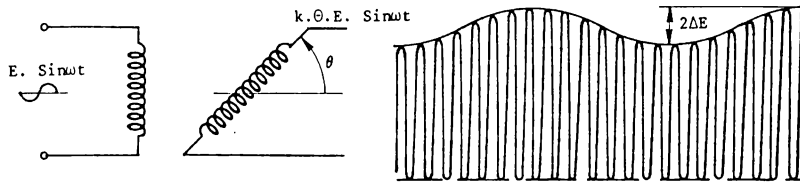


FIGURE XIV-36.- *Capteur inductif (instabilité de la référence).*

en mesurant l'amplitude E = f(A) en absolu mais relativement à la valeur de référence E avant modulation.

Ainsi prenons le cas d'un capteur inductif dont la tension de référence est E.sin ωt. La tension de sortie de ce capteur est k.E.Θ sin ωt, k étant un coefficient constant propre au capteur et Θ étant l'angle occupé par le rotor de ce capteur, par rapport au zéro électrique (Θ est souvent compris entre -60° et +60° pour une précision garantie).

Si donc le convertisseur A/N mesure l'amplitude kEΘ du signal analogique d'entrée *par rapport* à l'amplitude E, c'est-à-dire s'il convertit la valeur du rapport $\frac{kE\Theta}{E}$ en binaire, les fluctuations parasites de la valeur E n'auront plus d'importance puisque $\frac{kE\Theta}{E}$ = k.Θ est indépendant de E.

La chaîne de conversion A/N est, dans ces conditions, constituée comme le précise le schéma de la figure XIV-37. On distingue les éléments suivants :

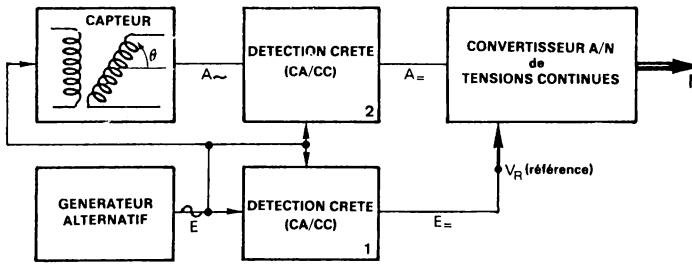


FIGURE XIV -37.- *Conversion A/N de rapport (ratiomètre) pour tensions alternatives*

- Un convertisseur A/N de tensions continues, dont la tension de référence V_R est extérieure. La partie analogique du convertisseur A/N doit être une fonction linéaire de E tout au moins dans la plage de variation ±ΔE (utilisation de convertisseur N/A multiplieur).

- Deux circuits de détection crête, 1 et 2, sensibles à la phase qui reçoivent respectivement la tension de référence supposée perturbée (E±ΔE). sin ωt (pour 1) provenant du générateur et k.Θ.(E±ΔE).sin ωt (pour 2) délivrée par le capteur.
Ces deux circuits de détection crête présentent donc une tension de sortie continue d'amplitude respectivement égale à E ± ΔE et k.Θ.(E ± ΔE).

Le convertisseur A/N, recevant la tension de référence E ± ΔE, établit l'expression binaire du rapport $\frac{k.\Theta.(E \pm \Delta E)}{E \pm \Delta E}$ = k.Θ à condition que les deux signaux démodulés soient parfaitement en phase ou présentent des déphasages identiques.

Exemple de démodulation crête synchrone

Une mémoire analogique qui enregistre la valeur d'une sinusoïde quand celle-ci passe par son maximum (valeur crête positive ou négative) réalise une détection crête.

La lecture de cette valeur crête sera synchronisée par le signal de référence de sorte que la phase de la porteuse modulée sera également détectée (figure XIV-38). Le temps t où la mémoire analogique est mise en position d'échantillonnage est donné avec un retard τ par rapport au passage à zéro du signal de référence ($\tau \neq \frac{T}{4}$) et le temps t_e d'acquisition est fonction de la vitesse d'évolution du signal passant par son maximum, donc de la forme et de la fréquence de ce signal. Pour f = 400 Hz, t_e peut être de 10 à 20 µs.

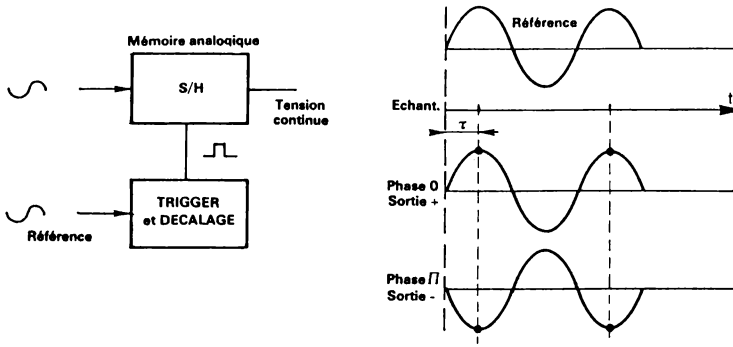


FIGURE XIV -38. – *Détection crête synchrome*

XIV-6-2) CONVERSION ANGULAIRE-NUMERIQUE (pour synchros)

Dans certains cas, on ne peut faire appel à un codeur à disque pour convertir une position angulaire en son expression binaire. Ceci peut s'imposer pour une raison d'encombrement ou un problème de fiabilité et d'environnement ou tout simplement parce que l'on doit accepter une information synchro d'un équipement existant.

En effet, l'utilisation d'un synchro ou d'un résolver est encore de nos jours très générale et la conversion A/N qui le suit doit être une conversion synchro-numérique.

Différentes techniques sont pratiquées.

1) *Le système de conversion A/N délivre en sortie les expressions sin Θ et cos Θ exprimées en binaire.*

L'angle Θ est donc pratiquement défini. L'organe de traitement

numérique fait le rapport et, à partir de tg θ, calcule θ si besoin est.

Le système est constitué de deux chaînes identiques, utilisées pour la conversion A/N d'informations monophasées, les convertisseurs A/N de tensions continues recevant une référence externe V_R asservie à l'amplitude de l'onde porteuse (figure XIV-39).

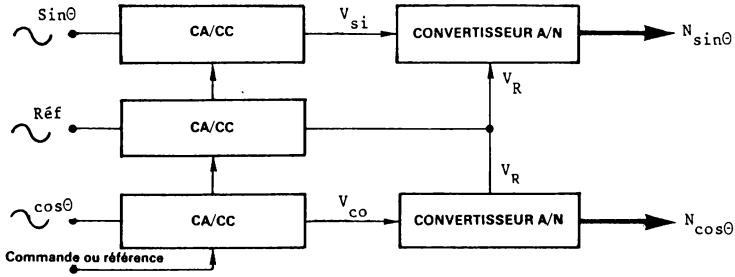


FIGURE XIV –39.– *Conversion synchro-numérique (sinθ et cosθ).*

A la fin de la conversion, deux mots de x bits sont donc disponibles, un pour sin θ et l'autre pour cos θ.

Remarques

Un seul convertisseur A/N de tensions continues pourrait être utilisé. Il faudrait alors multiplexer les entrées V_{Si} (sinus) et V_{co} (cosinus). Deux conversions A/N successives seraient dans ce cas nécessaires.

S'il y a plusieurs informations synchro à traiter, un multiplexage sera également pratiqué sur les sorties des démodulateurs (CA/CC), afin de n'utiliser qu'un convertisseur A/N de tensions continues ou éventuellement deux si l'obtention simultanée de sin θ et cos θ est voulue.

D'autre part si seul le rapport $\frac{\sin \theta}{\cos \theta}$ est exploité, par exemple pour obtenir θ à partir de tg θ, le convertisseur A/N n'a nullement besoin d'une tension V_R obtenue par détection de la porteuse (400 Hz). En effet toute variation $\frac{\Delta E}{E}$ de celle-ci se répercutera sur l'information sin θ *et* cos θ. Leur rapport en sera donc indépendant.

2) Le système de conversion A/N délivre en sortie l'expression θ en binaire.

Une première technique consiste à comparer un angle φ engendré à l'intérieur du système, à l'angle θ présenté à l'entrée (sous la forme sin θ et cos θ) et à rechercher l'équilibre : φ = θ.

Le schéma de principe est donné à la figure XIV-40.

Un compteur up-down de n bits élabore sous le contrôle de la logique de

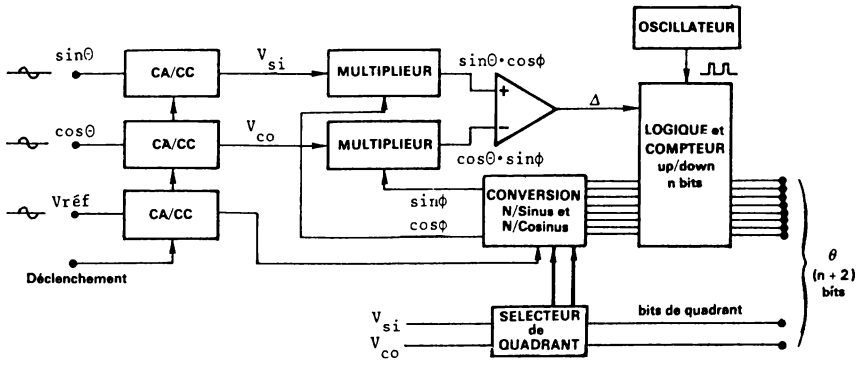


FIGURE XIV – 40. – *Conversion synchro-numérique (θ)*

commande, une information binaire qui est interprétée comme celle d'un angle ϕ, par un système de conversion qui délivre sin ϕ et cos ϕ en continu. Ce système de conversion reçoit de par ailleurs la tension de référence V_R asservie à l'amplitude de l'onde porteuse et le signe de sin Θ et cos Θ qui fixent respectivement le signe de sin ϕ et de cos ϕ.

Les valeurs V_{si} = sin Θ et V_{co} = cos Θ en continu sont obtenues par détection crête et multipliées respectivement par sin ϕ et cos ϕ (tensions continues d'amplitude sin ϕ et cos ϕ).

Un comparateur C reçoit les deux tensions continues d'amplitude sin Θ.cos ϕ et cos Θ.sin ϕ et sa sortie Δ a donc le signe de la différence :

$$\Delta = \sin\Theta.\cos\phi - \cos\Theta.\sin\phi = \sin(\Theta-\phi)$$

Ainsi $\Delta > 0$ si $\Theta > \phi$ et $\Delta < 0$ si $\Theta < \phi$ $\quad |\Theta - \phi| \leqslant \frac{\Pi}{2}$

En fonction de l'état de Δ, la logique de commande met le compteur en position "up" ou "down" (et arrêt si $\Delta = 0$) de façon à ce que l'état du compteur devienne $\phi_{dig} = \Theta_{dig}$ pour lequel $\Delta = 0$.

L'expression binaire de Θ est alors constituée de l'expression contenue dans le compteur et des deux bits de quadrants obtenus à partir des signes de sin Θ et cos Θ.

Une deuxième technique consiste à déterminer l'octant ou huitième de circonférence, où se place l'angle Θ qui est reçu sous la forme sin Θ et cos Θ et à calculer sa valeur dans un secteur 0 à 45°. Le schéma de principe est celui de la figure XIV-41.

Deux détecteurs crête délivrent respectivement les tensions continues d'amplitude sin Θ et cos Θ(V_{si} et V_{co}). Ces deux tensions sont comparées par la logique de sélection d'octant. La table de vérité du sélecteur

d'octant est la suivante :

Signe V_{si}	Signe V_{co}	Comparaison de $\lvert V_{si}\rvert$ et $\lvert V_{co}\rvert$	Octant	
			n°	Code
+	+	$\lvert V_{si}\rvert < \lvert V_{co}\rvert$	0	0 0 0
+	+	$\lvert V_{si}\rvert > \lvert V_{co}\rvert$	1	0 0 1
+	-	$\lvert V_{si}\rvert > \lvert V_{co}\rvert$	2	0 1 0
+	-	$\lvert V_{si}\rvert < \lvert V_{co}\rvert$	3	0 1 1
-	-	$\lvert V_{si}\rvert < \lvert V_{co}\rvert$	4	1 0 0
-	-	$\lvert V_{si}\rvert > \lvert V_{co}\rvert$	5	1 0 1
-	+	$\lvert V_{si}\rvert > \lvert V_{co}\rvert$	6	1 1 0
-	+	$\lvert V_{si}\rvert < \lvert V_{co}\rvert$	7	1 1 1

Cette logique délivre 3 bits qui déterminent l'octant occupé par l'angle Θ. On remarque alors que l'angle Θ peut s'écrire :

$$\Theta(\text{degré}) = x.45° + \beta$$

x étant un chiffre compris entre 0 et 7 et β un angle complémentaire compris entre 0 et 45°, soit :

$$\Theta(\text{digital}) = (N_1, N_2)$$

N_1 étant le code de l'octant délivré par la logique de sélection

N_2 étant l'expression binaire de l'angle complémentaire β compris entre 0 et 45° ($0 \leqslant \text{tg } \beta \leqslant 1$)

Il reste donc à calculer l'expression binaire de β. Pour effectuer ce calcul, le sinus de l'angle β est appliqué à l'entrée d'un convertisseur A/N de tensions continues recevant par ailleurs une tension continue d'amplitude cos β comme tension de référence. Il délivre alors l'expression binaire de $\frac{\sin \beta}{\cos \beta} = \text{tg } \beta$ comprises entre (00...00) et (11...11).

Toutefois, il faut remarquer que sin β et cos β sont à extrapoler à partir des seules quantités analogiques connues : sin Θ et cos Θ.

Selon l'octant occupé par l'angle Θ, la logique de sélection appliquera en fait : soit ± sin Θ, soit ± cos Θ à l'entrée (Ve) du convertisseur A/N et de même pour la référence V_R, de telle façon que les quantités ainsi sélectionnées correspondent toujours à un angle compris entre 0 et 45°. De plus, on devra dans certains cas prendre le complément à 45°, c'est-à-dire le complément à 1, de l'angle ainsi obtenu (β'). Toutes ces décisions doivent être prises conformément à la table de vérité donnée à la figure XIV-42.

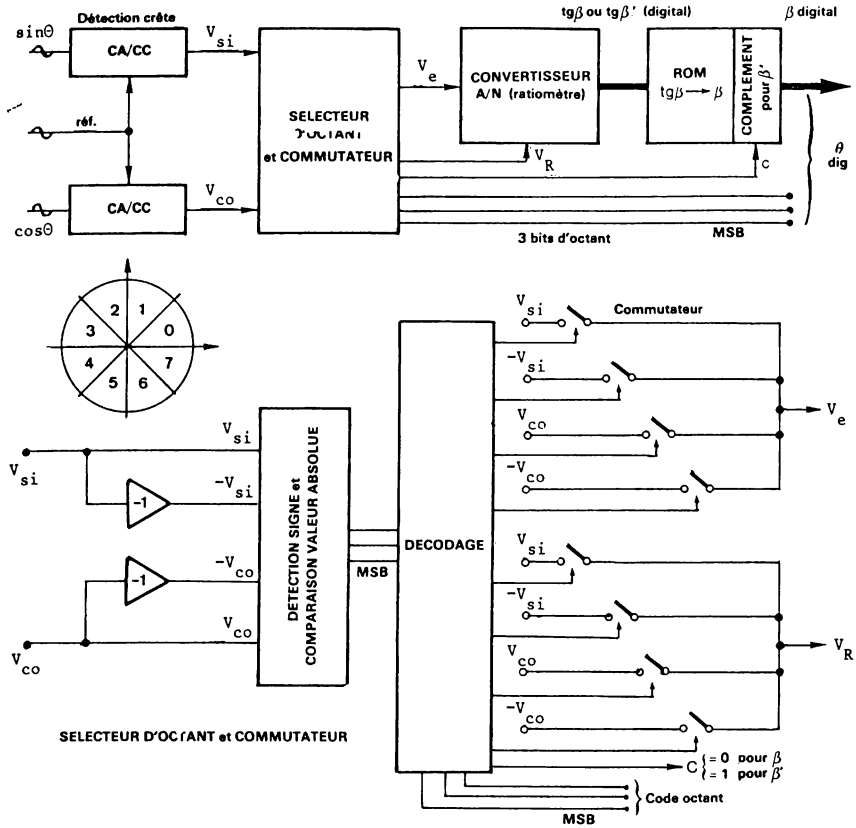


FIGURE XIV – 41.– *Conversion synchro-numérique (θ) avec sélection d'octant.*

Exemple : Cas d'une conversion sur 5 bits d'un angle compris entre 0 et 360° (figure XIV-43).

Soit un angle Θ compris entre 7α et 8α, α étant l'incrément angulaire égal à $\frac{360°}{2^n}$, n étant le nombre total de bits, soit dans cet exemple : α = 11°15.

L'octant sélectionné est le n° 1 d'où les 3 premiers bits : 001

On a :

$$\Theta = 45° + \beta \qquad 3\alpha < \beta < 4\alpha$$

L'expression $\frac{\cos \Theta}{\sin \Theta}$ = cotg Θ est donc égale à tg(45°-β).

Le convertisseur A/N recevant cos Θ à l'entrée et sin Θ en référence, délivre tg β'(β' = 45° - β). A tg β'(digital) la mémoire ROM fait

correspondre l'angle β'(digital) et dans ce cas les bits de moindre poids qui expriment β en digital seront obtenus en prenant le complément à 1 de β' (digital).

numéro octant occupé	appliquer à l'entrée du convertisseur A/N:	appliquer en V_R du convertisseur A/N:	tangente obtenue	Θ digital
0	sin Θ soit V_{si}	cos Θ soit V_{co}	tg β	000, β digital
1	cos Θ soit V_{co}	sin Θ soit V_{si}	tg(45°-β) = tgβ'	001, compl. à 1 de β'
2	-cos Θ soit $-V_{co}$	sin Θ soit V_{si}	tg β	010, β digital
3	sin Θ soit V_{si}	-cos Θ soit $-V_{co}$	tg(45°-β) = tgβ'	011, compl. à 1 de β
4	-sin Θ soit $-V_{si}$	-cos Θ soit $-V_{co}$	tg β	100, β digital
5	-cos Θ soit $-V_{co}$	-sin Θ soit $-V_{si}$	tg(45°-β) = tgβ'	101, compl. à 1 de β
6	cos Θ soit V_{co}	-sin Θ soit $-V_{si}$	tg β	110, β digital
7	-sin Θ soit $-V_{si}$	cos soit V_{co}	tg(45°-β) = tgβ'	111, compl. à 1 de β'

FIGURE XIV – 42. – *Connexion et résultats en fonction de l'octant.*

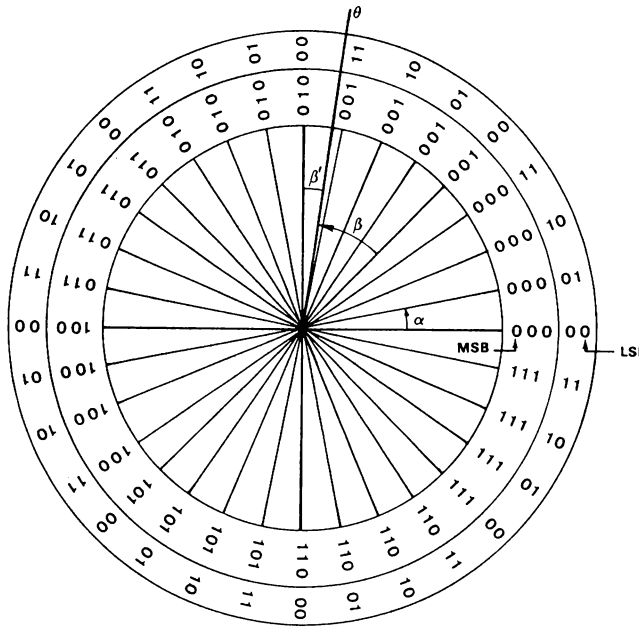


FIGURE XIV – 43. – *Code binaire 5 bits pour un angle de 0 à 360° (incrément α = 11°15').*

XIV- 7- CARACTERISTIQUES DES CONVERTISSEURS A/N

XIV-7-1) FONCTIONNEMENT BIPOLAIRE

Pour résoudre le problème de la conversion A/N de tensions continues bipolaires on peut réaliser une adaptation qui permet de se ramener à une conversion A/N de tensions unipolaires.

1) Obtention du code : signe et valeur absolue.

Il est assez simple, à l'aide d'un comparateur, de détecter le signe de la tension V_E à convertir. Le comparateur C (figure XIV-44) doit simplement être capable d'accepter entre ses entrées la tension différentielle $\pm V_{E_{max}}$, soit ± 10 volts en général. Le résultat Δ de la comparaison (V_E > ou < 0) est introduit dans la bascule de signe synchronisé par le signal d'horloge interne. Le bit de signe Q_S commande simultanément la transmission de $|V_E|$ au convertisseur A/N qui demeure donc unipolaire quant à sa structure interne. On transmet donc $+V_E$ si $V_E > 0$ (G = +1) et $-V_E$ si $V_E < 0$ (G = -1), ce qui nécessite l'emploi d'un amplificateur à gain +1 ou -1 sous contrôle digital.

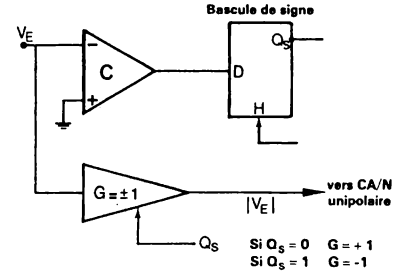


FIGURE XIV – 44.

2) Obtention des codes : binaire décalé et complément vrai.

Une transposition fait correspondre à la gamme $-V_{max}$, $+V_{max}$ des valeurs d'entrée, une gamme de valeurs comprises entre 0 et $+V_M$ pour attaquer ensuite un convertisseur A/N unipolaire. Le circuit de la figure XIV-45 permet d'écrire : $V_S = -k(V_E + V_K)$ si A est un amplificateur opérationnel. L'inversion de phase introduite peut être éliminée si nécessaire en utilisant un deuxième circuit de gain -1. La tension V_K et le coefficient k, dépendent du code dans lequel on veut obtenir l'information numérique à la sortie du convertisseur A/N, de la gamme des tensions d'entrée et de celle du convertisseur A/N interne. Considérons le tableau de la figure XIV-46. Les expressions, (00...001) à (11...111), correspondent soit à 2^n-1 valeurs analogiques de la gamme v à $(2^n-1).v$ pour un code unipolaire (valeurs > 0), soit à 2^n-1 valeurs analogiques comprises entre $-V_{E_m} = -(2^{n-1}-1).v$ et

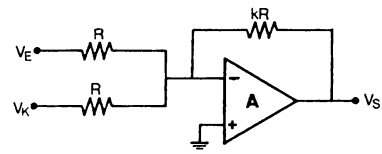


FIGURE XIV – 45.

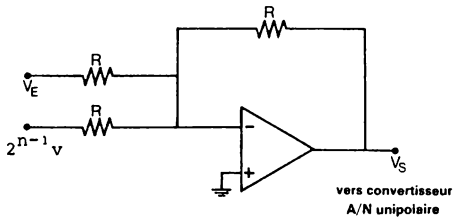
$+V_{E_m} = +(2^{n-1}-1).v$ pour le code binaire décalé.

N(n bits) MSB ... LSB	gamme unipolaire	gamme bipolaire
1 1 1 ..... 1 1	$(2^n-1).v$	$(2^{n-1}-1).v$
1 1 1 ..... 1 0	⋮	⋮
.....	⋮	⋮
.....	⋮	⋮
1 0 0 ..... 0 1	⋮	⋮
1 0 0 ..... 0 0	$2^{n-1}.v$	0
0 1 1 ..... 1 1	⋮	⋮
.....	⋮	⋮
.....	⋮	⋮
0 0 0 ..... 1 0	2v	⋮
0 0 0 ..... 0 1	v	$-(2^{n-1}-1).v$

FIGURE XIV – 46. – *Correspondance unipolaire-bipolaire.*

Dans ces conditions si on veut réaliser une conversion A/N à l'aide d'un système équipé d'un convertisseur A/N *unipolaire* et obtenir automatiquement le code bipolaire "binaire décalé", ou le code complément vrai en utilisant le bit MSB inversé, il faut assurer une translation analogique. A la tension $+V_{E_M}$ (maximum positif) du signal bipolaire on devra faire correspondre la tension $+V_{max}$ acceptée par le convertisseur A/N unipolaire interne et à la tension $-V_{E_M}$ (maximum négatif) on devra faire correspondre la tension +v(LSB). Le tableau de la figure XIV-46 précise également qu'à la tension nulle du signal bipolaire doit correspondre la tension $2^{n-1}.v$ soit la valeur du bit MSB du convertisseur A/N unipolaire.

Pratiquement, à la tension bipolaire V_E d'entrée est additionnée la tension $2^{n-1}.v$ de façon qu'à la gamme de tension $-(2^{n-1}-1)v$ à $(2^{n-1}-1).v$ corresponde la gamme v à $(2^n-1)v$ donc les expressions numériques de (00...01) à (11...11).



$$-(2^{n-1}-1)v < V_E < +(2^{n-1}-1)v$$

$$v < V_S < (2^n-1)v$$

FIGURE XIV – 47.

EXEMPLE

Si la tension MSB fait 5 volts, le signal bipolaire de la gamme

-5 volts + LSB à + 5 volts - LSB sera transformé en signal unipolaire dans la gamme + LSB à + 10 volts - LSB. Pour accepter une tension bipolaire dans la gamme - 10 volts + LSB à + 10 volts - LSB (on dit très souvent : gamme - 10 à + 10 volts ou oubliant le LSB) la tension de décalage ne sera plus de 5 volts mais de 10 volts. Le gain de la chaîne de calcul doit alors être de $k = \frac{1}{2}$.

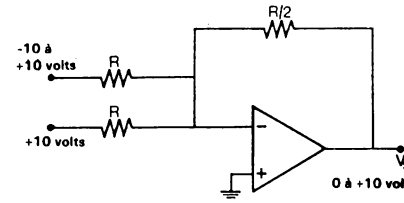


FIGURE XIV – 48.

XIV-7-2) PARAMETRES ELECTRIQUES

Un exemple de spécification pour un convertisseur A/N (12 bits) est donné par le tableau de la figure XIV-49. On y relève les différentes erreurs de conversion A/N en sus de l'erreur (systématique) de quantification qui est de $\pm \frac{1}{2}$ LSB.

Les principales erreurs sont traduites par les courbes de la figure XIV-50. Ce sont respectivement :

- L'erreur de décalage (offset voltage)
- L'erreur de gain (ou erreur sur le facteur d'échelle)
- L'erreur de linéarité (ou non linéarité)
- L'erreur différentielle de linéarité

Ces erreurs sont définies de la même manière que pour les convertisseurs N/A (chapitre XII). Quelques points essentiels méritent toutefois d'être précisés.

- La tension de décalage est en général réglable à ZERO (zéro calibration). Cette compensation, de courant de fuite, d'étage différentiel mal équilibré etc..., est réalisée souvent à l'aide d'une résistance variable. La qualité du zéro obtenu est dans ces conditions seulement limitée par la résolution de ce réglage, celle du potentiomètre par exemple, ou par la résolution de l'instrument de mesure. Mais la stabilité de ce ZERO n'est pas pour autant parfaite. En particulier l'équilibrage ainsi réalisé est généralement remis en question à différentes températures. Il est donc nécessaire de tenir compte du coefficient de température de cette tension de décalage (ZERO T.C.). Par exemple : ± 10 ppM/°C ou encore ± LSB/25°C (LSB = 5 mV).

On remarquera toutefois que si l'utilisateur ne désire pas ajuster ce zéro, le constructeur garantit souvent la limite maximum de cette tension de décalage (sans réglage). Par exemple elle sera comprise entre - 10 LSB et + 10 LSB. Ce qui signifie que pour une tension d'entrée nulle on pourra obtenir des résultats de codage dans la fourchette ± 10 LSB. Pour

RESOLUTION	12 Bits
ACCURACY	
Error Relative to Full Scale	±½LSB max
Quantization Error	±½LSB max
Differential Nonlinearity Error	±½LSB max
Missing Codes	No missing codes from 0°C to +70°C
TEMPERATURE COEFFICIENTS	
Gain TC	±30ppm/°C of Reading[1], max
Zero TC (Unipolar)	±5ppm/°C of Range[1], max
(Bipolar)	±10ppm/°C of Range[1], max
Differential Nonlinearity TC	±10ppm/°C of Range[1], max
CONVERSION TIME[2]	40μs max
INPUT VOLTAGE RANGES	±5V, ±10V, 0 to +5V, 0 to +10V
INPUT IMPEDANCE	
±5V and 0 to +10V Ranges	5k ohms
±10V Range	10k ohms
0 to +5V Range	2.5k ohms
Buffered[3]	1000 Megohms min
CONVERT COMMAND[4]	Positive Pulse, D.C. coupled, 100ns min width; rise and fall time 1μs max, 3 unit loads
DATA OUTPUTS[4]	
Parallel Data	5 unit loads/bit
Serial Data	5 unit loads
OUTPUT CODING	
Unipolar (Parallel or Serial)	Binary, positive-true
Bipolar { Parallel	Offset binary or 2's complement, positive-true
Bipolar { Serial	Offset binary, positive-true
LOGIC OUTPUTS[4]	
Status	"1" during conversion, "0" otherwise; 5 unit loads
$\overline{\text{Status}}$	"0" during conversion, "1" otherwise; 5 unit loads
Strobe	Serial data synchronization, 5 unit loads
POWER SUPPLY REQUIREMENTS	
Analog	+15V ±5% @ 20mA
	-15V ±5% @ 30mA
Digital	+5V ±5% @ 210mA
POWER SUPPLY SENSITIVITY[5]	
Gain	±20ppm/%ΔV$_s$
Zero	±10ppm/%ΔV$_s$

FIGURE XIV – 49. – ***Spécifications pour un convertisseur A/N 12 bits (ADC 12 QZ – Analog Devices).***

un convertisseur A/N de 12 bits ceci représente une erreur relative à la plage totale de $\pm \frac{10\ LSB}{2^{12}\ LSB}$ soit environ $\pm$ 2,5 10^{-3}, cette erreur pouvant être éliminée si on procède à l'équilibrage prévu.

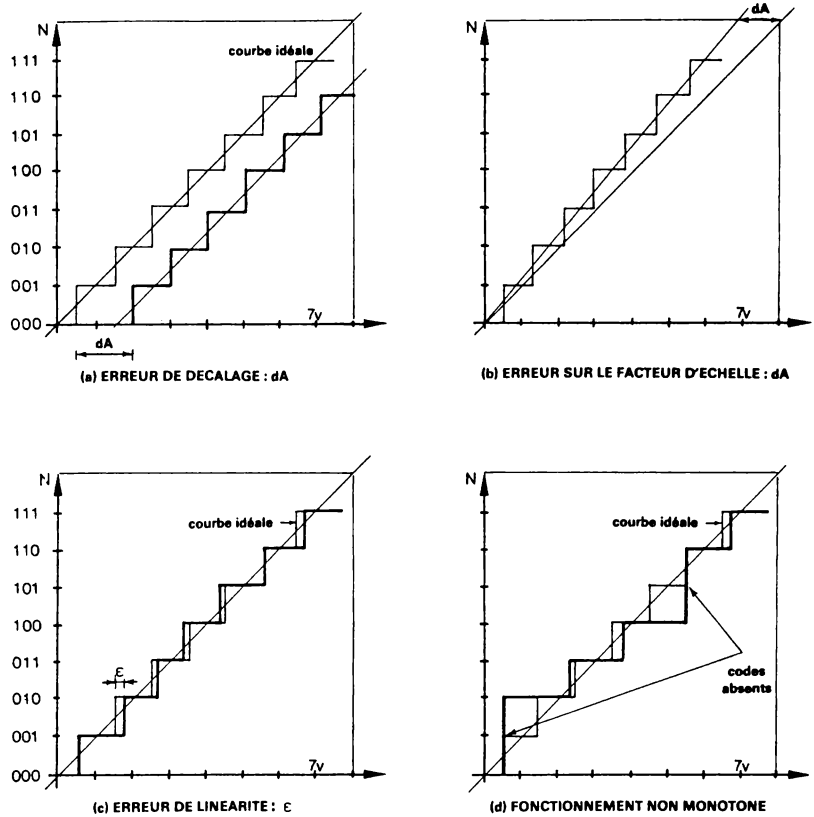


FIGURE XIV – 50. – *Erreurs de conversion A/N.*

- Le gain du convertisseur A/N, qui est concrétisé par la pente de la courbe (b), est lui aussi très souvent ajustable (gain calibration). Si ce réglage n'est pas fait, l'erreur présentée par le convertisseur ne pourra pas être supérieure à une valeur garantie. Dans l'exemple choisi, cette erreur est de ± 2 LSB (max) ce qui représente une erreur relative de $\frac{\pm\ 2\ \text{LSB}}{2^{12}\ \text{LSB}}$ soit environ $\pm\ 5 \cdot 10^{-4}$ (de la plage totale).

Ce gain présente lui aussi un coefficient de température (gain T.C.) ce qui provoquera comme pour la tension de décalage, et malgré l'ajustage précis du gain, une erreur fonction de la température.

-L'erreur de linéarité par contre n'est pas ajustable. C'est la conséquence de la variation, même légère, des caractéristiques de tous les composants, passifs et actifs, du convertisseur A/N en fonction de l'amplitude des signaux. Cette erreur de linéarité est très souvent de $\pm \frac{1}{2}$ LSB (max). Elle se traduit par la courbe (C) : la courbe obtenue pratiquement présente des fluctuations autour de la courbe théorique.

- Enfin, l'erreur différentielle de linéarité traduit les variations de l'incrément obtenu en réalité, soit v ± kv, par rapport à l'incrément théorique v. Si le coefficient k est supérieur à 1, certains codes ne seront jamais obtenus (codes absents, courbe d). L'erreur différentielle de linéarité est assez souvent de $\pm \frac{1}{2}$ LSB (max).

XV– ECHANTILLONNAGE -MULTIPLEXAGE

XV-1-GENERALITES

Ces deux techniques, l'échantillonnage et le multiplexage, sont étroitement liées au traitement numérique de l'information. Ce traitement, qui est un processus séquentiel, est exécuté à partir des valeurs (échantillons) présentées par les différentes variables à un instant t bien déterminé. Quant au nombre d'échantillons nécessaires par unité de temps (fréquence d'échantillonnage ou sampling rate) il est d'autant plus grand que les phénomènes varient rapidement et il en est évidemment de même de la "fréquence de calcul".

Si un phénomène est traduit sous la forme analogique E(t), l'échantillonnage se résume en une mise en mémoire analogique, de la valeur instantanée $E(t_i)$ à l'instant t_i. Puis une conversion A/N est exécutée et la valeur N est transmise à l'unité de traitement.

Pour amener toutes les informations numériques à l'unité de traitement, dans sa mémoire principale en général (main frame memory), on procède à un multiplexage digital, très souvent par mot de 16 bits mais aussi de 8, 24 ou 32 bits et ceci met en oeuvre les techniques étudiées au chapitre V.

Dans le cas où un assez grand nombre de signaux analogiques sont à convertir par un seul convertisseur A/N de très haute qualité, on procède à un multiplexage analogique. Le multiplexeur analogique se place alors entre les voies analogiques et l'entrée du convertisseur A/N.

Ces techniques d'échantillonnage et de multiplexage se rencontrent dans tous les systèmes d'acquisition de données mais également dans le domaine des transmissions de communications, par cables ou aériens, comme par exemple dans la transmission à multiplexage temporel MIC (ou PCM : pulse code modulation).

XV-2-L'ECHANTILLONNAGE

Si le signal analogique évolue très lentement devant la vitesse de conversion, le simple fait de déclencher la conversion A/N est en lui-même une opération d'échantillonnage. Par contre si le phénomène évolue rapidement ou peut présenter des transitoires rapides ou encore si la connaissance du phénomène à un instant t bien précis est nécessaire, dans tous les cas

il y a lieu d'interposer un circuit capable de fixer très rapidement la valeur analogique à cet instant t. L'échantillon obtenu, de valeur stable, peut alors être traité par un convertisseur A/N. On remarque enfin que l'emploi d'un échantillonneur-bloqueur en amont d'un convertisseur A/N procure

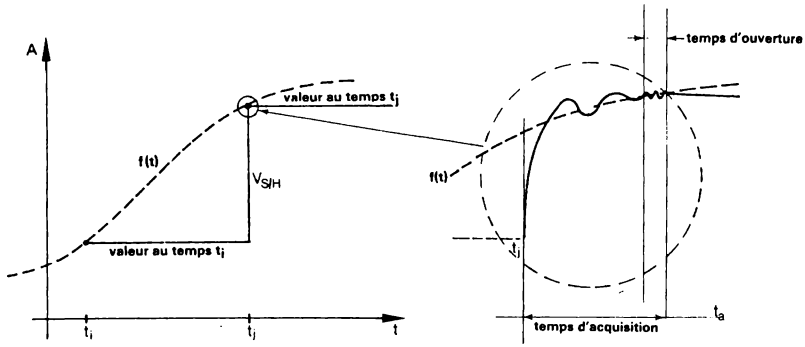


FIGURE XV – 1.– *Réponse d'un échantillonneur-bloqueur (S/H circuit).*

également un isolement entre cet organe généralement sensible et rapide, et le capteur suivi de sa ligne de transmission. On améliore ainsi en moyenne le rapport signal/bruit de la transmission.

La constitution typique d'une chaîne complète d'acquisition pour une voie analogique sera normalement constituée comme l'indique la figure XV-2.

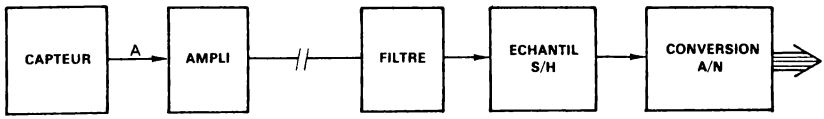


FIGURE XV – 2.– *Acquisition d'une voie analogique.*

Dans le cas général, le signal analogique A présente une forme quelconque d'évolution dans le temps f(t) : il est composé d'un nombre plus ou moins grand de composantes sinusoïdales (spectre du signal f(t)).

L'intervalle de temps T séparant deux échantillonnages successifs sera choisi en fonction des plus hautes fréquences présentes dans le signal utile. La figure XV-3 présente deux cas d'échantillonnage pour une sinusoïde. En (b) la fréquence d'échantillonnage n'est pas suffisante et l'information après échantillonnage ne permet pas la reconstitution du vrai signal même après filtrage. En (c) la fréquence est supérieure au double de la fréquence

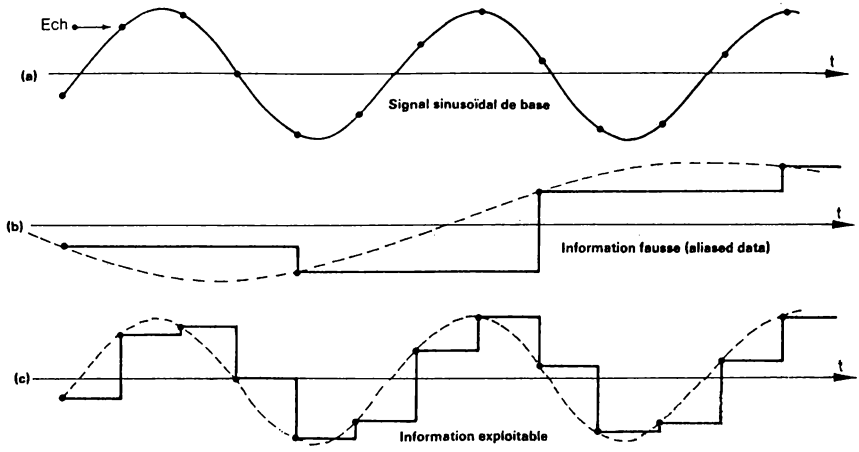


FIGURE XV – 3.– *Echantillonnage d'une sinusoïde.*

à échantillonner et un filtrage permettra de reconstituer l'information vraie.

Après traitement, l'information est délivrée également sous forme d'échantillons (numériques) se succédant à une fréquence d'autant plus élevée que le phénomène à restituer est lui-même rapide. Le signal vrai doit être reconstitué après conversion N/A, à l'aide de circuits plus ou moins élaborés. La chaîne minimum pour reconstituer ce signal est constituée d'un convertisseur N/A suivi, ou non, d'une mémoire analogique. L'information, dans les deux cas, a une forme en escalier bien connue. On peut également, après conversion N/A, faire appel à un circuit de maintien à interpolation d'ordre 1. A l'échantillon f(nT) ce circuit fait correspondre la valeur précédente f[(n-1).T] à laquelle il ajoute une évolution linéaire dont la pente est proportionnelle à l'accroissement f[(n-1).T] - f(nT). Dans cet intervalle la fonction s'écrit :

$$f(t) = f(n-1).T + \frac{t-nT}{T} [f(n.T) - f(n-1).T]$$

La reconstitution est meilleure (figure XV-4-b) mais il y a un retard de phase égal à T entre l'information reconstituée et l'information source.

REMARQUES

1) En règle générale l'échantillonneur bloqueur se place entre le multiplexeur analogique et le convertisseur A/N et il n'y en a donc qu'un pour x voies. Toutefois, si plusieurs phénomènes rapides sont analysés et s'il est primordial que les différents échantillons soient prélevés au même instant précis t, chaque voie analogique sera équipée d'un échantillonneur. La conversion

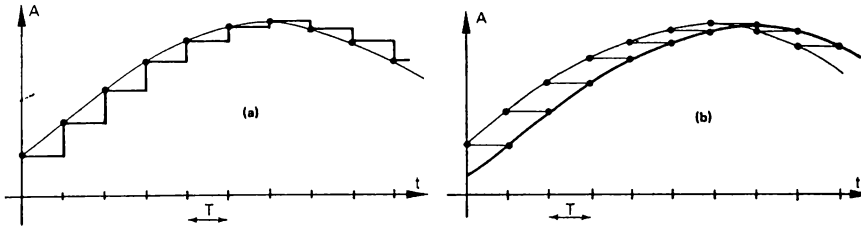


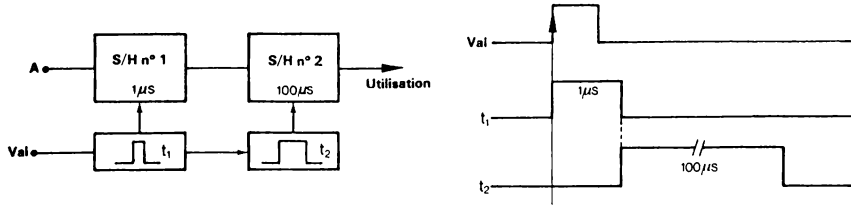
FIGURE XV – 4. – *Reconstitution d'un signal analogique.*

A/N sera ensuite assurée soit par x convertisseurs fonctionnant simultanément, soit par un seul convertisseur A/N précédé d'un multiplexeur analogique.

2) Dans de nombreuses applications on constate que l'on attend d'un échantillonneur qu'il délivre, lorsqu'il est en position de maintien (hold), une tension continue si possible dépourvue de parasites ou tensions résiduelles quelconques (isolement parfait de la sortie par rapport à l'entrée). Mais son entrée demeure en relation avec une ligne où des transitoires rapides et de grande amplitude peuvent se présenter. Ceux-ci ne doivent pas "traverser" l'échantillonneur en position de maintien (par les capacités parasites essentiellement). Cette possibilité d'isolement plus ou moins élevé en réalité, est traduite par le terme anglais "feedthrough" et elle s'exprime en millivolt pour une variation donnée du signal d'entrée (déviation pleine échelle) et à une fréquence déterminée si ce couplage en est dépendant. Un isolement est déjà excellent si une variation de 20 volts à l'entrée se traduit par une résiduelle de 1 mV (max) en sortie.

3) Dans certaines applications on est conduit à prélever un échantillon très rapidement, par exemple en 1 µs, ce qui impose l'utilisation d'une mémoire analogique très rapide. Mais il lui sera alors très difficile de présenter un très bon taux de perte (droop rate). Dans le cas où l'échantillon est exploité dans les quelques dizaines de microsecondes qui suivent (cas d'une conversion A/N) ceci n'a aucun inconvénient. Par contre, si l'utilisation qui exploite cet échantillon évolue lentement tout en présentant une *très grande sensibilité*, il est intéressant de faire suivre cette mémoire rapide d'une deuxième plus lente mais qui pourra présenter un taux de perte bien meilleur (elle aura une capacité de stockage plus grosse). Ainsi la mémoire rapide pourra présenter un temps d'acquisition de 1 µs et un taux de perte de 1 mV/ms et la deuxième mémoire un temps d'acquisition de 100 µs et un taux de perte de 1 mV par seconde.

Pour l'unité de traitement qui alimente cette chaîne de deux mémoires analogiques en série (la valeur analogique A peut provenir d'un convertisseur N/A), tout se passe comme s'il y avait une seule mémoire de temps



d'acquisition de 1 µs avec un excellent taux de perte. Le temps d'occupation du système qui délivre A est donc minime et de plus la période de renouvellement pourra être faible (par exemple toutes les secondes pour tenir une précision de 10^{-5} -cas de phénomènes T.B.F.).

XV-3-LE MULTIPLEXAGE ANALOGIQUE

Un multiplexeur de tensions analogiques doit présenter sur son unique sortie l'une des N tensions appliquées à ces N entrées. Cette transmission s'effectue avec une certaine qualité et la voie à sélectionner est désignée au moyen d'une adresse binaire. Un multiplexeur analogique est donc constitué de deux parties (figure XV-5). D'une part un ensemble de N interrupteurs, électromécaniques (lents) ou électroniques, qui sont reliés à un même point (la sortie) à la suite duquel un amplificateur d'adaptation peut être éventuellement placé.

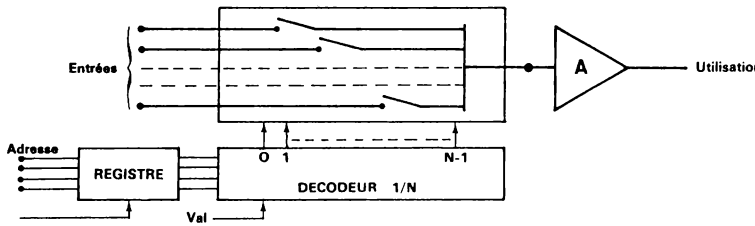


FIGURE XV – 5. – *Organisation d'un multiplexeur analogique.*

Chaque interrupteur reçoit une voie et un seul parmi les N est à l'état passant (conducteur) à un instant donné, permettant ainsi à la tension qu'il reçoit d'être présentée en sortie.

La deuxième partie est logique : un décodeur 1 parmi N décode les n bits d'adresse (en général $N = 2^n$). Les N sorties du décodeur contrôlent chacune l'état d'un interrupteur (OFF ou ON). Ces interrupteurs peuvent être soit des relais haute fiabilité, comme par exemple des reed-relay

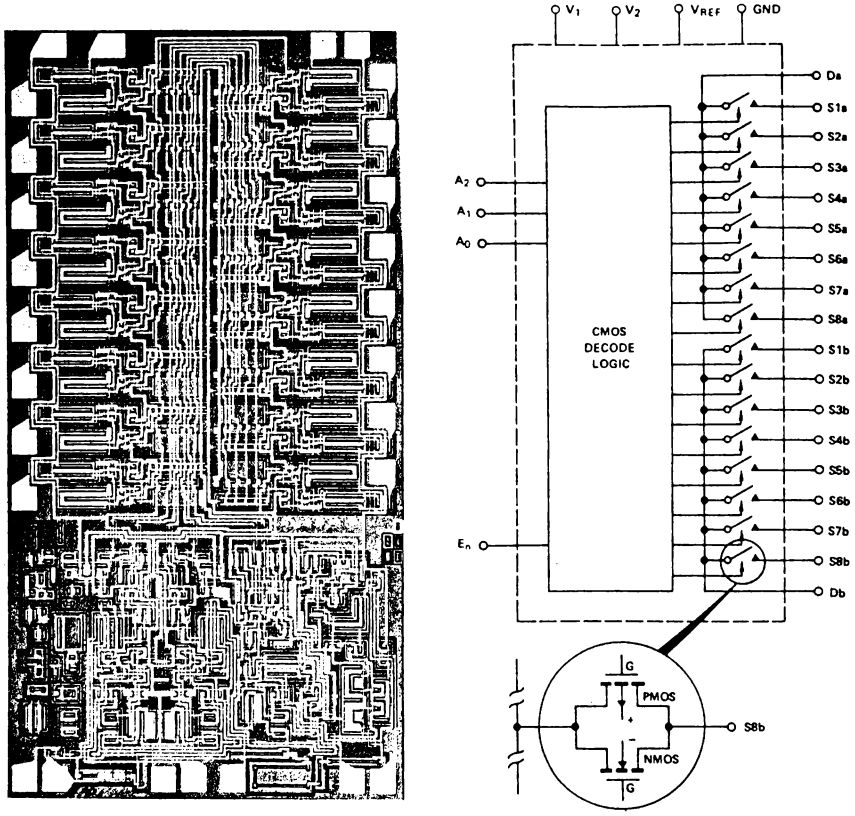


FIGURE XV – 6. – *Multiplexeur analogique 16 voies (1 parmi 16 ou 2 fois 1 parmi 8) Doc : SILICONIX. Réalisé en technologie CMOS; on distingue sur la partie haute les 16 interrupteurs CMOS et sur la partie basse le circuit de décodage*

mouilles mercure, mais le temps de réponse sera de l'ordre de 1 ms, soit des transistors bipolaires ou MOS.

La haute densité en technologie MOS permet de réaliser maintenant un circuit monolithique où sont rassemblés 16 interrupteurs et le circuit d'adaptation et de décodage, soit au total environ 600 éléments actifs (figure XV-6). Une version avec deux interrupteurs synchrones (1 paire parmi 8) permet de commuter une ligne bifilaire.

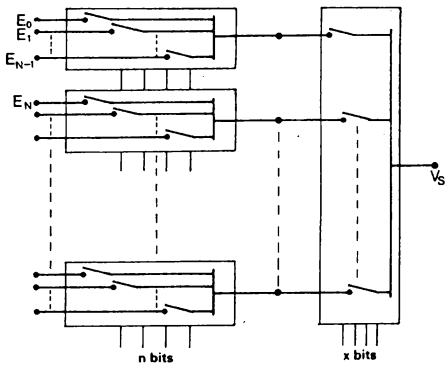
REMARQUE

Lors d'un changement d'adresse il se peut que deux interrupteurs soient momentanément conducteurs (durant la transition, soit par exemple pendant 0,3 µs pour des transistors CMOS). Deux sources analogiques peuvent alors être mises en relation. Si cela doit être absolument évité, il y a lieu d'utiliser l'entrée validation du décodeur d'adresse pour bloquer le décodage à chaque modification (durant 1 µs par exemple pour des interrupteurs électroniques). Mais on peut également organiser les circuits de telle façon qu'un interrupteur passe de l'état ON à l'état OFF *plus vite* que de l'état OFF à l'état ON (break before make switching). Ainsi on peut être assuré que deux voies analogiques adressées successivement ne seront pas mises en relation.

Extension de la capacité

En utilisant plusieurs modules tel que le multiplexeur 16 voies représenté à la figure XV-6, on peut atteindre de grandes capacités. Néanmoins il faut observer que si N interrupteurs convergent vers le même point de sortie, il y aura à ce point N capacités en parallèle et N courants de fuite. Les performances en rapidité, stabilité et bruit seront donc assez mauvaises (pour N grand). Pour améliorer ces performances on procède à un multiplexage à 2 niveaux.

L'organisation du multiplexeur pour 2^{n+x} voies est celle représentée à la figure XV-7 . Le premier niveau est constitué de X multiplexeurs de N voies ($N = 2^n$, $X = 2^x$) et délivre donc X sorties pour X.N entrées. Le deuxième niveau doit donc multiplexer 1 parmi les X sorties du premier niveau. L'adresse d'une voie parmi les X.N est composée de x + n bits, les bits de poids faible étant décodés par le 1er niveau.



adresse (x,n) x bits	n bits	entrée sélectionnée
0000	0000	E_0
0000	0001	E_1
0000	0010	E_2
⋮	⋮	
0000	1111	E_{N-1}
0001	0000	E_N
0001	0001	⋮
⋮	⋮	⋮
0001	1111	⋮
0010	0000	⋮
⋮	⋮	

FIGURE XV – 7.– *Multiplexeur analogique de X.N voies à 2 niveaux.*

Caractéristiques des multiplexeurs

Un multiplexeur analogique présente donc des caractéristiques qui sont essentiellement déterminées par les interrupteurs et l'amplificateur A :

- la linéarité du rapport $\frac{V_S}{V_e}$ (tension de sortie sur tension d'entrée) en fonction de l'amplitude de ces signaux.
- la précision du gain $\frac{V_S}{V_e}$.
- la tension de décalage V_{os} présente en sortie, lorsque toutes les entrées sont au potentiel de référence.
- le coefficient de température de V_{os} : $\frac{\Delta V_{os}}{\Delta T}$.
- la vitesse de balayage en sortie : $\frac{\Delta V_s}{\Delta t}$ (en V/µs).
- le temps de réponse pour que la tension de sortie passe de la valeur $-V_{max}$ à $+V_{max}$ avec une précision donnée.
- la réjection du mode commun (en montage différentiel).
- le courant d'entrée et la résistance série présentée par un interrupteur à l'état passant (ON).
- l'impédance d'entrée, ou le courant de fuite, pour un interrupteur à l'état bloqué (OFF).
- l'isolement entrée-sortie procuré par une voie bloquée (cross channel coupling, crosstalk, OFF isolation etc...) qui est égal au rapport $\frac{V_{sd}}{V_{eM}}$ (ou 20 log $\frac{V_{sd}}{V_{eM}}$), V_{sd} étant la tension résiduelle présente en sortie due à l'application d'une tension V_{eM} appliquée à l'entrée d'une *voie bloquée*. La tension V_{eM} a généralement l'amplitude maximum et une fréquence déterminée (par exemple 20 volts sinusoïdal 1 MHz).

XV-4-FONCTIONNEMENT D'UNE CHAINE D'ACQUISITION

Nous évoquons le cas où, pour diverses raisons, il n'est pas choisi de numériser la sortie de chaque capteur analogique, ce qui conduirait à un convertisseur A/N pour chaque capteur. En conséquence il faut placer un multiplexeur analogique et un échantillonneur-bloqueur devant le convertisseur A/N (figure XV-8). Les séquences décrites par les éléments de cette chaîne sont les suivantes.

A la suite d'une demande d'information concernant une voie i :

1) adressage et validation du multiplexeur (voie i). Le temps d'établissement est t_e (par exemple 10 µs pour une précision de 10^{-4}).

2) prise de l'information analogique par l'échantillonneur-bloqueur. Ce temps d'acquisition est t_a (échantillonnage). Si le temps t_a est très petit devant t_e, l'échantillonneur pourra être simplement commandé au bout du

temps t_e. Par contre s'ils sont du même ordre de grandeur et s'il importe de ne pas perdre de temps, les deux circuits pourront fonctionner simultanément, avec éventuellement un léger retard pour l'échantillonneur.

3) fin d'échantillonnage signalée au convertisseur N/A : début de la conversion A/N. L'échantillonneur est maintenant en position "maintien", jusqu'à la prochaine commande. Le temps de conversion est t_c. Au bout de ce temps le signal "fin de conversion" indique que l'information numérique N_i est disponible et peut être transmise à l'unité de traitement ou de mémorisation. Le temps total de l'opération est donc $t_e + t_c$ au moins.

Ces deux temps t_e et t_c étant en général du même ordre de grandeur, par exemple 10 µs pour une précision de 10^{-4} et 14 bits soit 20 µs au total, on peut augmenter la vitesse d'acquisition de ce système en utilisant un échantillonneur rapide.

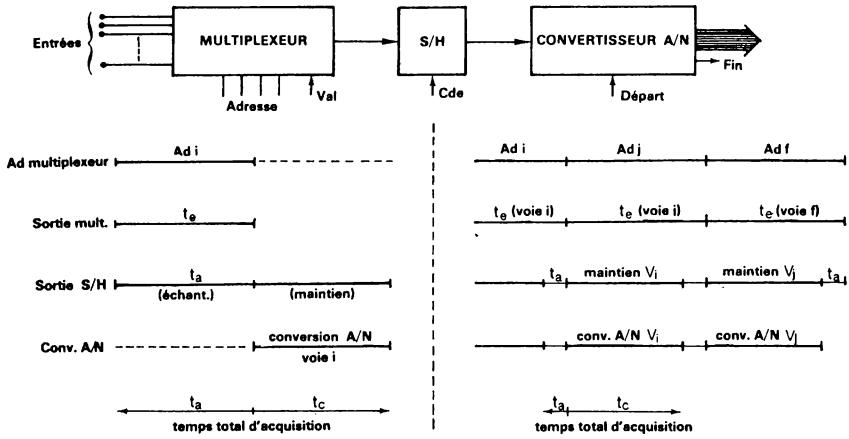


FIGURE XV – 8.– *Fonctionnement d'une chaîne d'acquisition.*

En effet pendant que l'échantillonneur rapide maintient l'information stable pour le convertisseur A/N, l'adresse du multiplexeur peut être modifiée ce qui lui permet de préparer la prochaine voie (n°j) à convertir. Dès que celle-ci est prête (à 10^{-4}) *et* que la conversion A/N est terminée (pour V_i), l'information numérique étant immédiatement rangée dans une mémoire tampon, on peut déclencher l'échantillonnage de V_j (1 µs par exemple) suivi de la conversion A/N de V_j. Le temps d'acquisition est maintenant pratiquement égal à t_c puisque t_a peut être assez petit.

XVI – APPLICATIONS DES CONVERTISSEURS A/N. ACQUISITION DE DONNEES

XVI -1- INTRODUCTION

D'une façon générale, un convertisseur A/N est utilisé chaque fois que l'information disponible sous forme analogique doit subir une des trois importantes opérations suivantes :

- TRAITEMENT NUMERIQUE (calcul, comparaison, etc...)
- TRANSMISSION NUMERIQUE
- VISUALISATION NUMERIQUE

Parallèlement on peut chercher à transformer un certain nombre de capteurs analogiques utilisés couramment, en capteur à sortie numérique en incorporant à l'intérieur de ce capteur un micro-convertisseur A/N.

Enfin le convertisseur A/N associé à un multiplexeur analogique est l'organe d'adaptation entre un ensemble de sources analogiques et un organe de traitement numérique (ou une ligne de transmission digitale).

XVI -2 - AFFICHAGE NUMERIQUE

L'affichage numérique d'une valeur étant habituellement réalisé à l'aide de la numération décimale, un convertisseur A/N qui est un organe de numération binaire doit être souvent suivi d'un circuit de transcodage approprié pour commander l'organe de visualisation (voir chapitre VIII). Dans ces conditions, on constate que l'affichage numérique d'une information analogique est réalisé par une chaîne entièrement électronique, ce qui est à comparer aux systèmes classiques d'affichage à commande analogique généralement électromécaniques : chaîne de recopie par machine-synchro, asservissement de position pour commande de tambour, aiguille, etc...

Ainsi dans le domaine de l'instrumentation, l'affichage numérique (décimal) a remplacé en quasi totalité l'affichage utilisé auparavant au moyen d'un cadran et d'une aiguille.

Un voltmètre numérique, ou multimesureur digital, est constitué principalement d'un convertisseur A/N, généralement du type à intégration, suivi d'un décodage. Le convertisseur A/N pourra délivrer le code BCD ce qui nécessitera l'utilisation d'un simple décodeur BCD/décimal. Pour assurer une mesure sur 100.000 points, il faut un convertisseur A/N équipé d'un compteur binaire de résolution 100.000 (99.999 en pratique) soit de 20 bits

(5 BCD). Le domaine du pesage représente également un vaste problème que l'on peut résoudre en utilisant soit un capteur analogique suivi d'un convertisseur A/N soit un codeur à disque. Un système d'affichage angulaire sera de même constitué d'un convertisseur synchro-numérique (ou d'un codeur à disque) suivi d'un circuit de transcodage (affichage de 0 à 359,99...).

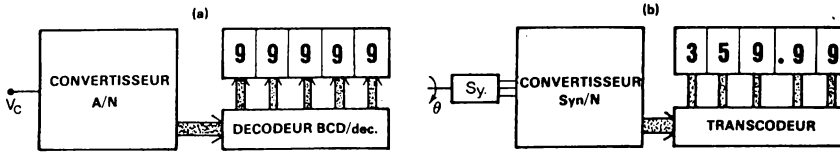


FIGURE XVI – 1.– *Affichage numérique d'une tension (a) ou d'un angle (b).*

XVI-3 - TRANSMISSION MIC (ou PCM)

Le système de transmission numérique MIC (Modulation par Impulsion et Codage ou PCM, Pulse Code Modulation) s'insère dans le vaste programme des communications et échanges de données numériques. Il consiste à échantillonner le signal source (analogique) puis à convertir l'amplitude de chaque échantillon en code binaire pour effectuer sa transmission sur ligne numérique. Ce signal échantillonné peut être une conversation téléphonique, un signal H.F (vidéo T.V.), etc...

Prenons l'exemple d'une transmission MIC pour une communication téléphonique. Compte tenu du théorème de Shannon qui conduit à faire un échantillonnage à plus de 2 fois la fréquence la plus haute du spectre à transmettre, et étant donné la bande passante habituellement requise pour une communication téléphonique, on échantillonne à une fréquence de 8000 Hz, c'est-à-dire toutes les 125 µs. Quant à la résolution avec laquelle chaque échantillon est quantifié, elle est en général de 8 bits. Une conversation téléphonique nécessite donc un transfert de 8 bits toutes les 125 µs soit une vitesse de transmission de 64 K bit/s.

Une ligne multiplex. MIC à 32 voies simultanées doit donc écouler jusqu'à 32×64.10^3 bit/s, soit pratiquement 2 M bit/s. Pour éviter la détérioration de l'information due à une trop grande longueur de câble, des circuits régénérateurs sont disposés tout le long de la ligne à intervalles réguliers (1800 à 5000 mètres selon les câbles utilisés et la vitesse de transmission). Le signal binaire étant remis en forme à chaque étape, la transmission est assurée avec une très bonne qualité.

Le circuit d'adaptation MIC est donc constitué d'un échantillonneur et d'un convertisseur A/N haute vitesse de 8 bits codant séquentiellement les différents abonnés simultanément en ligne (figure XVI-2). Si en 125 µs

il faut transmettre 32 échantillons en série, il y a environ 4 µs pour traiter chaque échantillon (en pratique il faut également introduire un certain nombre de bits supplémentaires : signal de verrouillage de trame, indication de justification ou repère de voie). Si le convertisseur n'est pas du type à sortie série durant la conversion, pour augmenter la vitesse de scrutation et donc la densité d'information transmise par unité de temps, on pourra effectuer la transmission de la voie i, précédemment codée, pendant la conversion A/N de la voie suivante (i+1).

En définitive, on dispose d'environ 4 µs pour effectuer une conversion A/N de 8 bits et d'un temps égal pour une transmission série de 8 bits (0,5 µs/bit), ces deux opérations étant simultanées. A l'arrivée le signal vocal est naturellement restitué à l'aide d'un convertisseur N/A dont l'information est renouvelée toutes les 125 µs.

Pour transmettre de même un signal vidéo T.V. couleur il faut également un codage sur 8 à 9 bits, ce qui pour 625 lignes donne un débit de 120 M bit/s. Des études sont faites pour atteindre cette vitesse et même ultérieurement 500 M bit/s. A 120 M bit/s, on pourra transmettre sur une seule ligne soit un signal TV couleur soit 1700 voies de parole codées numériquement.

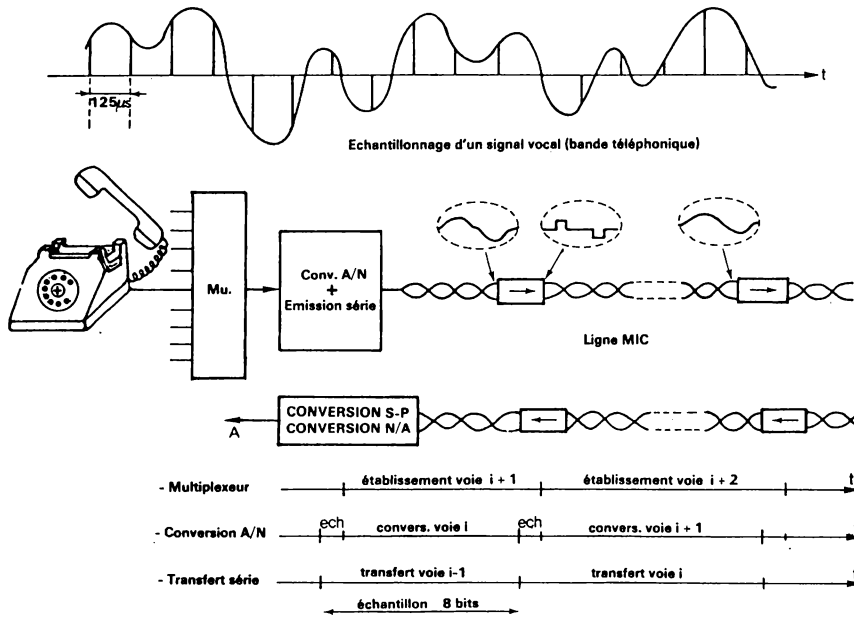


FIGURE XVI – 2.– *Liaison MIC (PCM).*

Mais ce principe de transmission peut être retenu pour des applications plus modestes. Ainsi dans un avion moderne comme le Boeing 747, 8 programmes musicaux sont distribués à chaque siège-passager à l'aide d'une seule ligne bifilaire. Le choix du programme est fait à l'aide d'un sélecteur codé (3 bits). A l'émission chaque échantillon, il y en a huit dans une trame, est précédé de son code adresse 3 bits et à la réception, en fonction de la position du sélecteur codé, seules les informations précédées du code adresse correspondant sont retenues, mises en mémoire et converties par un convertisseur N/A. Il y a ainsi économie de poids et volume (de fils) tout en conservant à l'information une bonne immunité aux bruits.

XVI-4- ANALYSE de PHENOMENES RAPIDES

La saisie d'un phénomène rapide aléatoire est possible sous la forme binaire car les mémoires RAM à tores et surtout à semi-conducteurs bipolaires présentent un temps d'accès et un cycle d'écriture très petits. Ainsi la chaîne représentée à la figure XVI-3 (a) constitue une mémoire analogique infinie. Cette mémoire est en effet capable de stocker indéfiniment une valeur : l'amplitude du signal V_E à un instant t. Sur ordre transmis en D il y a successivement un échantillonnage, une conversion A/N puis transfert de cette information dans un registre binaire R qui est également connecté à un convertisseur N/A. A la sortie du convertisseur N/A on trouve donc l'amplitude $V_E(t)$ et ce, tant qu'une nouvelle conversion n'est pas commandée.

L'organisation représentée à la figure XVI-3 (b) est beaucoup plus puissante et permet de reproduire un signal complexe.

A la réception d'un signal "départ" qui peut éventuellement être généré par le signal à enregistrer, la logique de commande déclenche une suite d'échantillonnages de la tension $V_E(t)$ à la fréquence $\frac{1}{\theta}$. Chaque échantillonnage est naturellement suivi d'une conversion A/N et d'un rangement en mémoire. L'adresse de la mémoire est fournie par un compteur de x bits qui, remis à zéro, au début de l'enregistrement, est incrémenté à la fréquence $\frac{1}{\theta}$ (après chaque échantillonnage). A la fin de chaque conversion l'adresse est validée et l'ordre d'écriture (E/L = 1) étant donné, le mot binaire de n bits correspondant à l'échantillon $V_E(t_i)$ est rangé à l'adresse n° i.

Le phénomène peut être reproduit, sous sa forme analogique, grâce à un convertisseur N/A auquel on transmet à une certaine fréquence les valeurs successives qui ont été rangées en mémoire. Cette fréquence sera $\frac{1}{\theta}$ si on veut conserver l'échelle des temps constante ou bien supérieure ou inférieure à $\frac{1}{\theta}$ suivant que l'on veut accélérer ou ralentir l'évolution du phénomène.

La reproduction peut être soit simultanée soit différée. Si N est le nombre de mots de la mémoire, le phénomène pourra être enregistré durant

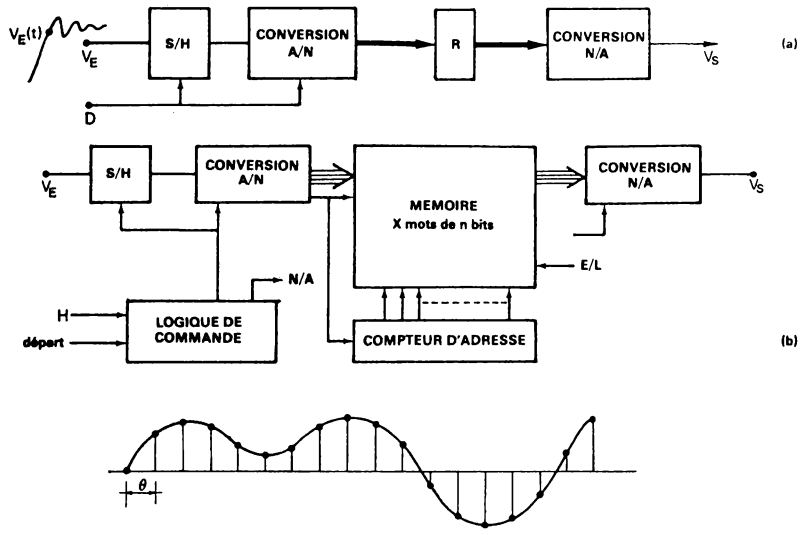


FIGURE XVI – 3.– *Mémoire infinie.*

un temps N.θ. Bien entendu θ sera fonction de la vitesse d'évolution du phénomène.

Si la rapidité est le facteur n° 1, on pourra effectuer un cycle élémentaire d'enregistrement de 0,5 µs, à condition d'utiliser un convertisseur parallèle (4 à 5 bits) et une mémoire RAM à semi-conducteurs bipolaires. Des phénomènes évoluant à des fréquences de l'ordre de 500 KHz à 100 KHz, selon la précision exigée, pourront donc être enregistrés.

XVI - 5 - ENSEMBLES D'ACQUISITION ET DE RESTITUTION DE DONNEES

Un ensemble d'acquisition et de restitution de données, analogiques ou numériques, doit présenter un certain nombre de caractéristiques et son organisation dépend de plusieurs paramètres importants parmi lesquels on peut citer :

- le nombre d'entrées et de sorties, analogiques ou numériques, et leurs performances : précision - résolution - stabilité.
- la cadence des prélèvements, sur les entrées, et des restitutions pour les sorties. Celle-ci est proportionnelle au nombre de ces entrées et sorties et à la bande passante des phénomènes à analyser ou à restituer.
- le type de traitement effectué à partir des données acquises : traitement OFF-line ou différé et traitement ON-line ou en temps réel.

- la dispersion des endroits où l'information est prélevée ou restituée (capteurs et récepteurs). Cette dispersion selon qu'elle est plus ou moins grande, influence le type de transmission ainsi que l'organisation du système.

Un exemple de système centralisé pour l'acquisition et la restitution de données analogiques et numériques, est présenté à la figure XVI-4. On distingue les principales fonctions suivantes :

a) une unité logique de commande qui assure le dialogue avec l'unité d'entrée-sortie de l'ordinateur et permet l'échange des informations entre l'ordinateur, plus exactement sa mémoire de travail, et toutes les voies (entrées et sorties) du système. Cette unité logique est donc capable en particulier de transmettre à l'ordinateur toute demande de transfert et renseigne l'ordinateur sur l'état en cours.

b) une unité de dialogue et de test pour assurer un fonctionnement OFF-line (ou local mode) c'est-à-dire déconnecté de l'ordinateur. Les adresses et les informations sont affichées ou visualisées à l'aide de clés, boutons poussoirs, roues codées, voyant lumineux etc... qui sont rassemblés sur un panneau (figure XVI-4 et XVI-5). Il est ainsi possible d'assurer une maintenance facile et de rechercher une cause de mauvais fonctionnement.

c) une unité de conversion : conversion A/N précédée d'un multiplexage analogique et éventuellement d'un circuit S/H (mémoire analogique ou échantillonneur-bloqueur) et conversion N/A pour la restitution des données analogiques.

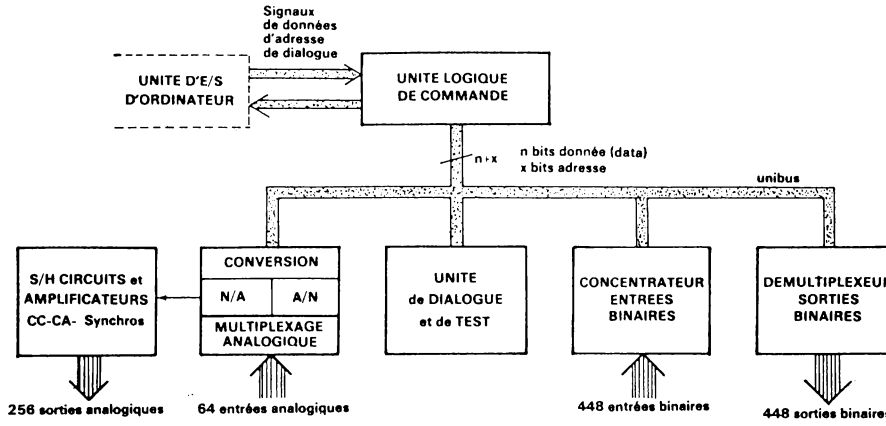
d) un concentrateur d'entrées binaires (entrées tout ou rien ou informations codées) qui est un multiplexeur digital de grande capacité ; par exemple 64 mots de 16 bits.

e) un démultiplexeur de sorties binaires (sorties tout ou rien ou informations codées pour récepteurs numériques) assurant l'aiguillage, ou démultiplexage, de paquets de x bits ; par exemple 64 mots de 16 bits;

f) une partie purement analogique destinée à commander les voies équipées de récepteurs analogiques. L'information analogique issue du convertisseur N/A est mise en mémoire dans des circuits S/H lesquels sont suivis d'amplificateurs d'adaptation : en courant, en tension, en puissance (courant continu ou alternatif) pour signaux monophasés ou synchromachines etc...

On rappelle (voir chapitre XIII) que l'on peut également utiliser un convertisseur A/N et N/A par voie analogique et éviter ainsi le multiplexage analogique et le démultiplexage analogique par circuit S/H.

Si les données, analogiques ou numériques, sont rassemblées géographiquement, toutes ces unités électroniques peuvent être intégrées dans un



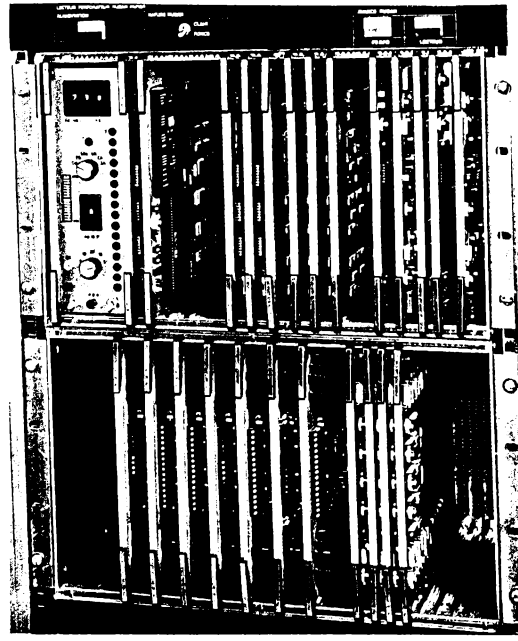


FIGURE XVI – 4.– *Ensemble d'acquisition et de restitution de données analogiques et numériques.*
(Doc : L.M.T. Simulateurs et systèmes électroniques)

ensemble compact et homogène (figures XVI-4 et XVI-5). L'avantage en résultant est évidemment sensible tant au point de vue de la réalisation que de la maintenance et du coût.

Dans d'autres cas les points d'acquisition ou de restitution des phénomènes seront très dispersés. Il faudra alors assurer une transmission par câble adapté et émetteur-récepteurs de ligne ou au moyen de modem et lignes téléphoniques spécialisées entre les points de mesure et l'unité de traitement. La décentralisation qui peut résulter de cette dispersion et de l'éloignement peut conduire dans certains cas complexes à utiliser plusieurs mini-systèmes d'acquisition résolvant une partie du problème sur place mais reliés à l'unité principale de traitement.

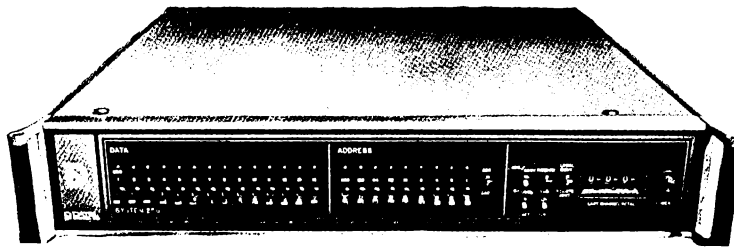


FIGURE XVI – 5.– *Système d'acquisition et de distribution de données connectable à un ordinateur (système 256 - DATEL).*

XVI-6- DATTA-LOGGER

Cette appellation désigne communément des petits systèmes d'acquisition de données équipés de dispositif d'enregistrement. L'organisation typique d'un tel système est représentée à la figure XVI-6 où l'on distingue un multiplexeur analogique (scanner) suivi d'un convertisseur A/N. L'information digitale délivrée par ce dernier est enregistrée sur un support qui doit présenter des caractéristiques appropriées (en temps d'accès, vitesse d'écriture, capacité, etc...) et doit permettre une exploitation aisée par la suite. Le choix de ce support d'enregistrement est à faire parmi les nombreuses techniques maintenant largement utilisées, à savoir : perforatrice de carte ou de bande papier, imprimante parallèle, bande magnétique, mini-cassette, mini-disque, mini-tambour, mémoires magnétiques, etc... Tous ces supports ont la particularité de conserver l'information et sont connectables à un ordinateur pour un traitement ultérieur (excepté l'imprimante qui est un dispositif d'enregistrement sur papier).

Quand les phénomènes à enregistrer sont relativement lents (quelques Hz maximum) et peu nombreux, la chaîne d'acquisition peut être constituée d'un multiplexeur équipé d'interrupteurs électromécaniques, par exemple des relais à lame (reed-relay) mouillés mercure pour une plus grande durée de vie, d'un convertisseur A/N à intégration (double rampe) et de l'un des périphériques précités. Si les phénomènes analysés présentent des fréquences élevées, de l'ordre de plusieurs dizaines ou centaines de hertz, le multiplexeur doit être équipé d'interrupteurs électroniques (à transistors bipolaires ou MOS), le convertisseur A/N doit utiliser une méthode de conversion rapide, comme la technique à approximations successives, et l'enregistrement sera effectué au moyen d'un périphérique rapide (mémoires magnétiques).

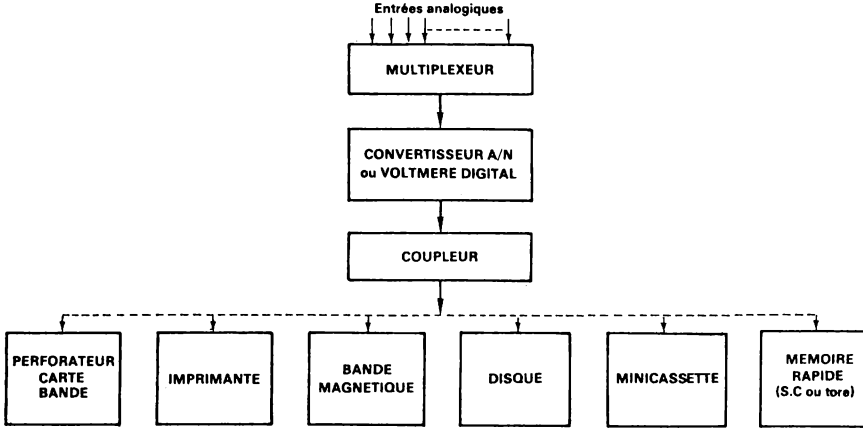


FIGURE XVI – 6.– *Acquisition de données.*

Une réalisation typique de datta-logger est représentée à la figure XVI-7. Ce datta-loger est équipé d'une imprimante et d'une horloge ce qui permet d'enregistrer l'instant précis (heures et minutes) de la mesure en même temps que le numéro de la voie et, naturellement, le résultat de la mesure. D'autre part une grande variété de modes de fonctionnement est offerte. Par exemple dans le mode "one cycle" toutes les voies sont analysées, mesurées et imprimées séquentiellement, à intervalles réguliers rythmés par l'horloge interne ou par une commande extérieure. Ce mode peut être intéressant lorsque les paramètres sont lentement variables et ne nécessitent pas un enregistrement permanent (continuous mode). On peut également limiter le "scanning" à une partie des voies analogiques d'entrée.

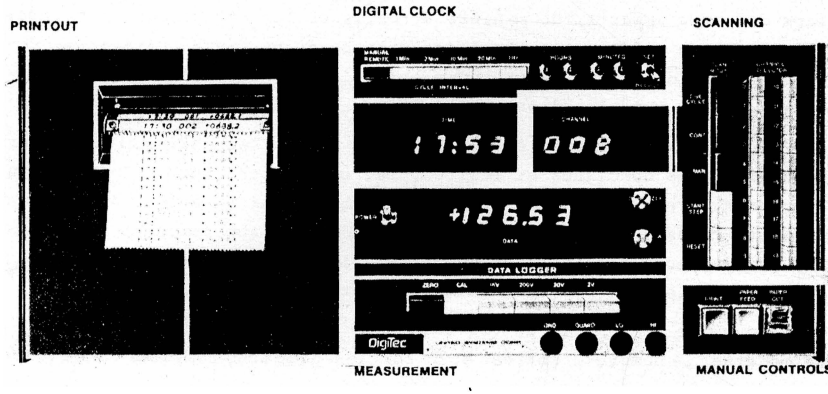
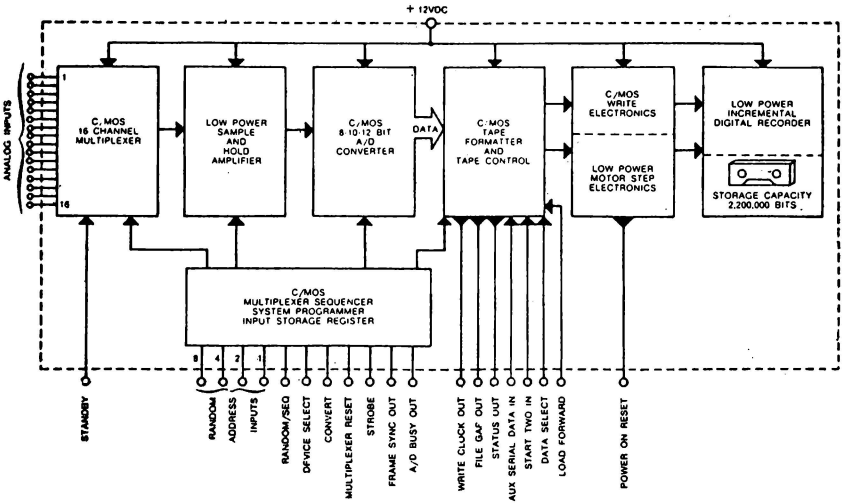


FIGURE XVI – 7.– *Datta - logger (série 1200 et 1500 Digitec-United Systems C. a subsidiary of Monsanto).*

Pour certaines applications où les points de mesure posent un problème d'accessibilité ou de liaison (systèmes embarqués, immergés etc...) il est fort utile de pouvoir installer un datta-logger autonome sur les lieux mêmes. Il sera soit piloté à distance pour sa mise en marche ou bien muni d'une horloge à séquences programmées. Naturellement sa consommation devra être aussi faible que possible. Quant à son dispositif d'enregistrement il sera approprié à cette application particulière (capacité en bits, volume occupé, type de mémoire utilisé, etc...).

Un exemple de réalisation particulièrement intéressant est représenté à la figure XVI-8. Il s'agit d'un mini-système d'acquisition de données utilisant des circuits C MOS et fonctionnant donc avec une très faible puissance (sous une seule tension de 12 volt). La consommation monte à 1,7 watt pendant l'enregistrement mais n'est que de quelques mW en position d'attente. L'enregistrement se fait sur mini-cassette (standard Philips) certifiée informatique et l'utilisation d'un moteur pas à pas pour commander le déplacement de la bande, uniquement lorsqu'une conversion A/N vient d'être réalisée et doit être enregistrée, permet de limiter au maximum cette consommation tout en assurant une densité de 120.000 mots de 16 bits. Cette capacité permet par exemple d'enregistrer 13 paramètres par heure pendant 1 an (12 bits d'information + 4 bits d'adresse plus 2 bits de séparation entre chaque mot et 16 bits de séparation entre paquets de 64 mots ou file gap).

Le multiplexage et la conversion A/N pour une voie dure 100 µs mais l'utilisation d'un circuit S/H de 50 ns de temps d'ouverture permet si nécessaire de prélever l'information à un instant bien précis. L'enregistrement sur la bande des 16 bits nécessitant 200 ms, la cadence de scrutation est limitée à 5 Hz.



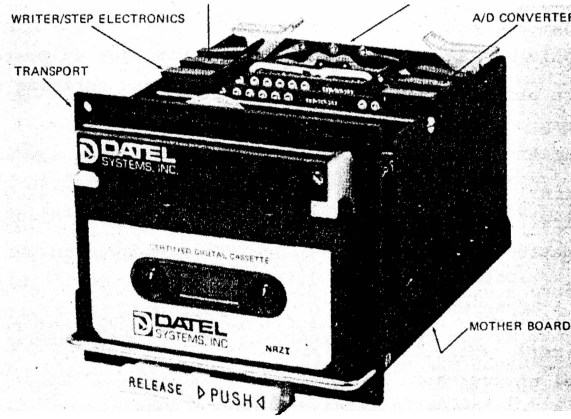


FIGURE XVI – 8.– ***Systèmes d'acquisition de données, très faible consommation (LPS 16 - DATEL).***

Bien entendu, le contenu de chaque mini-cassette peut ensuite être aisément transféré dans une mémoire de masse (bandes magnétiques, disques, etc...) à l'aide de lecteur et coupleur appropriés.

XVI-7- UN SYSTEME D'ACQUISITION ET DE TRAITEMENT : le simulateur de vol

Un simulateur de vol est principalement un système d'acquisition et de traitement de données en temps réel de grande capacité, dans lequel le traitement doit être exécuté suffisamment vite pour que les retards introduits par la chaîne complète ne soient pas détectables par l'opérateur humain (50 ms en moyenne).

La simulation de vol doit être une restitution aussi parfaite et complète que possible de toutes les sensations perceptibles par l'homme aux commandes d'un avion. Cette notion peut d'ailleurs être étendue et bien que l'exemple choisi soit celui d'un simulateur de vol, on peut appliquer ces quelques remarques au cas général d'une simulation d'un environnement quelconque sur lequel il est important de faire des études (influence de divers paramètres) ou de pratiquer un entraînement (conduite des opérations en phase normale, anormale ou dangereuse).

Ainsi pour simuler une conduite d'aéronef il faut recréer les diverses informations habituellement perçues par le pilote et autres membres de l'équipage à savoir :

- *les perceptions visuelles* : l'habitacle dans lequel vit le pilote, ou l'équipage, doit être une reproduction aussi fidèle que possible du réel. En particulier les informations doivent être présentées avec les mêmes qualités de résolution, précision, vitesse d'évolution mais aussi avec les mêmes formes, couleurs, etc...

D'autre part les scènes extérieures, visibles du poste de pilotage, doivent être reproduites avec réalisme ce qui dans certains cas peut conduire à un traitement complexe (images calculées).

- *les perceptions tactiles* sont restituées grâce à des systèmes de sensations musculaires réalisés par des asservissements électro-hydrauliques à grande bande passante, pilotés par un calculateur spécialisé.

- *les perceptions auditives* sont d'une part composées de toutes les communications audio existant entre les différents hommes de l'équipage et entre ceux-ci et le monde extérieur et d'autre part tous les bruits engendrés par le système réel et son environnement. Ce dernier point donne lieu à une génération synthétique des bruits, toujours sous le contrôle de l'ordinateur.

- *la perception des accélérations* est rendue possible en plaçant le poste de conduite sur une plate-forme mobile à plusieurs degrés de liberté, commandée par des asservissements électrohydrauliques de grande puissance.

En conséquence, la simulation quasi parfaite d'un système réel complexe peut conduire à un échange d'information très important entre les difrentes parties du système et l'ordinateur qui doit à tout instant calculer

le niveau de chacune des variables. Dans certains cas la puissance de l'ordinateur pourra ne pas être suffisante pour traiter tous ces problèmes dans le laps de temps imparti, de manière à restituer les fréquences les plus élevées ou, si l'on préfère, pour présenter la bande passante suffisante afin de ne pas créer de déphasage préjudiciable. Il sera alors aidé de calculateurs satellites qui résoudront un type de calcul déterminé.

Quant aux différents éléments situés en bout de chaîne, les capteurs pour traduire les consignes et les récepteurs pour restituer l'information, ils pourront être très nombreux et variés. Ainsi pour un avion, à côté des instruments classiques à fonctionnement analogique, apparaissent maintenant des systèmes électroniques à affichage numérique tandis que les calculateurs spécialisés deviennent des calculateurs numériques.

Pour une simulation de vol relativement complète et pour un avion de ligne moderne, le nombre d'entrées et de sorties peut se décomposer comme suit :

200 entrées analogiques, informations provenant de potentiomètres, synchromachines, etc...

3000 entrées binaires, informations existant naturellement sous forme digitale (interrupteurs, informations codées, etc...).

400 sorties analogiques, destinées à des asservissements, indicateurs utilisant des galvanomètres, synchros...

3000 sorties binaires, pour des commandes tout ou rien, informations codées.

On observe d'autre part, parallèlement à l'utilisation d'informations numériques, l'emploi de la transmission binaire série entre l'indicateur et le calculateur (DC 10, Concorde, Airbus...).

Ce grand nombre d'entrées et de sorties impose donc des acquisitions rapides : multiplexage digital supérieur au M bit/sec, multiplexage analogique suivi d'une conversion A/N en quelques dizaines de microsecondes, et, dans le sens inverse, des mises en mémoire digitale ou en mémoire analogique très rapides.

Enfin, les précisions sont souvent supérieures à 10^{-3} et certains équipements présentent un pouvoir de résolution meilleur que 10^{-4} (14 à 15 bits).

Le traitement d'un aussi grand nombre de variables avec parfois des précisions très élevées et dans un temps relativement restreint est maintenant possible. Les convertisseurs A/N et N/A, les multiplexeurs, l'enregistrement digital ou analogique, autant de réalisations bénéficiant des performances présentées par les circuits intégrés, font l'objet de nombreux développements industriels.

Les différentes techniques et les réalisations déjà nombreuses qui ont été mentionnées au cours de cet ouvrage montrent que ces équipements qui relient l'ordinateur au "monde extérieur" et qui utilisent désormais une très large proportion de circuits intégrés, ne sont plus des facteurs de limitation pour les performances d'un système numérique.

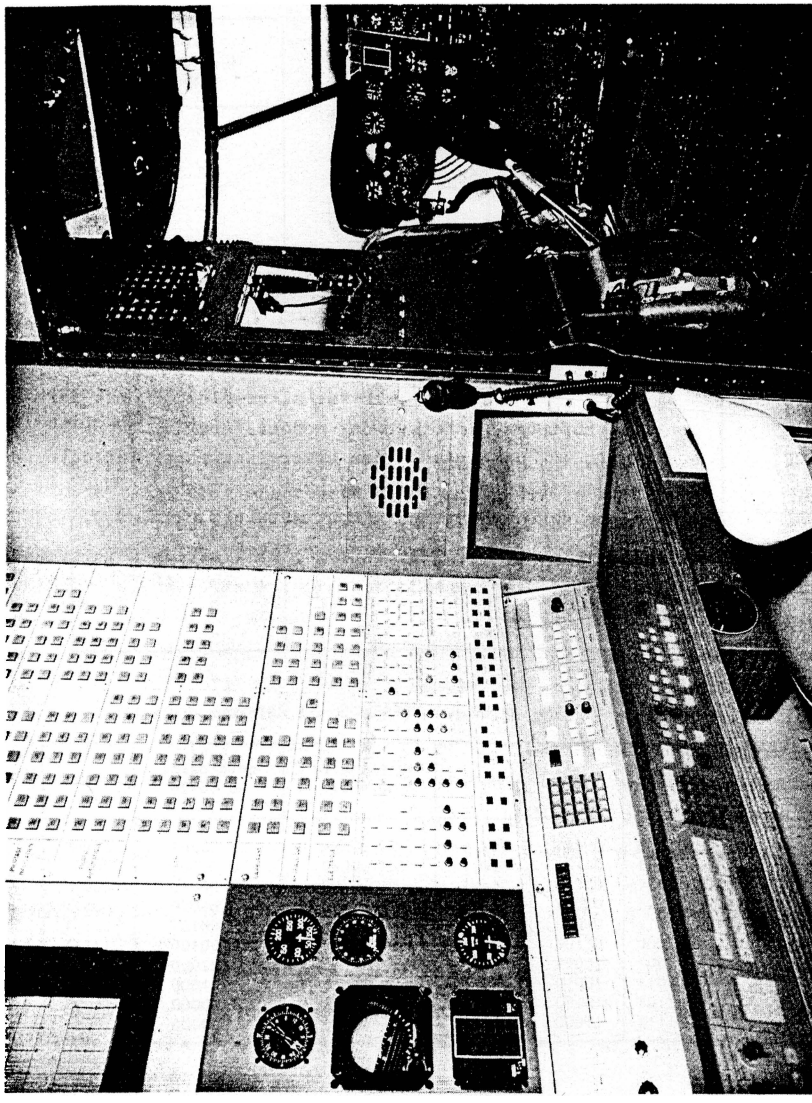


FIGURE XVI – 9.– *Simulateur d'hélicoptère. Poste instructeur et cabine de pilotage (vue partielle). Doc - L.M.T. Simulateurs et systèmes électroniques.*

ANNEXE 1

CODE EBCDIC

Equivalent des quatre éléments binaires de faibles poids	Equivalents des quatre éléments binaires de forts poids																
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	
0	Null		DS		SP	&	–									0	
1			SOS				/		a	j			A	J		1	
2			FS						b	k	s		B	K	S	2	
3									c	l	t		C	L	T	3	
4	PF	RES	BYP	PN					d	m	u		D	M	U	4	
5	HT	NL	LF	RS					e	n	v		E	N	V	5	
6	LC	BS	EOB	UC					f	o	w		F	O	W	6	
7	DEL	IDL	PRE	EOT					g	p	x		G	P	X	7	
8									h	q	y		H	Q	Y	8	
9									i	r	z		I	R	Z	9	
10			SM		ç	!		:									
11					.	$	,	#									
12					<	*	%	@									
13					(	)	–	'									
14					+	;	>	=									
15					|	¬	?	"									

NULL : Pas de transmission.

PF : Arrêt perforation jusqu'au PN suivant.

HT : Tabulation horizontale.

LC : Minuscule.

DEL : Effacement.

RES : Début d'impression jusqu'au BYP suivant.

NL : Nouvelle ligne.

BS : Retour arrière.

IDL : Inoccupé.

BYP : Arrêt impression jusqu'au RES suivant.

LF : Alimentation de voie.

EOB : Fin de bloc.

PRE : Préfixe (analogue à l'échappement du code ISO).

PN : Début de perforation jusqu'au PF suivant.

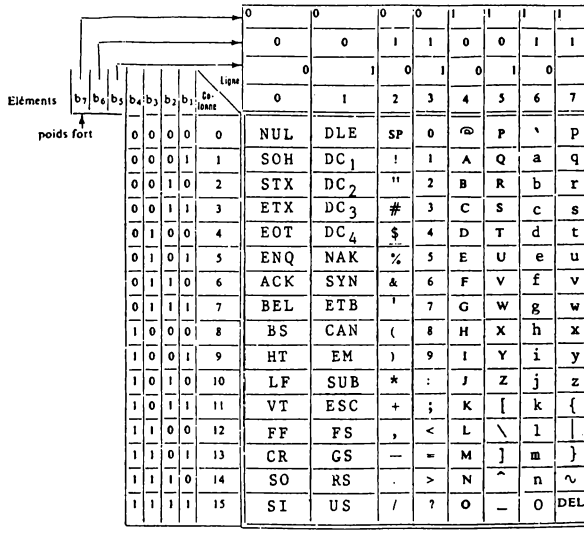
RS : Arrêt du lecteur.

UC : Majuscules.

EOT : Fin de transmission.

ANNEXE 2

Code ASCII



Eléments b_7	b_6	b_5	b_4	b_3	b_2	b_1	Colonne / Ligne	0	0	0	0	1	1	1	1
								0	0	1	1	0	0	1	1
								0	1	0	1	0	1	0	1
poids fort								0	1	2	3	4	5	6	7
			0	0	0	0	0	NUL	DLE	SP	0	@	P	`	p
			0	0	0	1	1	SOH	DC_1	!	1	A	Q	a	q
			0	0	1	0	2	STX	DC_2	"	2	B	R	b	r
			0	0	1	1	3	ETX	DC_3	#	3	C	S	c	s
			0	1	0	0	4	EOT	DC_4	$	4	D	T	d	t
			0	1	0	1	5	ENQ	NAK	%	5	E	U	e	u
			0	1	1	0	6	ACK	SYN	&	6	F	V	f	v
			0	1	1	1	7	BEL	ETB	'	7	G	W	g	w
			1	0	0	0	8	BS	CAN	(	8	H	X	h	x
			1	0	0	1	9	HT	EM	)	9	I	Y	i	y
			1	0	1	0	10	LF	SUB	*	:	J	Z	j	z
			1	0	1	1	11	VT	ESC	+	;	K	[	k	{
			1	1	0	0	12	FF	FS	,	<	L	\	l	|
			1	1	0	1	13	CR	GS	-	=	M	]	m	}
			1	1	1	0	14	SO	RS	.	>	N	^	n	~
			1	1	1	1	15	SI	US	/	?	O	_	O	DEL

NUL Null, or all zeros	Nul ou tout à zéro	DC1 Device control 1	Commande appareil 1
SOH Start of heading	Début d'en-tête	DC2 Device control 2	Commande appareil 2
STX Start of text	Début de texte	DC3 Device control 3	Commande appareil 3
ETX End of text	Fin de texte	DC4 Device control 4	Commande appareil 4
EOT End of transmission	Fin de communication	NAK Negative acknowledge	Accusé de R négatif
ENQ Enquiry	Demande	SYN Synchronous idle	Synchronisation
ACK Acknowledge	Accusé de réception	ETB End of transmission block	Fin de bloc de transmission
BEL Bell, or alarm	Sonnerie	CAN Cancel	Annulation
BS Backspace	Retour en arrière	EM End of medium	Fin de support
HT Horizontal tabulation	Tabulation horizontale	SUB Substitute	Substitution
LF Line feed	Interligne	ESC Escape	Echappement
VT Vertical tabulation	Tabulation verticale	FS File separator	Séparateur de fichier
FF Form feed	Présentation de formule	GS Group separator	Séparateur de groupe
CR Carriage return	Retour de chariot	RS Record separator	Séparateur d'article
SO Shift out	Hors code	US Unit separator	Séparateur de sous-article
SI Shift in	En code	SP Space	Espace
DLE Data link escape	Echappement transmission	DEL Delate	Oblitération

ANNEXE 3

SYSTEMES DE NUMERATION FONDAMENTAUX

Base 10 (décimal)	Base 16 (hexa)	Base 8 (octal)	Base 2 (binaire)	Décimal Codé binaire (BCD)
0	0	0	000000	0000 0000
1	1	1	000001	" 0001
2	2	2	000010	" 0010
3	3	3	000011	" 0011
4	4	4	000100	" 0100
5	5	5	000101	" 0101
6	6	6	000110	" 0110
7	7	7	000111	" 0111
8	8	10	001000	" 1000
9	9	11	001001	" 1001
10	A	12	001010	0001 0000
11	B	13	001011	" 0001
12	C	14	001100	" 0010
13	D	15	001101	" 0011
14	E	16	001110	" 0100
15	F	17	001111	" 0101
16	10	20	010000	" 0110
17	11	21	010001	" 0111
.	.	.	.	. .
.	.	.	.	. .
.	.	.	.	. .
31	1F	37	011111	0011 0001
32	20	40	100000	0011 0010
.	.	.	.	. .
.	.	.	.	. .
.	.	.	.	. .

QUELQUES CODES (à 4 bits ou plus) POUR REPRESENTER LES CHIFFRES DECIMAUX

	2421	5421	5211	5 dont 2	5 dont 3	biquinaire 50 43210	quibinaire 10 86420	Johnson
0	0000	0000	0000	00011	00111	01 00001	01 00001	00000
1	0001	0001	0001	00101	01011	01 00010	10 00001	00001
2	0010	0010	0011	00110	01101	01 00100	01 00010	00011
3	0011	0011	0101	01001	01110	01 01000	10 00010	00111
4	0100	0100	0111	01010	10011	01 10000	01 00100	01111
5	1011	1000	1000	01100	10101	10 00001	10 00100	11111
6	1100	1001	1001	10001	10110	10 00010	01 01000	11110
7	1101	1010	1011	10010	11001	10 00100	10 01000	11100
8	1110	1011	1101	10100	11010	10 01000	01 10000	11000
9	1111	1100	1111	11000	11100	10 10000	10 10000	10000

ANNEXE 4

Scott-électronique

Un montage Scott permet de passer d'une information 3 phases (à 120°) à une information 2 phases (à 90°). Un transformateur à plusieurs enroulements, le transformateur Scott, permet cette conversion ou la conversion inverse. Mais on peut également à l'aide de deux amplificateurs effectuer cette transformation tout en apportant à la chaîne un gain de puissance si cela est nécessaire.

Exemples :

Scott électronique permettant de transformer l'information résolver (2 phases à 90°) en information synchro (3 phases à 120°) ou vice-versa :

$$\begin{cases} e_1 = \sin\alpha \cdot \sin\omega t \\ e_2 = \cos\alpha \cdot \sin\omega t \end{cases} \Leftrightarrow \begin{cases} v_{S_3} - v_{S_1} = \sin\alpha \cdot \sin\omega t \\ v_{S_1} - v_{S_2} = \sin(\alpha - 120°) \sin\omega t \\ v_{S_2} - v_{S_3} = \sin(\alpha - 240°) \sin\omega t \end{cases}$$

Si on prend comme point de référence la phase 1, on fait $v_{S_1} = 0$ et les équations précédentes s'écrivent :

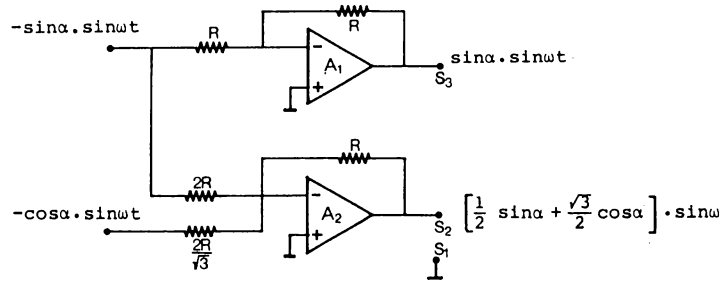
$$v_{S_1} = 0 \qquad v_{S_3} = \sin\alpha \cdot \sin\omega t$$

$$v_{S_2} = \sin(\alpha - 240°) \cdot \sin\omega t + \sin\alpha \cdot \sin\omega t$$

soit :
$$v_{S_2} = \left[\sin\alpha\left(-\frac{1}{2}\right) - \cos\alpha\left(-\frac{\sqrt{3}}{2}\right) + \sin\alpha\right] \cdot \sin\omega t$$

d'où :
$$v_{S_2} = \left[\frac{1}{2}\sin\alpha + \frac{\sqrt{3}}{2}\cos\alpha\right] \sin\omega t$$

Dans ces conditions, le montage de deux amplificateurs de calcul connectés comme l'indique la figure suivante permet, à partir des amplitudes -sinα et -cosα, d'obtenir les tensions v_{S_2} et v_{S_3}. La phase 1(v_{S_1}) est reliée au point de référence (potentiel zéro) des amplificateurs.



Scott électronique (résolver-synchro)

ANNEXE 5

Quelques relations booléennes de base.

X, Y, Z et W sont des variables booléennes (2 états : 0 ou 1)

$\overline{X}$ est l'inverse de X (si X = 0, $\overline{X}$ = 1 et inversement)

$$X + 0 = X \qquad X \cdot 1 = X \quad \text{+ addition booléenne (OU)}$$

$$X + 1 = X \qquad X \cdot 0 = 0$$

$$X + X = X \qquad X \cdot X = X \quad \cdot \text{ produit booléen (ET)}$$

$$\overline{(\overline{X})} = X$$

$$X + \overline{X} = 1 \qquad X \cdot \overline{X} = 0$$

$$X + Y = Y + X \qquad XY = YX \quad \text{(commutativité)}$$

$$X + XY = X \qquad X\overline{Y} + Y = X + Y$$

$$\left.\begin{array}{c} X + Y + Z = (X+Y) + Z = X + (Y+Z) \\ XYZ \quad = \quad (XY)Z \quad = \quad X(YZ) \end{array}\right\} \text{(associativité)}$$

$$X(Y+Z) = XY + XZ$$

$$(X+W)(Y+Z) = XY + XZ + WY + WZ$$

$$(X+Y)(\overline{X}+Z)(Y+Z) = (X+Y)(\overline{X}+Z)$$

$$XY + \overline{X}Z + YZ = XY + \overline{X}Z$$

$$\left.\begin{array}{l} \overline{X_1 + X_2 + \ldots\ldots + X_n} = \overline{X_1} \cdot \overline{X_2} \cdot \ldots\ldots \cdot \overline{X_n} \\ \overline{X_1 \cdot X_2 \cdot \ldots\ldots \cdot X_n} = \overline{X_1} + \overline{X_2} + \ldots\ldots + \overline{X_n} \end{array}\right\} \text{Loi De Morgan}$$

$$\overline{f}(X_1, X_2, \ldots, X_n, +, \cdot) = f(\overline{X_1}, \overline{X_2}, \ldots, \overline{X_n}, \cdot, +)$$

$$f(X_1, X_2, \ldots X_n) = X_1 \cdot f(1, X_2, \ldots X_n) + \overline{X}_1 \cdot f(0, X_2 \ldots X_n)$$

$$f(X_1, X_2, \ldots X_n) = \left[X_1 + f(0, X_2, \ldots X_n)\right] \cdot \left[\overline{X}_1 + f(1, X_2 \ldots X_n)\right]$$

BIBLIOGRAPHIE

Quelques livres, revues et notes d'applications à lire...

-ANALOG DIGITAL CONVERSION HANDBOOK, *Analog Devices S.A.*

-STRUCTURE ET FONCTIONNEMENT DES ORDINATEURS, J.P. Ménadier, *Larousse.*

-ACQUISITION ET TRAITEMENT DE DONNEES, H. Soubies-Camy, *Ed. Radio.*

-TECHNIQUES DE CONVERSION A/D et D/A (traduit de l'américain), David F.Hocschele, *Masson et Cie.*

-CIRCUITS DE LOGIQUE, R. Damaye, *Ed. Radio.*

-ELECTRONIC A/D CONVERSIONS, Hermann Schmid, *Electronic Design.*

-ELECTRONIQUE ET MICROELECTRONIQUE INDUSTRIELLES, *Ed. Radio.*

-ELECTRONIC DESIGN.

-ELECTRONICS.

-APPLICATION NOTES :

- Analog Devices.
- Burr Brown.
- DDC.
- Texas Instruments.
- Signetics.
- Advanced Micro Devices
- General Instrument.
- National Semi-conductor.
- Harris Semi-conductor.
- Fairchild.
- MCB.
- Siliconix.
- Sescosem.
- Burroughs.
- DATEL.
- Analogic.
- INTEL.

TABLE DES MATIERES

PREMIERE PARTIE
LES CIRCUITS INTEGRES LOGIQUES ET LEURS APPLICATIONS

CHAPITRE I
GENERALITES SUR LES CIRCUITS DIGITAUX

CHAPITRE II
CIRCUITS DIGITAUX ELEMENTAIRES - FONCTIONS LOGIQUES SIMPLES

II.1. Introduction..... 11
II.2. Les portes, fonctions logiques combinatoires simples..... 13
II.2.1. La porte ET-NON (NAND) à plusieurs entrées..... 13
II.2.2. La porte OU-NON (NOR.)..... 15
II.2.3. La porte ET (AND)..... 15
II.2.4. La porte OU exclusif..... 16
II.2.5. Cas d'une fonction d'un grand nombre de variables... 17
II.3. Les bascules, fonctions logiques séquentielles simples..... 17
II.3.1. Bascule R.S. 18
II.3.2. Bascule R.S.T. 18
II.3.3. Bascule type D..... 19
II.3.4. Bascule maître-esclave (master-slave flip-flop)..... 21
II.3.5. Bascule JK maître-esclave à vérouillage..... 25
II.3.6. Bascules JK à déclenchement sur front (JK edge-triggered flip-flop)..... 27
II.3.7. Exemples de bascules à sortie 3 états (circuits MS)..... 28

CHAPITRE III
LES COMPTEURS

III.1. Introduction..... 31
III.2. Les compteurs asynchrones..... 32
III.2.1. Principes..... 32
III.2.2. Inconvénients des compteurs asynchrones..... 34
III.2.3. Exemple d'application de compteurs asynchrones..... 36
III.3. Compteurs synchrones..... 38
III.3.1. Principes..... 38
III.3.2. Calcul d'un compteur synchrone..... 39
III.3.3. Le compteur Gray..... 42
III.3.4. Compteurs MSI..... 47

III.3.5. Application des compteurs MSI..... 54
III.3.6. Compteurs à modulo variable..... 62

CHAPITRE IV

LES REGISTRES A DECALAGE

IV.1. Principes..... 65
IV.2. Registres à décalage droite-gauche..... 72
IV.3. Registres à décalage MOS dynamiques..... 76
IV.4. Applications du registre à décalage..... 77
IV.4.1. Transmission en série d'une information binaire..... 77
IV.4.2. Mémoire circulante..... 80
IV.4.3. Exemples d'application d'une mémoire circulante..... 80
IV.4.4. Commande de moteur pas à pas..... 84

CHAPITRE V

MULTIPLEXEURS DIGITAUX

V.1. Principes..... 87
V.2. Applications..... 93
V.2.1. Conversion parallèle-série..... 93
V.2.2. Concentration de données et transmission parallèle.. 96
V.2.3. Concentration d'un grand nombre de données..... 101
V.2.4. Un multiplexeur monolithique de 2500 points sur un chip ?..... 102

CHAPITRE VI

DECODEURS DIGITAUX

VI.1. Introduction..... 105
VI.2. Décodeur n bits ou sélecteur de sortie..... 105
VI.2.1. Principes..... 105
VI.2.2. Décodeurs MSI..... 107
VI.2.3. Applications..... 109
VI.2.4. Cas particulier : le décodeur BCD..... 111
VI.2.5. Décodeurs de grande capacité..... 113
VI.2.6. Adressage et transfert de données..... 115
VI.3. Transcodeur ou convertisseur de code..... 117
VI.3.1. Conversion de code..... 117
VI.3.2. Décodeur BCD/7 segments..... 119

CHAPITRE VII

COMPARATEURS ET GENERATEURS DE PARITE

VII.1. Introduction..... 121
VII.2. Comparateurs..... 121

VII.2.1. Comparaison : détection d'égalité..... 121
VII.2.2. Comparateurs donnant A > B, A < B, A = B..... 123
VII.3. Contrôleur-générateur de parité (parity checker/generator).. 126
VII.3.1. Principes..... 126
VII.3.2. Exemples..... 127

CHAPITRE VIII

MEMOIRES

VIII.1. Généralités..... 131
VIII.2. Mémoires ROM (à lecture seule ou mémoire morte)..... 135
VIII.3. Mémoire programmable par l'utilisateur (PROM)..... 138
VIII.4. Exemples de mémoires ROM..... 139
VIII.4.1. Mémoire bipolaire ROM SN 7488 TEXAS de 256 bits..... 139
VIII.4.2. Exemples de mémoires ROM en technologie MOS..... 142
VIII.5. Applications des mémoires ROM..... 144
VIII.5.1. Génération de fonctions logiques..... 144
VIII.5.2. Conversion de code..... 146
VIII.5.3. Génération de caractères alphanumériques..... 146
VIII.5.4. Génération d'une fonction numérique f(u)..... 146
VIII.5.5. Multiplication à l'aide de mémoire ROM..... 148
VIII.6. Mémoires à lecture et écriture (Read-Write Memory)..... 151
VIII.6.1. Les mémoires tampons..... 151
VIII.6.2. Les mémoires blocs..... 156
VIII.6.3. Eléments de mémoire semi-conducteur à lecture et écriture..... 159
VIII.6.4. Mémoires RAM statiques..... 160
VIII.6.5. Mémoires RAM dynamiques..... 164
VIII.6.6. Mémoires semi-conducteurs de capacité élevée et technique micro-électronique..... 166

CHAPITRE IX

SYSTEMES LOGIQUES DE VISUALISATION

IX.1. Introduction..... 171
IX.2. Eléments de visualisation alphanumérique..... 172
IX.2.1. Affichage par sélection..... 172
IX.2.2. Affichage par segments..... 174
IX.2.3. Affichage par matrice de points (dot-matrix display).. 177
IX.3. Performances comparées des différents visualisateurs..... 179
IX.4. Circuits de commande pour système de visualisation..... 180
IX.4.1. Affichage par sélection..... 180
IX.4.2. Affichage par segments..... 180
IX.4.3. Affichage par points..... 181

IX.5. Commande de plusieurs caractères . Méthodes de balayage séquentiel..... 182
IX.5.1. Nécessité de mettre l'information en mémoire..... 182
IX.5.2. Commande par balayage séquentiel..... 184
IX.6. Panneau d'affichage (panel display)..... 191
IX.6.1. Ecran Self-Scan de Burroughs..... 191
IX.6.2. Ecran pavane de THOMSON-CSF..... 193

DEUXIEME PARTIE
ACQUISITION, CONVERSION ET RESTITUTION DE DONNEES

CHAPITRE X
GENERALITES SUR LES TECHNIQUES NUMERIQUES

X.1. Introduction..... 199
X.2. Constitution typique d'un système numérique..... 203

CHAPITRE XI
CAPTEURS ET RECEPTEURS

XI.1. Les capteurs..... 205
XI.1.1. Généralités..... 205
XI.1.2. Déplacements rectilignes..... 207
XI.1.3. Déplacements angulaires..... 210
XI.2. Les récepteurs..... 215
XI.2.1. Servo-moteurs..... 215
XI.2.2. Synchromachines de réception..... 216
XI.2.3. Moteurs pas à pas..... 216

CHAPITRE XII
CONVERSION NUMERIQUE-ANALOGIQUE (N/A)

XII.1. Introduction..... 219
XII.2. Conversion numérique analogique : méthodes combinatoires.... 222
XII.2.1. Technique "sommation de courants dans une résistance" . 222
XII.2.2. Technique "sommation par amplificateur opérationnel". 224
XII.2.3. Réalisation d'un convertisseur N/A modulaire (sommation de courants)..... 226
XII.2.4. Technique "sommation de courants dans un réseau en échelle"..... 229
XII.2.5. Technique"sommation de tensions dans un réseau en échelle"..... 231
XII.2.6. Transformation d'une sortie "courant" en sortie tension"..... 234
XII.2.7. Association de deux convertisseurs N/A à sortie "courant"..... 235
XII.3. Conversion numérique-analogique : méthodes séquentielles..... 237

XII.3.1. Introduction..... 237
XII.3.2. Conversion numérique-rapport cyclique N/α..... 237
XII.3.3. Conversion numérique-Nombre d'impulsions-Utilisation d'un multiplieur discret..... 242
XII.3.4. Conversion numérique-stochastique..... 247
XII.4. Convertisseurs N/A multiplieurs..... 250
XII.5. Convertisseurs N/A de tensions périodiques..... 252
XII.6. Convertisseurs numérique-synchro..... 253
XII.6.1. Commande d'un résolver..... 253
XII.6.2. Commande d'un synchro-détecteur ou d'un transmetteur de téléaffichage..... 254
XII.7. Codes utilisés en conversion N/A..... 258
XII.7.1. Généralités..... 258
XII.7.2. Cas particulier pour le code signe et valeur absolue (fig. XII 37)..... 260
XII.7.3. Cas des codes : complément vrai et restreint..... 261
XII.7.4. Cas du code binaire décalé..... 262
XII.7.5. Un autre code important : code BCD..... 263
XII.8. Caractéristiques et paramètres des convertisseurs N/A..... 263
XII.8.1. Organisation d'un convertisseur N/A - variantes possibles..... 263
XII.8.2. Caractéristiques d'un convertisseur N/A..... 268

CHAPITRE XIII

APPLICATIONS DES CONVERTISSEURS N/A

XIII.1. Opérations arithmétiques hybrides..... 275
XIII.2. Source de tension programmable..... 276
XIII.3. Amplificateur à gain variable sous commande numérique..... 277
XIII.4. Déphaseur à commande numérique..... 277
XIII.5. Génération de fonctions analogiques..... 279
XIII.5.1. Générateur de dent de scie..... 279
XIII.5.2. Générateur sinusoïdal..... 282
XIII.6. Visualisation sur écran cathodique..... 286
XIII.6.1. Généralités..... 286
XIII.6.2. Exemple de génération point par point sur C.R.T..... 288
XIII.6.3. Génération de caractère à l'aide de monoscope..... 291
XIII.7. Commande d'un grand nombre de sorties analogiques..... 292
XIII.7.1. Mémoire analogique (Sample and Hold Circuit : S/H).. 292
XIII.7.2. Applications pour les sorties continues..... 297
XIII.7.3. Applications pour les sorties alternatives..... 300
XIII.8. Commande de position angulaire..... 301
XIII.8.1. Débattement angulaire inférieur à 360°..... 302
XIII.8.2. Débattement de 360°..... 303
XIII.8.3. Commande angulaire à l'aide de moteurs pas à pas.... 304

CHAPITRE XIV

CONVERSION ANALOGIQUE NUMERIQUE (A/N)

XIV.1. Introduction..... 305
XIV.2. Généralités sur les convertisseurs A/N..... 308
XIV.3. Codeurs à disque..... 308
XIV.3.1. Codeur incrémental..... 309
XIV.3.2. Codeur absolu..... 313
XIV.4. Applications des codeurs à disque..... 326
XIV.4.1. Affichage d'une position angulaire..... 326
XIV.4.2. Affichage d'une position angulaire de très haute résolution..... 326
XIV.4.3. Conversion synchro-numérique..... 327
XIV.5. Conversion A/N de tensions continues..... 328
XIV.5.1. Conversion A/N parallèle..... 328
XIV.5.2. Conversion A/N série..... 333
XIV.6. Conversion A/N de tensions alternatives..... 354
XIV.6.1. Conversion A/N d'informations monophasées..... 354
XIV.6.2. Conversion angulaire-numérique (pour synchros)..... 356
XIV.7. Caractéristiques des conversions A/N..... 362
XIV.7.1. Fonctionnement bipolaire..... 362
XIV.7.2. Paramètres électriques..... 364

CHAPITRE XV

ECHANTILLONNAGE-MULTIPLEXAGE

XV.1. Généralités..... 369
XV.2. L'échantillonnage..... 369
XV.3. Le multiplexage analogique..... 373
XV.4. Fonctionnement d'une chaîne d'acquisition..... 376

CHAPITRE XVI

APPLICATIONS DES CONVERTISSEURS A/N. ACQUISITION DE DONNEES

XVI.1. Introduction..... 379
XVI.2. Affichage numérique..... 379
XVI.3. Transmission MIC (ou PCM)..... 380
XVI.4. Analyse de phénomènes rapides..... 382
XVI.5. Ensembles d'acquisition et de restitution de données..... 383
XVI.6. Datta-logger..... 386
XVI.7. Un système d'acquisition et de traitement : le simulateur de vol. 390

ANNEXE 1..... 393
ANNEXE 2..... 394
ANNEXE 3..... 395
ANNEXE 4..... 396
ANNEXE 5..... 397
BIBLIOGRAPHIE..... 398